**temp4_r1_c8**

计算机组成原理

实验报告

学号： 58122231

姓名： 陆文韬

东南大学计算机科学与工程学院

二0 二三 年 12 月

**实验四 数据通路的组织**

**一、实验内容**

1. 理解数据通路的组织方法

2. 掌握指令执行过程的控制原理

3. 设计并实现单总线结构的数据通路，支持教材中Demo\_IS指令系统的取数(LD)、减法(SUB)、双字长分支(JNZ)指令

4. 编写测试程序并存入存储器，根据所组织的μOPCmd序列控制程序执行过程，验证数据通路的正确性

**二、电路设计与试验  
1、需求分析**（1）设计并实现单总线结构的数据通路，支持教材中Demo\_IS指令系统的取数(LD)、减法(SUB)、双字长分支(JNZ)指令。

（2）编写测试程序并存入存储器，根据所给出μOPCmd序列控制程序执行过程，验证数据通路的正确性。

**2、模块分析**

数据通路由通路部件、部件互连两部分组成。

互连结构采用单总线结构。

为了满足 Demo\_IS 中 3 条指定指令的要求，数据通路的功能部件应包括 ALU、寄存器组 GPRs、状态寄存器 PSR、存储器 MEM、程序计数器 PC、指令寄存器IR，以及地址寄存器 MAR、数据寄存器 MDR。

部件互连部分，因为在单总线结构的数据通路中，所有部件的数据入端、数据出端都 连接在同一个总线上。为了保证数据传送的正确性，部件的出端需通过三态门连接到总线；部件的入端及出端中，只有 1 个可以直接连接总线，其余都需通过锁存器连接到总线。

**3、器件选择**采用实验一中设计的GPRs  
采用实验二中设计的ALU

存储器采用lpm\_rom模块

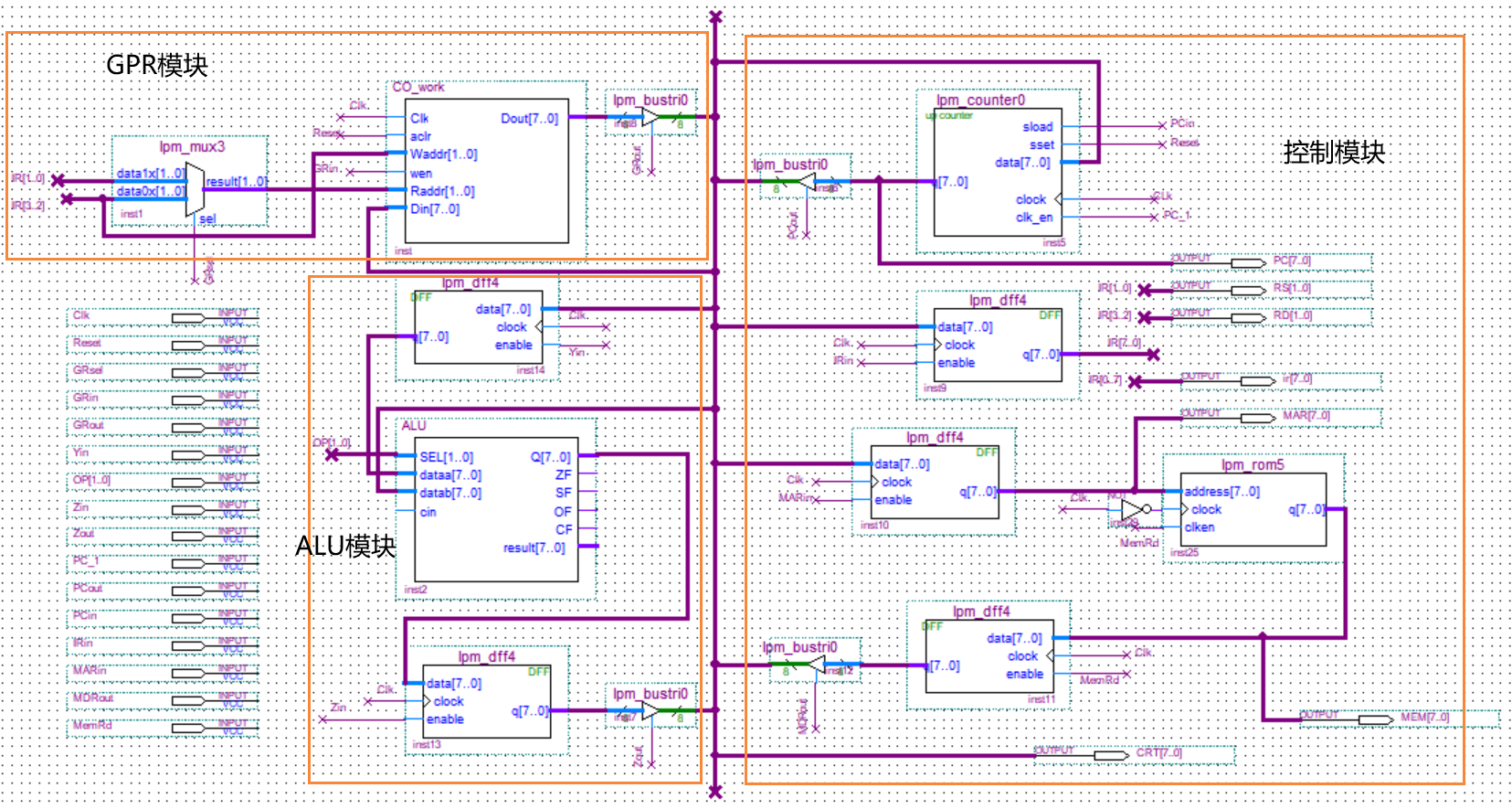
PC采用lpm\_counter模块  
三态门采用lpm\_bustri模块  
选择器采用lpm\_mux模块  
寄存器采用lpm\_dff模块

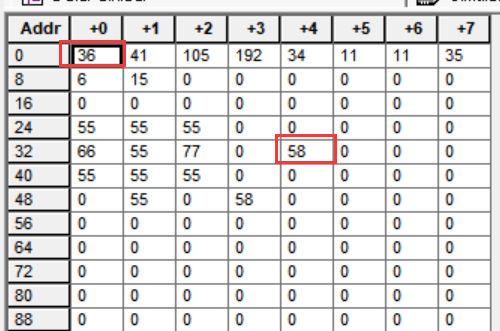
**4、信号命名**输入引脚：clk、Reset、GRsel、GRin、GRout、Yin、OP[1..0]、Zin、Zout、PC\_1、 PCout、IRin、MARin、MDRout、MemRd、PCin

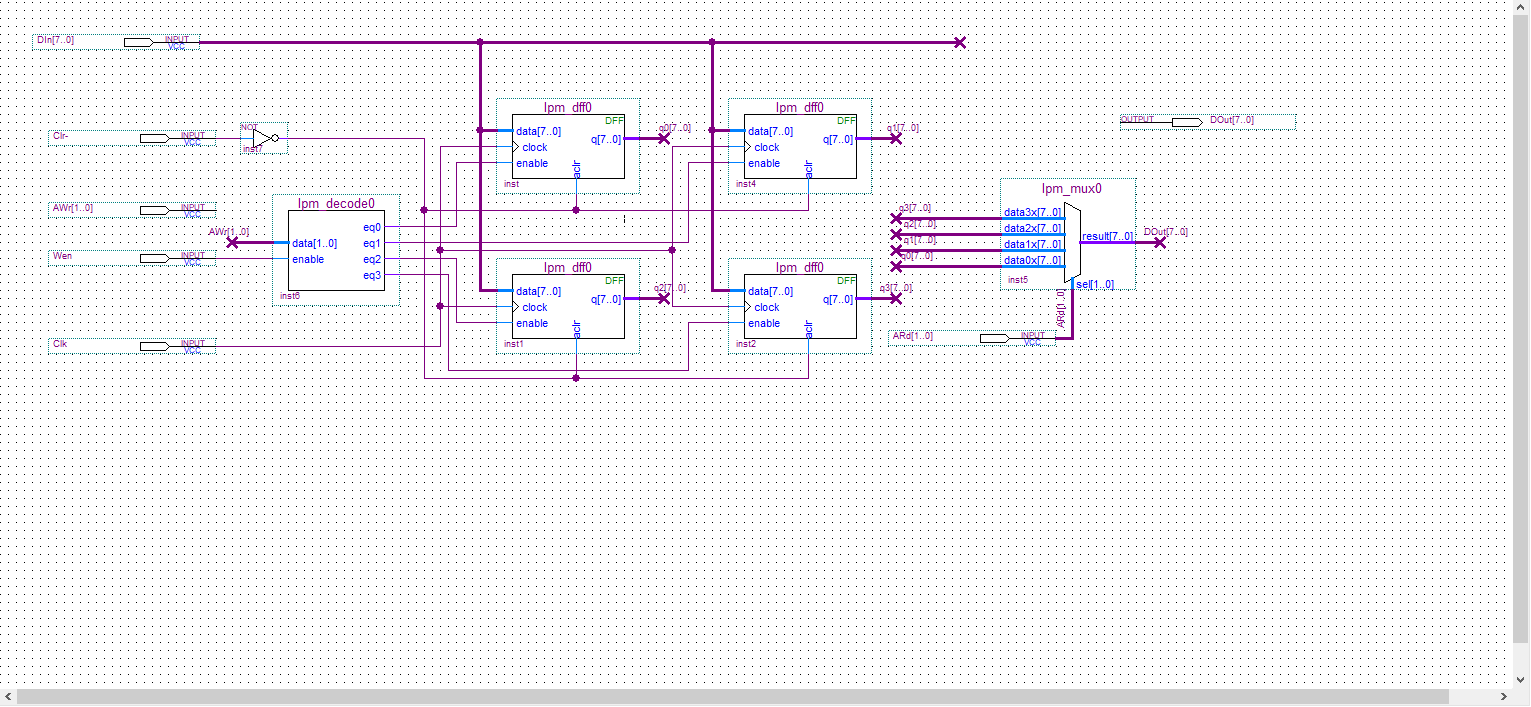
输出引脚：CRT[7..0]、PC[7..0]、RS[1..0]、RD[1..0]、IR[7..0]

**5、电路设计**单总线结构的数据通路组成图如下：

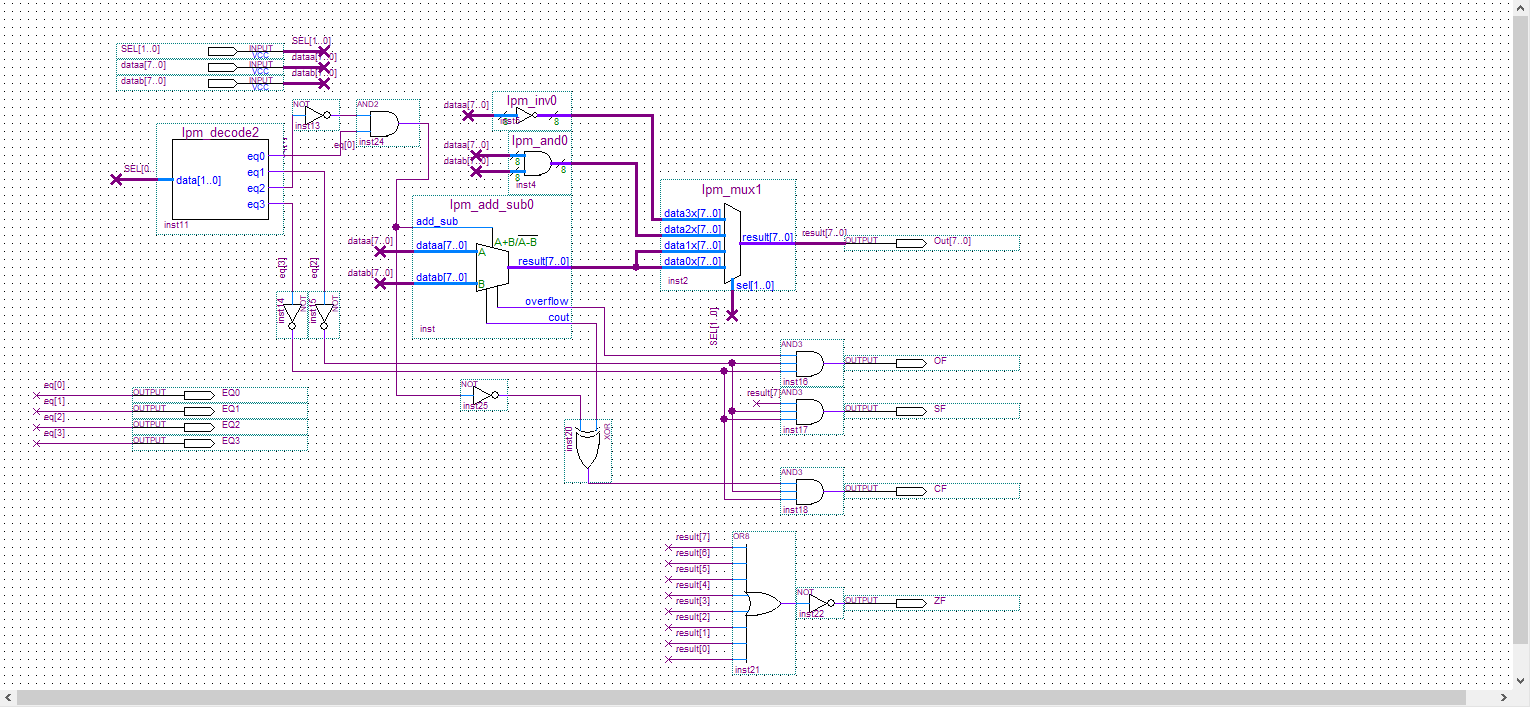
设计电路图如下：



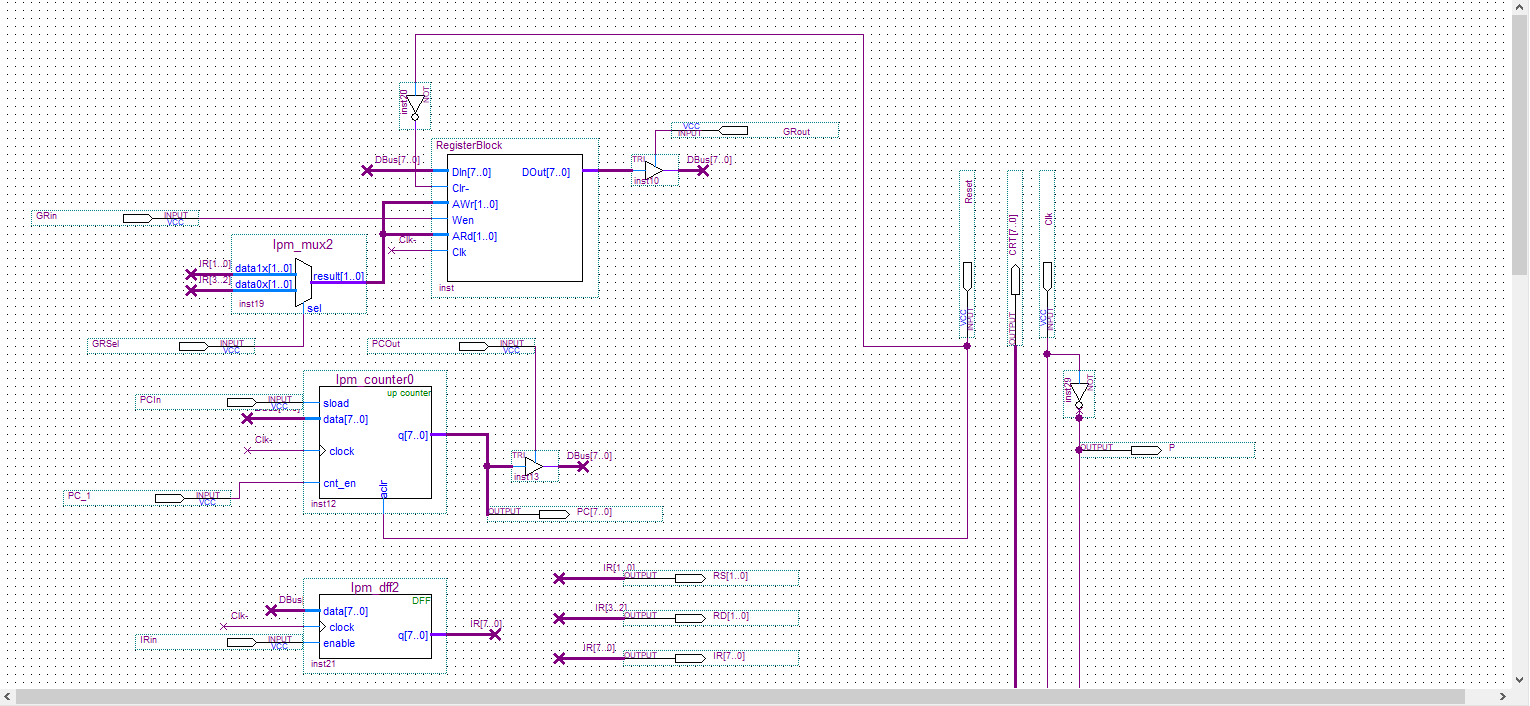
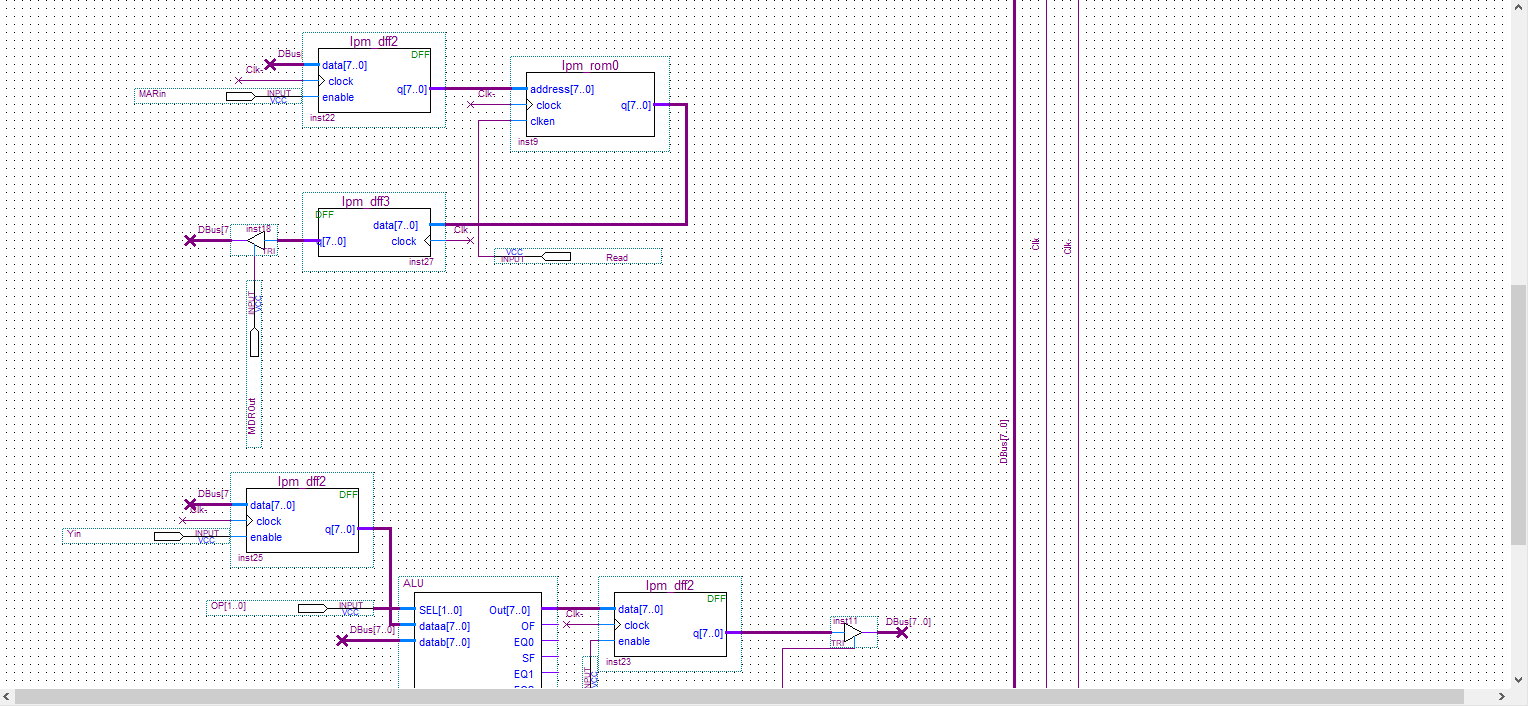
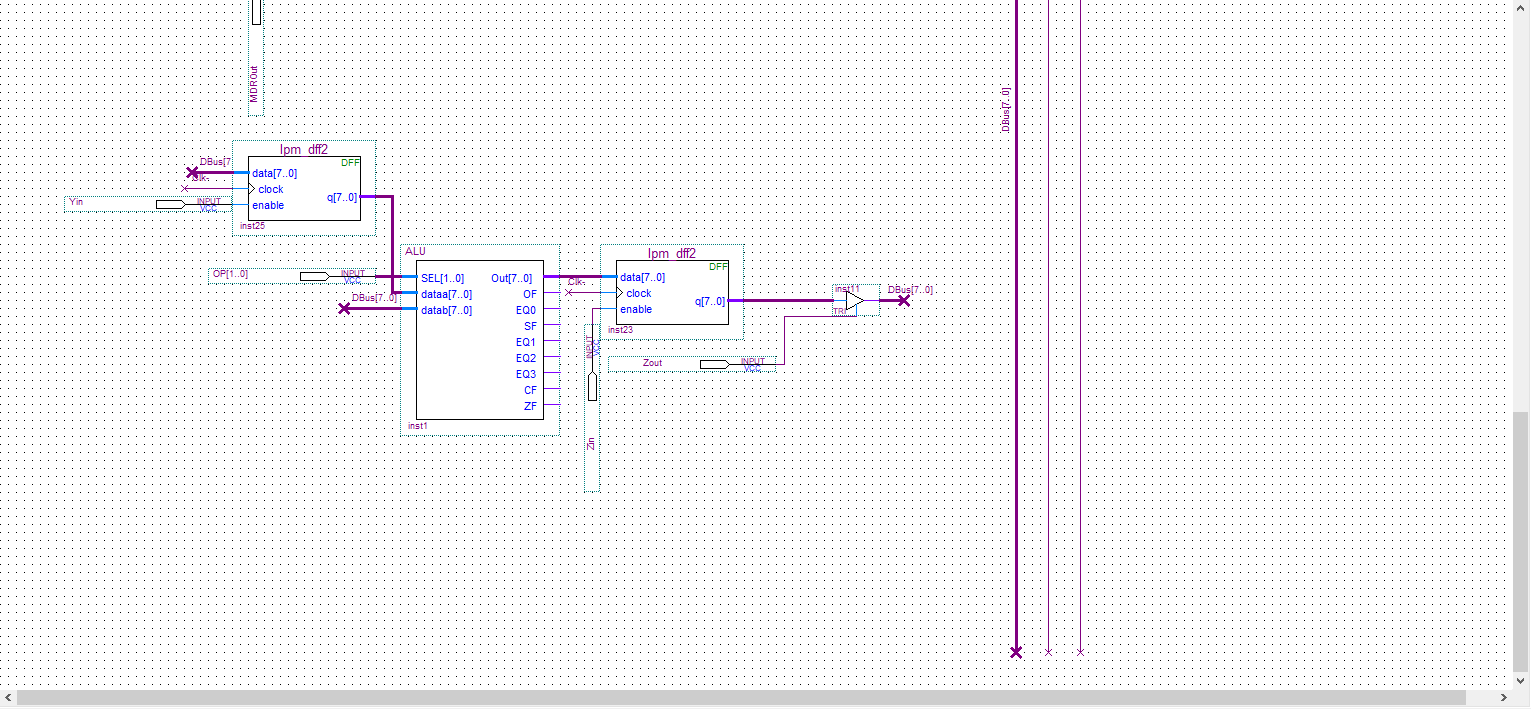
**三、电路正确性验证  
(1)电路仿真**存储器初始值如下：  
电路如下：  
**锁存器：**



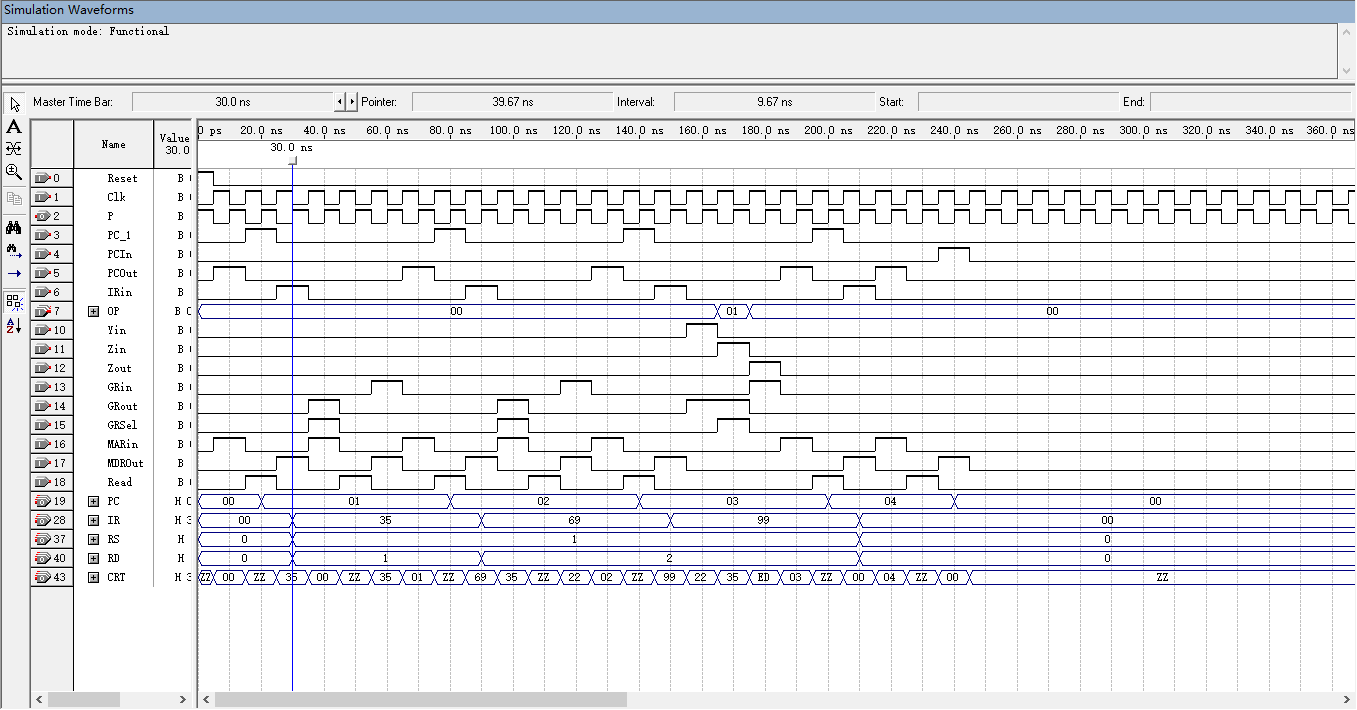
**ALU：**



**总数据通路：**

**（2）结果分析**  
波形图如下：

  
①清零  
Reset值先置为1，再置为0，进行硬件初始化，初始化后，GPRs 及 PC 的内容均为 0。

②取指令（以下四种指令共用）

|  |  |  |
| --- | --- | --- |
| t1 | MAR<-(PC) |  |
| t2 | MDR<-M[(MAR)],PC<-(PC)+1 |  |
| t3 | IR<-(MDR) |  |

③R1<-M[(R0)]

|  |  |  |
| --- | --- | --- |
| t4 | MAR<-(R0) |  |
| t5 | MDR<-M[(MAR)] |  |
| t6 | R1<-(MDR),End<-1 | ,End |

取出的存储器0#值为36

④R2<-M[(R1)]

|  |  |  |
| --- | --- | --- |
| t4 | MAR<-(R1) |  |
| t5 | MDR<-M[(MAR)] |  |
| t6 | R2<-(MDR),End<-1 | ,End |

取出的存储器36#值为58

⑤R2<- (R1)-(R0)

|  |  |  |
| --- | --- | --- |
| t4 | Y<-(R1) |  |
| t5 | Z<-(Y)-(R0) |  |
| t6 | R1<-(Z),End<-1 | ,End |

58-36=22，正确

⑥JNZ 22H(CF=0)(双字长格式)

|  |  |  |
| --- | --- | --- |
| t4 | MAR<-(PC) |  |
| t5 | MDR<-M[(MAR)],PC<-(PC)+1 |  |
| t6 | Y<-(PC) |  |
| t7 | Z<-(Y)+(MDR) |  |
| t8 | PC<-(Z) |  |

PC变为34（22H），正确

**四、实验小结  
1、设计总结**

在这次实验中，我们深入了解了包括寄存器组、算术逻辑单元（ALU）、存储器和总线在内的数据通路系统的各个组成部分的结构和功能。我们对前三次实验中设计的部件进行了封装，并利用它们完成了能够执行 Demo\_IS 中简单指令的数据通路系统的设计。此外，我们还提供了μOPCmd序列，进行了功能测试和验证。

**2、有待改进之处**

由于对数据通路和指令系统的认识不够深入和细致，这导致在电路设计阶段遇到了若干难题。这种不足的理解可能影响了设计的准确性和效率，使得处理电路布局和逻辑功能实现时面临更多挑战。

**3、实验体会**

通过进行这次实验，我们学习了有关寄存器、存储器、指令系统和运算器的基本概念、主要功能和工作流程。同时，这也加强了我们对前三次实验的理解，并综合运用了ALU运算器、寄存器和RAM存储器。我们亲自设计了一个能执行简单指令的数据通路系统，从而更深入地理解了计算机的组成原理和工作原理。

**五、教师评语**