Άσκηση 5:

Η ζητούμενη μνήμη SRAM 256x4 bits έχει χώρο για 256 λέξεις μεγέθους 4 bits. Χωρίζουμε λοιπόν τη μνήμη σε 4 τμήματα μεγέθους 256 bits, ώστε η κάθε λέξη να μοιράζει από ένα bit σε καθένα από τα τέσσερα τμήματα. Ουσιαστικά, το κάθε τμήμα είναι ένας πίνακας με διαστάσεις α και β με α ∙ β = 256. Για να πετύχουμε τετραγωνικό σχήμα επιλέγουμε διαστάσεις 32x8. Η επιλογή γραμμής απαιτεί: log2 32 = 5 bits οπότε για τον σκοπό αυτό χρησιμοποιούνται οι ακροδέκτες διευθύνσεων Α0-Α2 με πολυπλέκτες 8-σε-1. Αντίστοιχα, η επιλογή στήλης απαιτεί: log2 8 = 3 bits και για το σκοπό αυτό χρησιμοποιούνται οι ακροδέκτες διευθύνσεων Α3-Α7 με αποκωδικοποιητή 5-σε-32. Οι ακροδέκτες D0-D3 είναι οι ακροδέκτες εισόδου/εξόδου των 4 bit και τα σήματα C̅S̅ και R̅D̅ μέσω των αντίστοιχων ακροδεκτών επιτρέπουν ή αποτρέπουν τις λειτουργίες εγγραφής και ανάγνωσης. Τα τρία σήματα ελέγχου έχουν αρνητική πολικότητα, δηλαδή ενεργοποιούν τη λειτουργία τους, το καθένα, όταν είναι μηδέν. Το σήμα C̅S̅ (αρνητικό ChipSelect) ενεργοποιεί ή αδρανοποιεί ολόκληρο το chip και προορίζεται για χρήση όταν φτιάχνουμε μια μεγάλη μνήμη από πολλά chips, για να επιλέγουμε σε ποιο chip απευθυνόμαστε κάθε φορά. Όταν C̅S̅ = 0 (ενεργό chip), το σήμα W̅E̅ (αρνητικό WriteEnable) ενεργοποιεί την εγγραφή ενώ το σήμα R̅D̅ ενεργοποιεί την ανάγνωση.

Εικόνα 1

Ανάγνωση από τη μνήμη:

Αρχικά εφαρμόζουμε στις γραμμές Α0-Α7 τη διεύθυνση από την οποία θέλουμε να διαβάσουμε. Το σήμα C̅S̅ τίθεται στο λογικό 0, μέσω αρνητικού παλμού και σταματάει η απομόνωση εισόδου και εξόδου της μνήμης. Έρχεται αρνητικός παλμός στον ακροδέκτη R̅D̅, ενώ στον W̅E̅ έρχεται θετικός και ξενικάει η ανάγνωση από τη μνήμη αφού η έξοδος της αντίστοιχης πύλης AND (read) γίνεται 1, σε αντίθεση με την έξοδος της πύλης AND (write) που γίνεται 0. Οι ακροδέκτες Α3-Α7 καθορίζουν ποια γραμμή θα επιλεχθεί για την ανάγνωση των 4 bits, ενώ οι ακροδέκτες Α0-Α2 επιτρέπουν στα bit της επιλεγμένης στήλης να φτάσουν στις εξόδους των πολυπλεκτών. Στη συνέχεια το σύρμα read, οδηγείται στο enable των τρισταθών buffers που κοιτούν προς τα αριστερά και έτσι επιτρέπεται το πέρασμα πληροφορίας μέσα από τους D0, D1, D2, D3. Με αυτόν τον τρόπο η πληροφορία τους περνάει στην έξοδο των τρισταθών buffers με αποτέλεσμα

διαβάζουμε την επιθυμητή διεύθυνση. Οι τρισταθείς buffers που κοιτούν προς τα δεξιά τίθενται σε κατάσταση υψήλης αντίστασης. Έπειτα, τελειώνει ο αρνητικός παλμός R̅D̅ και επανέρχεται το C̅S̅ στο λογικό 1.

Εγγραφή στη μνήμη:

Αρχικά εφαρμόζουμε στις γραμμές Α0-Α7 τη διεύθυνση στην οποία θέλουμε να γράψουμε. Το σήμα C̅S̅ τίθεται στο λογικό 0, μέσω αρνητικού παλμού και σταματάει η απομόνωση εισόδου και εξόδου της μνήμης. Έρχεται αρνητικός παλμός στον ακροδέκτη W̅E̅, ενώ στον R̅D̅ έρχεται θετικός και ξενικάει η εγγραφή στη μνήμη αφού η έξοδος της αντίστοιχης πύλης AND (write) γίνεται 1, σε αντίθεση με την έξοδος της πύλης AND (read) που γίνεται 0. Οι Α0-A2 προσδιορίζουν σε ποια στήλη από τις 8 να οδηγήσουν την είσοδο και οι Α3-Α7 σε ποια γραμμή θα γίνει η εγγραφή των 4 bits. Στη συνέχεια το σύρμα write, οδηγείται στο enable των τρισταθών buffers που κοιτούν προς τα δεξιά ελέγχοντας το πέρασμα πληροφορίας από τις εισόδους D0, D1, D2, D3 οι οποίες ενεργοποιούνται. Με αυτόν τον τρόπο η πληροφορία τους περνάει στην έξοδο των τρισταθών buffers και ανανεώνει το περιεχόμενο της κατάλληλης θέσης μνήμης η οποία έχει επιλεχθεί. Οι τρισταθείς buffers που κοιτούν προς τα αριστερά τίθενται σε κατάσταση υψήλης αντίστασης. Έπειτα, τελειώνει ο αρνητικός παλμός W̅E̅ και επανέρχεται το C̅S̅ στο λογικό 1.

Άσκηση 7:

Χάρτης μνήμης:

* 0000Η-2FFFΗ: ROM (12KΒ)
* 3000Η-5FFFΗ: RAM (12KΒ)
* 6000Η-6FFFΗ: ROM (4KΒ)
* 7000Η: θύρα εξόδου (Memory map I/O)
* 70Η: θύρα εισόδου (Standard I/O)

|  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- |
| Address | 0 | 1 | 2 | 3 | 4 | 5 | 6 | 7 | 8 | 9 | 10 | 11 | 12 | 13 | 14 | 15 |
| 0000H | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| 0FFFH | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 0 | 0 | 0 | 0 |
| 1000H | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 1 | 0 | 0 | 0 |
| 1FFFH | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 0 | 0 | 0 |
| 2000H | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 1 | 0 | 0 |
| 2FFFH | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 0 | 1 | 0 | 0 |
| 3000H | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 1 | 1 | 0 | 0 |
| 3FFFH | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 0 | 0 |
| 4000H | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 1 | 0 |
| 4FFFH | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 0 | 0 | 1 | 0 |
| 5000H | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 1 | 0 | 1 | 0 |
| 5FFFH | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 0 | 1 | 0 |
| 6000H | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 1 | 1 | 0 |
| 6FFFH | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 0 | 1 | 1 | 0 |

Από τον παραπάνω πίνακα γίνεται φανερό ότι η διαφοροποίηση των θέσεων μνήμης που καταλαμβάνουν οι ROM, RAM γίνεται μέσω των θέσεων 12, 13, 14. Για αυτό, τα συγκεκριμένα bits χρησιμοποιούνται ως είσοδοι προκειμένου να επιλεχθεί το κατάλληλο ολοκληρωμένο μνήμης. Επιπρόσθετα, οι προδιαγραφές του προβλήματος ορίζουν την κάλυψη των θέσεων μνήμης με αλληλουχία ROM, RAM, ROM. Δηλαδή, η ενιαία μνήμη ROM που διαθέτουμε και έχει μέγεθος 16ΚΒ ίσο με το άθροισμα των μεγεθών των επιμέρους 4 ΚΒ και οι 3 RAM των 4 KB με συνολικό μέγεθος 12 KB θα πρέπει

να παρεμβάλλονται. Οπότε το πρόβλημα ανάγεται στο πως θα μπορέσουμε να διαχωρίσουμε τις διευθύνσεις που αντιστοιχούν σε κάθε κομμάτι της ROM. Αναλυτικά έχουμε ότι λέξεις που αποθηκεύονται στην ROM είναι σε πλήθος 16 K = 214 και άρα απαιτούνται 14 bits (Α0-Α13) για την ορθή διευθυνσιοδότησή τους. Επίσης, οι λέξεις που αποθηκεύονται στις RAM 1, RAM 2, RAM 3 μεγέθους 4KB είναι σε πλήθος 4 K = 212 και άρα απαιτούνται 12 bits (Α0-Α11) για την ορθή διευθυνσιοδότησή τους.

Τα bits Α12, Α13, Α14 χρησιμοποιούνται για την επιλογή του επιθυμητού ολοκληρωμένου (ROM, RAM1, RAM2 ή RAM3) καθώς ένας ή περισσότεροι συνδυασμοί αυτών προσδιορίζουν μοναδικά τις περιοχές μνήμης που αντιστοιχούν σε κάθε ολοκληρωμένο.

Πιο Συγκεκριμένα:

* ROM: Α14Α13Α12 = 000 και Α14Α13Α12 = 001 και Α14Α13Α12 = 010 και   
  Α14Α13Α12 = 110
* RAM 1: Α14Α13Α12 = 011
* RAM 2: Α14Α13Α12 = 100
* RAM 3: Α14Α13Α12 = 101

Η μνήμη ROM λαμβάνει τα bits Α0-Α11 από το address bus ενώ το bit Α12 από την έξοδο της πύλης XOR και το Α13 αυτούσιο όπως φαίνεται στο παρακάτω σχήμα. Έτσι τα bits A12 και A13 μετατρέπουν τις διευθύνσεις του χάρτη μνήμης που αντιστοιχούν σε θέσεις της μνήμης ROM που δεν είναι στο πρώτο τμήμα της (0000Η-2FFFH) σε συνεχόμενες θέσεις εσωτερικά στο ολοκληρωμένο. Τέλος, για την επίτρεψη του latch της θύρας εξόδου 7000Η χρησιμοποιείται πύλη AND με 16 εισόδους (γιατί είναι memory map I/O), ενώ για την επίτρεψη του latch εισόδου χρησιμοποιείται το Υ̅7 (αφού είναι από το standard I/O) που δεν χρησιμοποιείται κάπου αλλού.

Εικόνα 2