

Ćw.5: Przerzutniki synchroniczne. Liczniki binarne. Rejestry

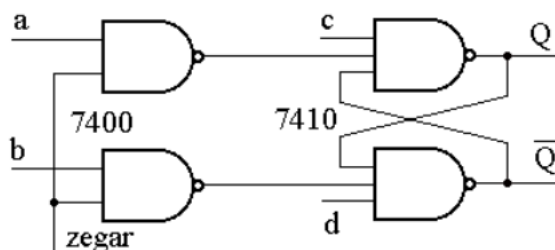
Kacper Tatrocki

Prowadząca: dr Małgorzata Harańczyk

16.05.2023

Zad 5.1

Korzystając z płytki UC-1 zbuduj synchroniczny przerzutnik RS w/g poniższego schematu. Zastosuj układy scalone 7400 i 7410. Zbadaj działanie tego przerzutnika. Na wejście zegarowe podaj sygnał z impulsatora. Jakie ograniczenia mają sygnały podawane na wejścia informacyjne.



Rys 1. Schemat budowanego synchronicznego przerzutnika RS

Teoria:

Zasadniczym zadaniem przerzutnika jest pamiętanie jednego bitu informacji. Przerzutnik posiada co najmniej dwa wejścia i wyjścia. Rozróżnia się następujące typy wejść przerzutnika:

- Informacyjne,
- Zegarowe,
- Programujące

Przerzutnik asynchroniczny RS to najprostszy typ przerzutnika, posiada dwa wejścia i dwa wyjścia:

- S (set) – wejście ustawiające,
- R (reset) – wejście zerujące,
- Q – wyjście zwykłe,
- \bar{Q} – wyjście zanegowane

Stan wyjść jest zawsze zanegowany.

Przerzutnik można ustawić w stan zero ($Q = 0$) przez podanie sygnału 1 na wejście R przy $S = 0$. Ustawienie przerzutnika w stan jeden ($Q = 1$) realizuje się przez podanie sygnału 1 na wejście S przy R utrzymywanym w stanie 0. Po przywróceniu stanu $R = 0$ i $S = 0$ przerzutnik wprowadzony zostaje w stan pamiętania, przechowując ustawiony stan. W ten sposób w przerzutniku zapamiętuje się elementarną porcję (1 – bit) informacji. Stan $R=1$, $S=1$ jest niedozwolony.

Przerzutnik synchroniczny RS ma dodatkowe wejście C do którego doprowadza się sygnał taktujący. Zmiana stanu przerzutnika następuje w chwilach wyznaczonych przez sygnał taktujący. Umożliwia to wstępne przygotowanie sygnałów wejściowych i inicjację zmiany stanu przerzutnika po ustaleniu się tych stanów. Wyzwalanie zmiany stanu przerzutnika może następować w chwili gdy, np. sygnał taktujący zmienia się ze stanu 0 na 1.

Obserwacje:

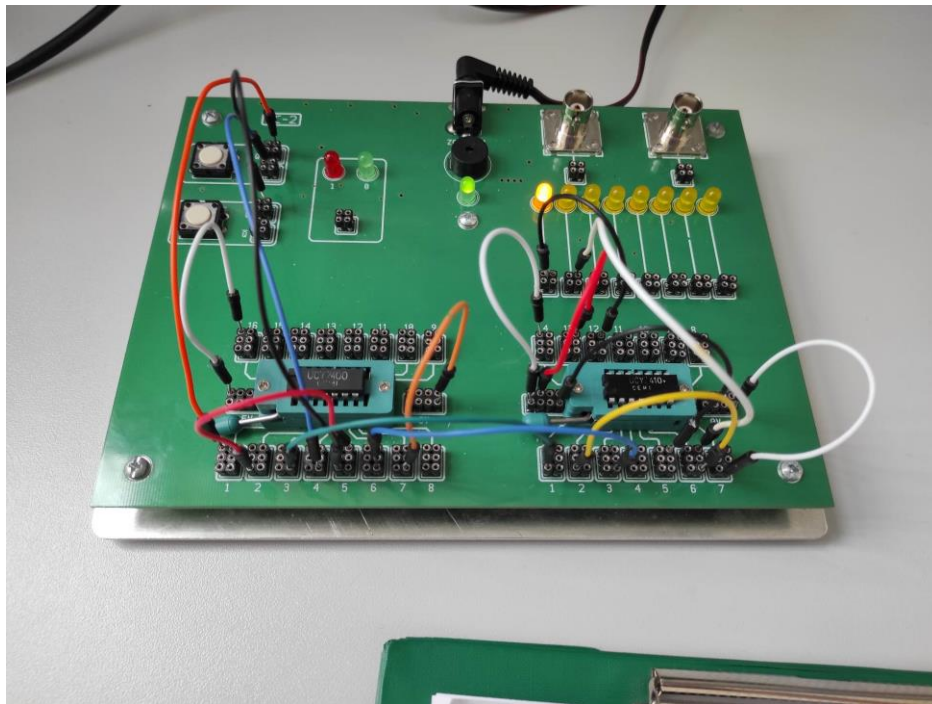
Za pomocą próbnika stanów logicznych dokonano pomiarów wyjść \bar{Q} i Q dla różnych stanów wejść a, b, c, d i wejścia zegarowego. Wyniki zaprezentowane są na poniższej tabeli. Dla skrócenia zapisu przyjęto następujące oznaczenia:

- X – dowolny stan,
- 1 – stan wysoki,
- 0 – stan niski

a	b	c	d	zegarowe	wyjście Q	wyjście $\sim Q$
1	0	1	1	zbocze wznoszące	1	0
0	1	1	1	zbocze wznoszące	0	1
x	x	1	1	1 lub 0 lub zbocze wznoszące	poprzedni stan Q	poprzedni stan $\sim Q$
x	x	0	0	x	1	0

Tab 1. Tablica stanów logicznych dla przerzutnika synchronicznego RS

Widać więc, że dla $c=1, d=1$ przerzutnik zachowuje się jak zwykły przerzutnik synchroniczny RS, gdzie wejścia a i b to odpowiednio R i S. Zaś dla $c=0, d=0$ stan przerzutnika zablokowany jest na $Q=1$ i nie reaguje on na sygnały z pozostałych wejść.



Zdjęcie 1. Płytki UC-1 z okablowaniem przy pomocy układów 7400 i 7410

Zad 5.2

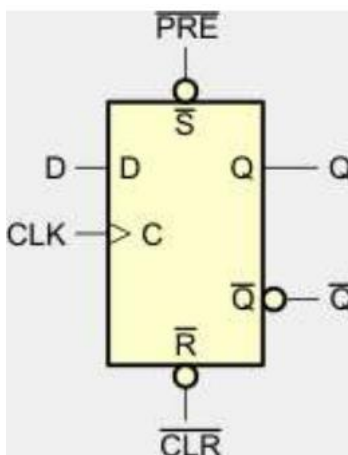
Zbadaj przerzutnik jednozboczowy D korzystając z układu scalonego 7474. Stan logiczny 1 podaj na wejścia za pomocą opornika 1 k Ω połączonego z +5 V, natomiast stan logicznego zera podaj za pomocą opornika około 400 Ω połączonego z 0 V lub połącz bezpośrednio wejście z 0V napięcia zasilania. Do taktowania wejścia zegarowego użyj sygnału z impulsatora płytki UC-1.

Teoria:

Przerzutnik D to rodzaj synchronicznego przerzutnika, który zapamiętuje stan wejścia D w chwili impulsu zegara. Posiada on dwa wejścia:

- Wejście informacyjne (D),
- Wejście zegarowe (C)

Za każdym razem podczas zbocza wznoszącego impulsu na wejściu zegarowym C zostaje zapamiętany stan wejścia D i jest on pamiętany aż do następnego zbocza wznoszącego. Pamiętany sygnał jest podawany na sygnał Q , a jego wartość na wyjście \bar{Q} .

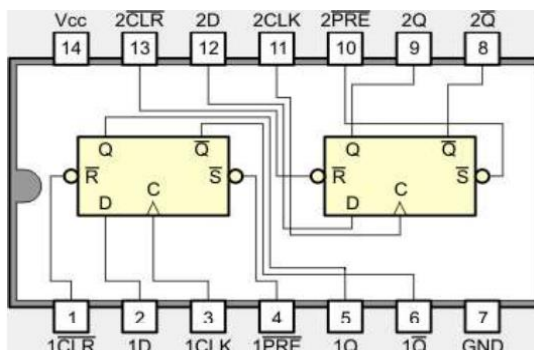


Rys 2. Oznaczenie przerzutnika D

Obserwacje:

Zbadano przerzutnik D z układu scalonego 7474. Zaobserwowano, że ma on 4 wejścia:

- \overline{PRE} ,
- \overline{CLR} ,
- CLK ,
- D ,



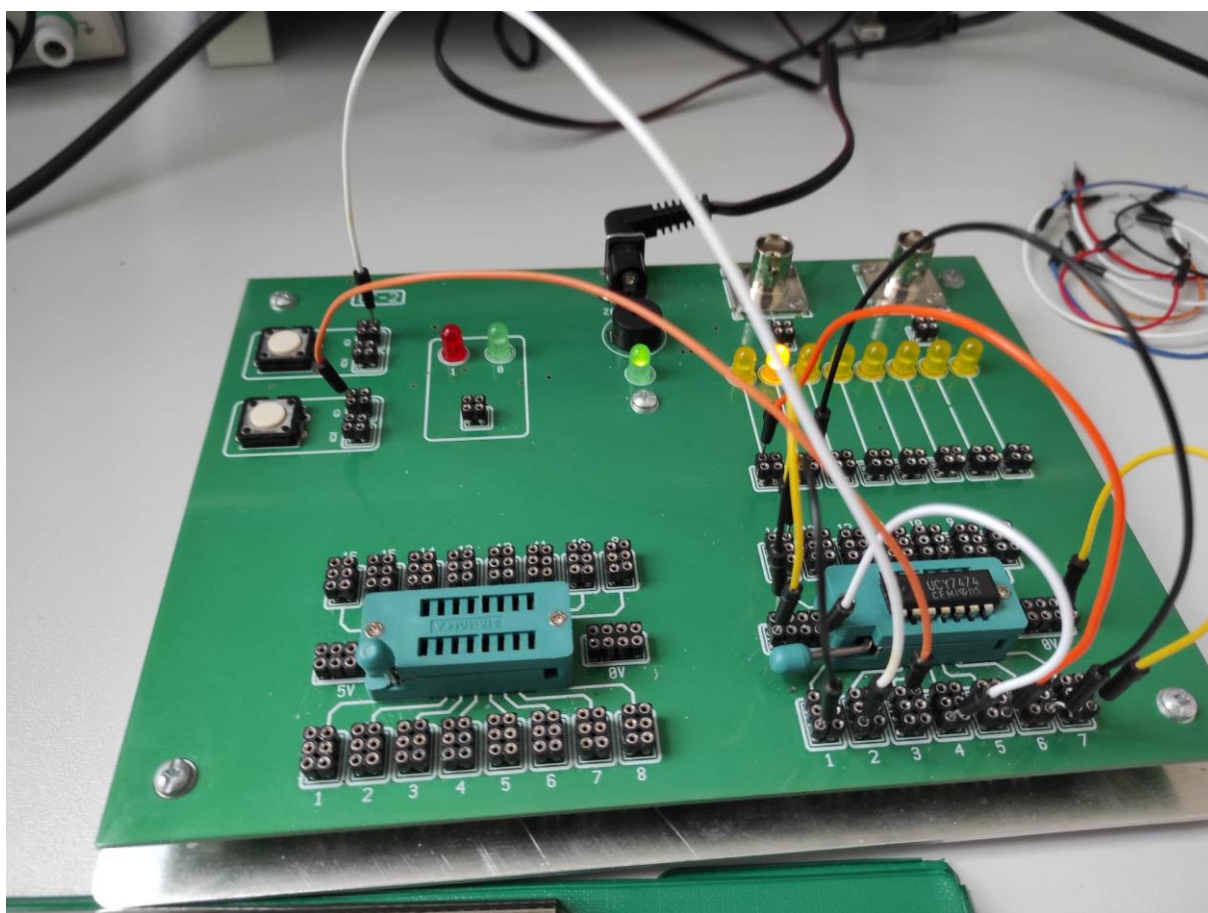
Rys 3. Schemat układu 7474

Oraz wyjścia Q i \bar{Q} . Zbadano stany na wyjściach w zależności od stanów na wejściach za pomocą próbnika stanów logicznych. Oznaczenia w tabelce poniżej prezentującej wyniki pomiarów są analogiczne jak w poprzednim zadaniu.

wejście CLR	wejście PRE	wejście D	wejście zegarowe CLK	wyjście Q	wyjście $\sim Q$
1	1	1	zbrocze opadające	1	0
1	1	0	zbrocze opadające	0	1
1	1	x	1 lub 0 lub zbrocze opadające	poprzedni stan Q	poprzedni stan $\sim Q$
1	0	x	x	1	0
0	1	x	x	0	1
0	0	x	x	brak zależności	brak zależności

Widać, że:

- Dla CLR=1 i PRE=1 – przerzutnik z układu 7474 zachowuje się jak przerzutnik synchroniczny D,
- Dla CLR=1 i PRE=0 – przerzutnik blokuje się na stanie Q=1 i nie reaguje na stany na wejściach D i CLK,
- dla CLR=0 i PR=1 – przerzutnik blokuje się na stanie Q=1 i nie reaguje na stany na wejściach D i CK,
- dla CLR=0 i PR=0 – nie było widać zależności, stany Q były różne przy różnych próbach.



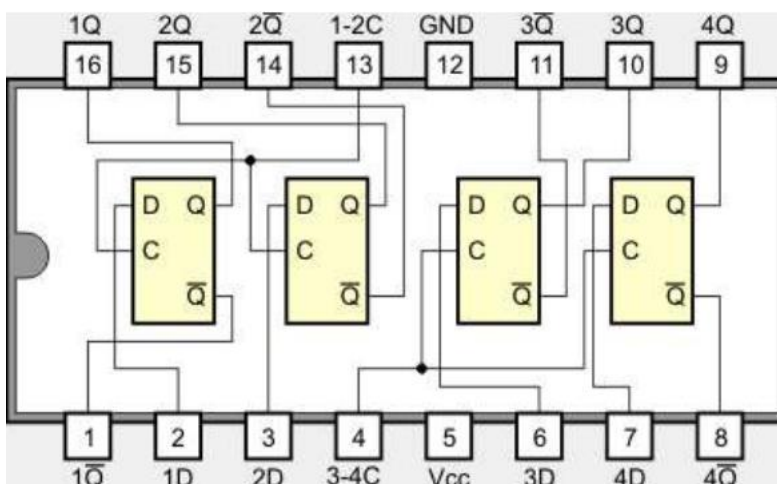
Rys 4. Płytki UC-1 z okablowaniem przy pomocy układów 7474

Zad 5.3

Wybierz jeden z czterech przerzutników D „latch” 7475 wyzwalanych poziomem i zbadaj jego działanie. Zadaż na wejście zegarowe sygnał taktujący z impulsatora płytki UC-1. Na wejście informacyjne podaj sygnał z drugiego impulsatora, przed w czasie trwania i po sygnale taktującym. Opisz działanie przerzutnika. Odpowiedz na pytanie: czym się różni przerzutnik typu D „latch” od przerzutnika synchronicznego RS?

Teoria:

Przerzutnik typu D „latch” (zatrask) jest wersją przerzutnika D wyzwalanego nie zboczem, lecz poziomem. W czasie trwania na wejściu zegarowym (C) stanu wysokiego, wyjście Q powtarza stany logiczne wejścia D. W momencie zmiany na wejściu zegarowym stanu wysokiego na niski występuje zatrzaśnięcie, czyli zapamiętanie, stanu wejścia D sprzed zmiany. Typowym zastosowaniem przerzutnika typu latch jest zapamiętanie chwilowego stanu szyny danych w celu np. zobrazowania na wyświetlaczu. Dowolny przerzutnik tego typu charakteryzuje się mniejszą odpornością na zakłócenia od dowolnego przerzutnika wyzwalającego zboczem.



Obserwacje:

Za pomocą próbnika stanów logicznych dokonano pomiaru stanów na wyjściach Q i \bar{Q} w zależności od stanów na wejściu D oraz wejściu zegarowym C. Otrzymane wyniki są przedstawione na tabelce poniżej.

wejście D	wejście zegarowe C	wyjście Q	wyjście $\sim Q$
x	0	poprzedni stan Q	poprzedni stan $\sim Q$
1	1	1	0
0	1	0	1

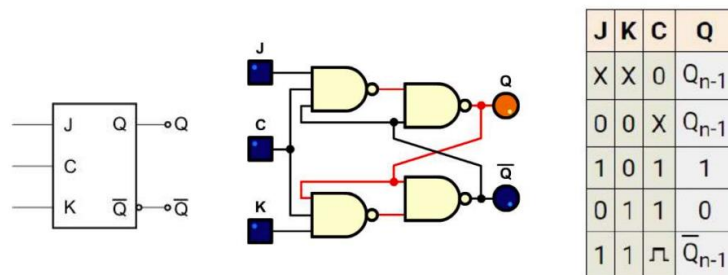
Na podstawie tych wyników można wywnioskować, że przerzutnik typu D latch powtarza sygnał z wejścia D na wyjście Q (i oczywiście zanegowany na \bar{Q}), gdy C=1, zaś, gdy stan na wejściu C zmienia się z 1 na 0, ostatni stan D zostaje zapamiętany i jest powtarzany na wyjściu Q, dopóki stan na wejściu C znów nie będzie stanem wysokim

Zad 5.4

Zbudować na bazie układu JK (7493) układ dzielący (redukujący) częstotliwość przez dwa. Odrysować przebiegi wejściowe i wyjściowe.

Teoria:

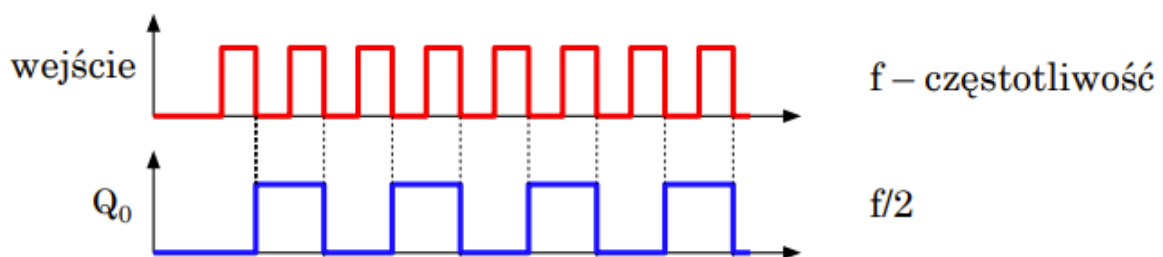
Układ JK 7493 jest jednym z popularnych układów licznikowych, które są wzajemnie sprzężone. Układ ten posiada również wejście zegara (CLK), które inicjuje kolejne cykle licznika.



W celu zbudowania układu dzielącego częstotliwość przez dwa, użyjemy dwóch przerzutników JK w trybie toggle (przełączającym). Tryb ten pozwala przerzutnikowi zmieniać swoje wyjście przy każdym zboczu narastającym sygnału zegarowego, niezależnie od wartości sygnałów wejściowych J i K.

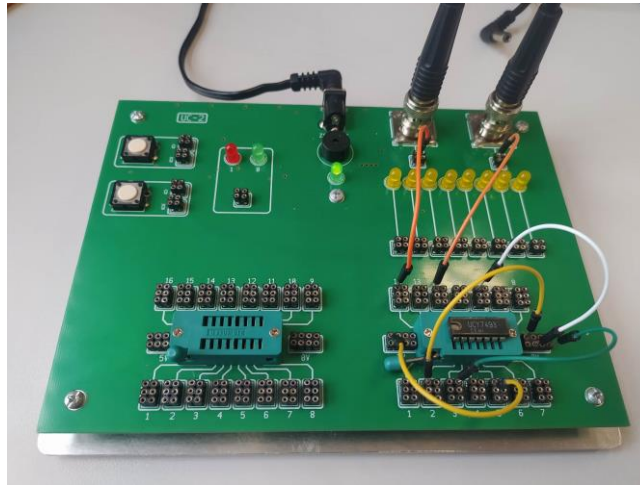
Przyjmując, że nasze wejście to sygnał o częstotliwości f , naszym celem jest uzyskanie sygnału wyjściowego o częstotliwości $f/2$. Aby to osiągnąć, podłączamy wejście zegarowe (CLK) naszego układu JK do sygnału wejściowego o częstotliwości f . Następnie, sygnały J i K dla obu przerzutników są krzyżowane. Innymi słowy, sygnał J dla pierwszego przerzutnika jest równy negacji sygnału K dla drugiego przerzutnika, a sygnał K dla pierwszego przerzutnika jest równy negacji sygnału J dla drugiego przerzutnika.

Po zainicjowaniu układu zegarem, przerzutniki będą się przełączać naprzemiennie przy każdym zboczu narastającym sygnału zegarowego. Ostatecznie, uzyskamy sygnał wyjściowy o częstotliwości $f/2$, ponieważ każdy przerzutnik JK podzieli częstotliwość przez dwa.



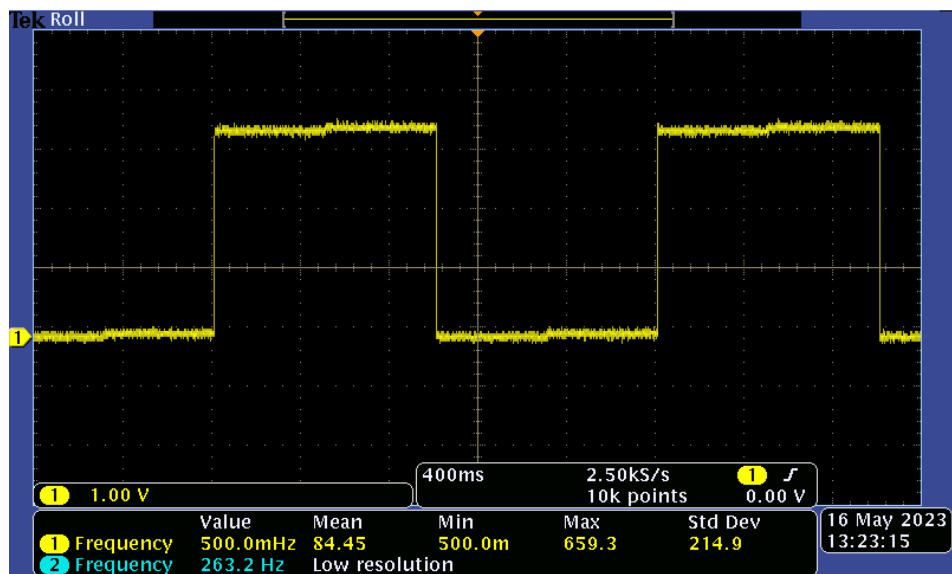
Obserwacje:

Zbudowano układ na płytce UC-1 w sposób opisany w części teoretycznej:



Rys 5. Płytką UC-1 z okablowaniem przy pomocy układów 7493

Podłączono układ do oscyloskopu by sprawdzić czy rzeczywiście dzieli sygnał, otrzymany poniższy wynik:



MSO3012 - 16:03:19 16.05.2023

Rysunek 1

Widać na rysunku, że sygnał zmienia się o dwa razy wejściową częstotliwość.

Zad 5.5

Zbudować licznik modulo 16. Wyzwalając ręcznie impulsator obserwować poszczególne stany licznika przy pomocy woltomierza lub diod elektroluminescencyjnych. Podając na wejście impulsy z generatora obserwować przebiegi na każdym z wyjść.

Teoria:

Licznik modulo 16 to układ cyfrowy, który zlicza impulsy wejściowe i wyświetla zliczaną wartość na wyjściu. Modulo 16 oznacza, że licznik będzie przechodził przez 16 stanów, a następnie zacznie od początku.

Do zbudowania takiego licznika będziemy potrzebować dwóch rodzajów układów scalonych: bramek logicznych z rodziny 7400 i układu dzielnika częstotliwości 7493.

Układ 7400 składa się z czterech bramek NAND. Każda bramka ma dwa wejścia (A i B) i jedno wyjście (Y). Wyjście bramki NAND będzie równe 0, tylko jeśli oba wejścia będą równe 1. W przeciwnym razie wyjście będzie równe 1. Układ 7400 będzie używany jako multiplexer, aby generować punkty wejściowe

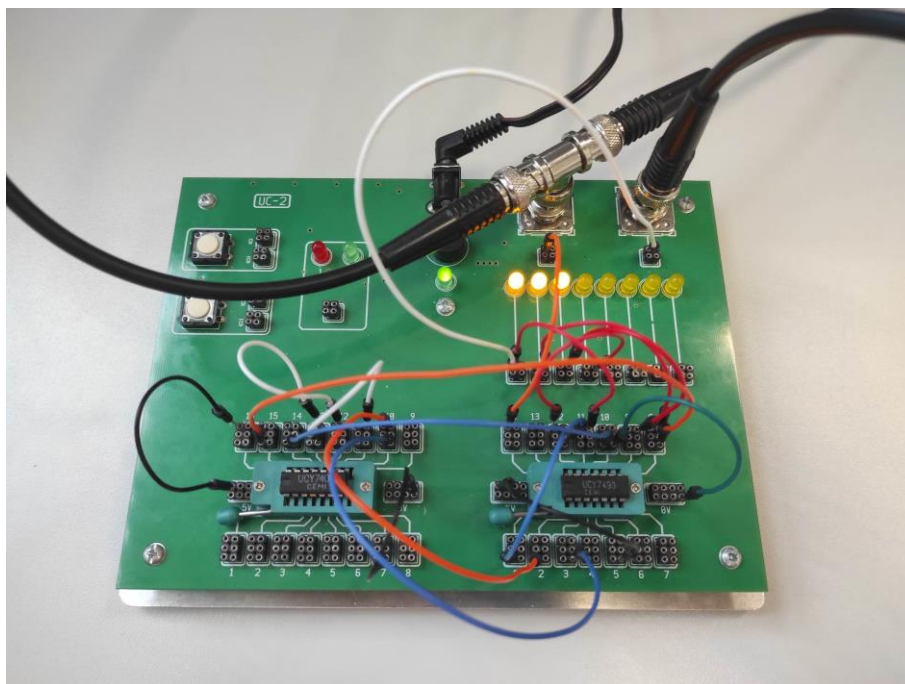
Układ 7493 to czterobitowy dzielnik częstotliwości. Dzieli on częstotliwość wejściową na cztery razy niższą. Posiada dwa wejścia: CLK oraz RST (reset), jak i cztery wyjścia (Q_1 , Q_2 , Q_3 , Q_4). Kiedy każdy impuls zegara przyjdzie na wejście CLK, wyjścia będą się zmieniać w odpowiedniej sekwencji od 0 do 15, a następnie zaczynają od początku.

Numer impulsu	Stan wyjść			
n	Q_3	Q_2	Q_1	Q_0
0	0	0	0	0
1	0	0	0	1
2	0	0	1	0
3	0	0	1	1
4	0	1	0	0
5	0	1	0	1
6	0	1	1	0
7	0	1	1	1
8	1	0	0	0
9	1	0	0	1
10	1	0	1	0
11	1	0	1	1
12	1	1	0	0
13	1	1	0	1
14	1	1	1	0
15	1	1	1	1
16	0	0	0	0

Liczba impulsów zapisana w kodzie binarnym (modulo 16)

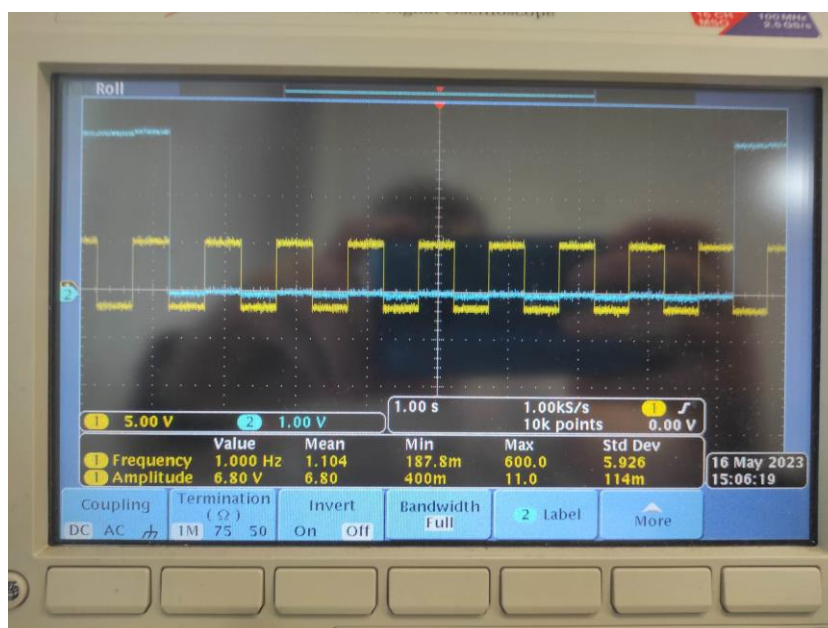
Obserwacje:

Zbudowano układ na płycie UC-1 w sposób opisany w części teoretycznej:



Rys 6. Płytką UC-1 z okablowaniem przy pomocy układów 7400 i 7493 do operacji modulo 16

Podłączono układ do oscyloskopu by sprawdzić czy rzeczywiście dzieli sygnał, otrzymany poniższy wynik:



Rys 7. Zdjęcie oscyloskopu pokazujące jak działa płytką z rys. 6

Widać na rysunku że finalny sygnał który zeruje wyświetlanie diod, występuje co 16 włączeń diod.

Zad 5.6

Zbudować licznik modulo 10. Obserwować stany licznika przy pomocy diod elektroluminescencyjnych.

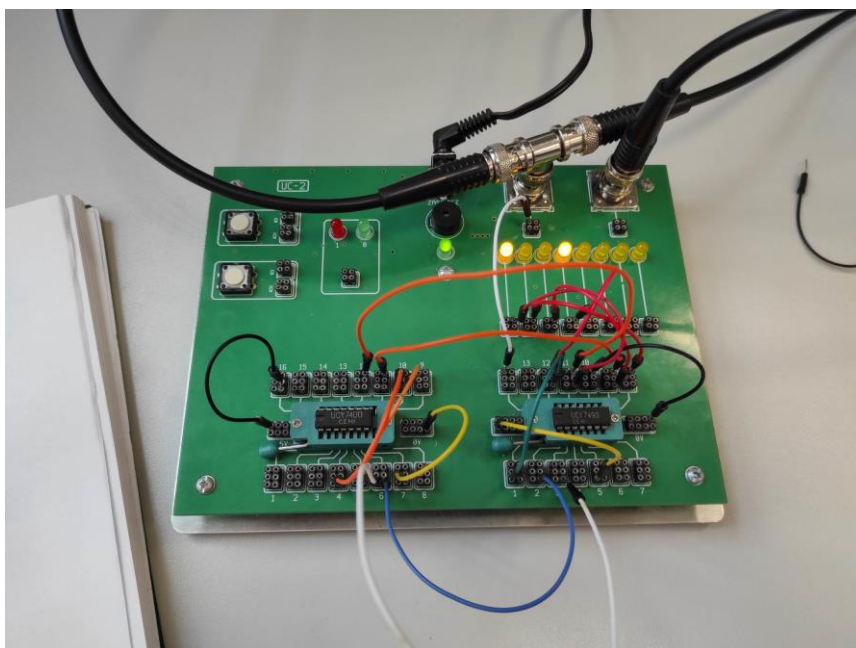
Teoria:

Licznik modulo 10 to układ cyfrowy, który zlicza impulsy wejściowe i wyświetla wartość zliczaną na wyjściu. Modulo 10 oznacza, że licznik będzie przechodził przez 10 stanów, a następnie zacznie od początku.

Kiedy generowane będą impulsy zegarowe, licznik będzie zliczał od 0 do 9 i zaczynał od początku. Możesz obserwować wartość zliczaną na wyjściach licznika za pomocą woltomierza lub diod elektroluminescencyjnych, które będą świecić w odpowiednich sekwencjach, w zależności od stanu licznika. Na przykład, dla wartości 0, pierwsza dioda może być włączona, dla wartości 1 - druga dioda, dla wartości 2 - trzecia dioda, itd. Po osiągnięciu wartości 9, licznik zaczyna od początku i cykl się powtarza.

Obserwacje:

Zbudowano układ na płytce UC-1 w sposób opisany w ćwiczeniu 5.5:



Rys 8. Płytkę UC-1 z okablowaniem przy pomocy układów 7400 i 7493 do operacji modulo 10

Zaobserwowano, podobnie jak w zad 5.5, wyzerowanie sygnału po tym jak diody pokazywały binarnie 9.