

Ćw.4: Podstawowe układy cyfrowe

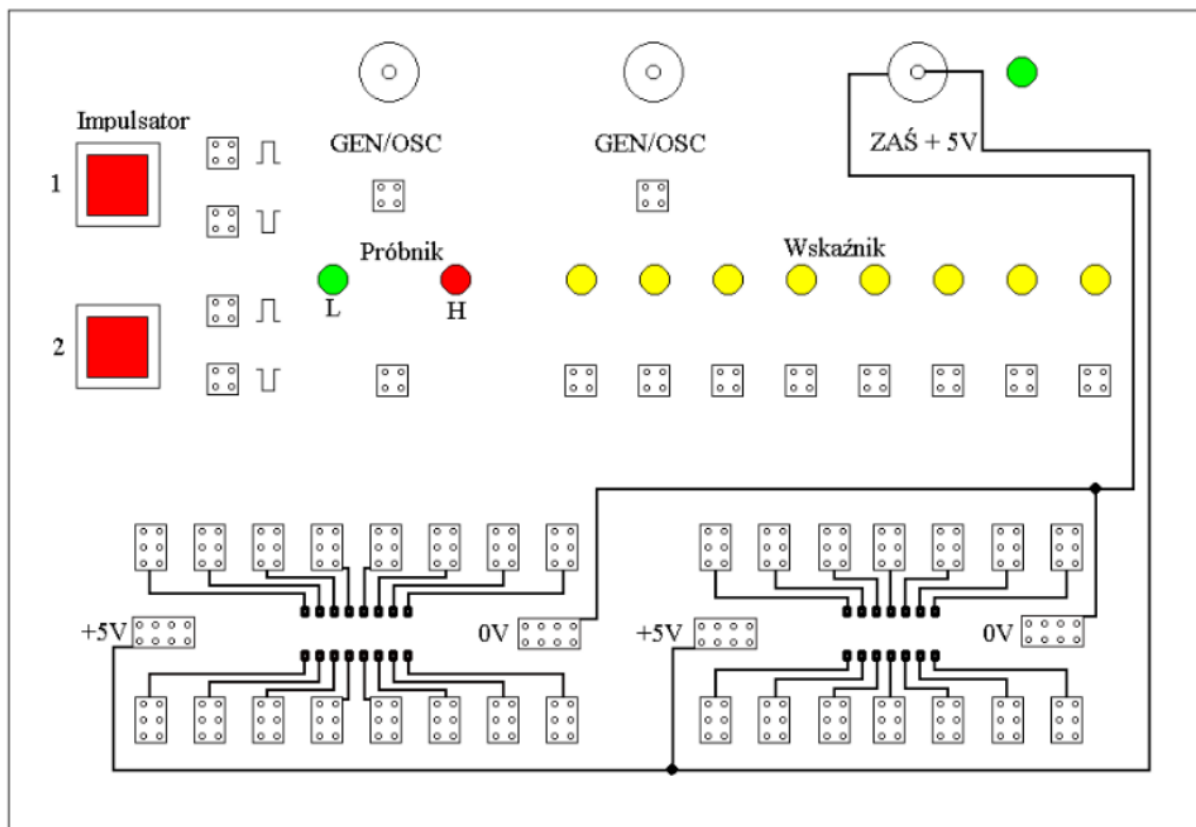
Kacper Tatrocki

Prowadząca: dr Małgorzata Harańczyk

25.04.2023

Zad 5.1

Zapoznać się z płytką UC-1 do badania układów scalonych TTL.



Rys 1. Widok płytki UC-1

Płytką UC-1 służy do badania cyfrowych układów scalonych serii TTL, składa się z poniższych elementów:

- Wejścia zasilającego +5V w prawym górnym rogu,
- Dwóch złącz, które mogą służyć jako wejścia dla generatora lub wyjścia dla oscylatora,
- Dwóch impulsatorów w lewym górnym rogu z których każdy posiada dwa wyjścia,
 - wyjście proste – przy naciśnięciu przycisku otrzymujemy na nim stan wysoki, w innej sytuacji stan niski,
 - wyjście zanegowane – przy naciśnięciu przycisku otrzymujemy na nim stan wysoki, w innej sytuacji stan niski,
- 2 wejść zasilających +5V i 2 wyjść z uziemieniem,
- Wejścia trójstanowego próbnika stanów logicznych,
 - Stan wysoki – świeci się dioda czerwona,
 - Stan niski – świeci się dioda zielona,
 - Stan nieokreślony – nie świeci się żadna dioda
- 16-pinowego gniazda do wpinania układów scalonych i 16 wyjść odpowiadających każdej nóżce układu
- 14-pinowego gniazda do wpinania układów scalonych i 14 wyjść odpowiadających każdej nóżce układu

Zad 5.2

Zbadać tablicę logiczną dla następujących bramek logicznych NAND (7400), NOR (7402), Ex-OR (7486) mierząc poziomy odpowiednich napięć, a następnie sprawdzając je próbnikiem stanów logicznych.

Obserwacje:

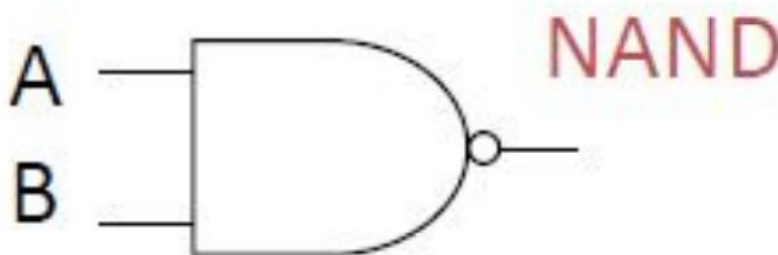
Używając próbnika stanów logicznych i woltomierza zbadano tablicę logiczną oraz poziom napięć wyjściowych dla odpowiednich napięć wejściowych bramek logicznych:

- **NAND** (7400)
- **NOR** (7402)
- **XOR** (7486)

Dla skrócenia zapisu podane będą tylko wartości zmierzone woltomierzem, zaś odpowiadające im stany logiczne będą oznaczone tak samo jak kolory świecących się diod dla odpowiednich stanów:

- Zielony – stan niski
- Czerwony – stan wysoki

Bramka **NAND**:

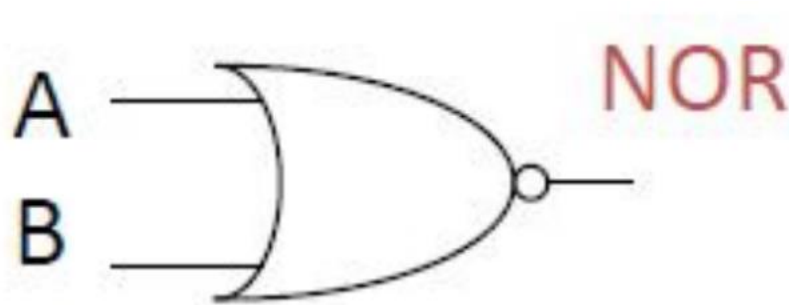


Wejście A	Wejście B	Wyjście C
65,3 mV	63,7 mV	3,58 V
65,3 mV	3,6 V	3,52 V
3,68 V	63,7 mV	3,52 V
3,68 V	3,6 V	60,3 mV

Widać więc, że:

$$C = \sim(A * B) = \sim A + \sim B$$

Bramka **NOR**:

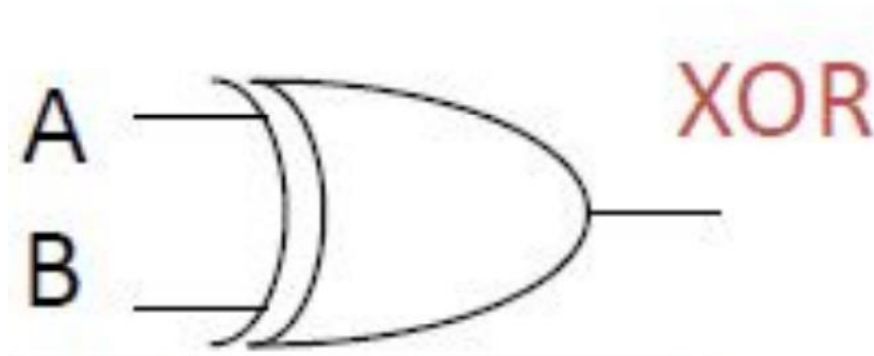


Wejście A	Wejście B	Wyjście C
65,3 mV	63,7 mV	3,62 V
65,3 mV	3,6 V	45 mV
3,68 V	63,7 mV	45 mV
3,68 V	3,6 V	45 mV

Widać więc, że:

$$C = \sim A * \sim B = \sim(A + B)$$

Bramka **XOR**:



Wejście A	Wejście B	Wyjście C
65,3 mV	63,7 mV	29,4 mV
65,3 mV	3,6 V	4,96 V
3,68 V	63,7 mV	4,96 V
3,68 V	3,6 V	29,4 mV

Widać więc, że:

$$C = \sim A * B + A * \sim B$$

Zad 5.3

Używając funktorów **NAND (7400)**, **NOR (7402)** zbudować układ realizujący iloczyn logiczny, sumę logiczną, funkcję negacji. Sprawdzić tablicę logiczną funktorów używając próbnika stanów logicznych.

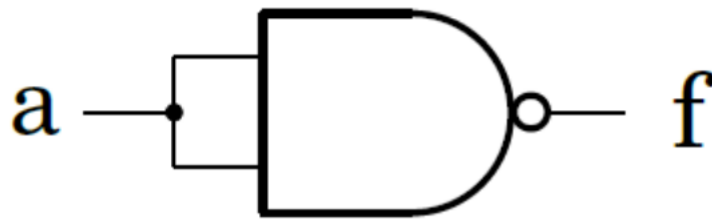
Wstęp:

Zbudowane układy realizujące:

- Iloczyn logiczny (**AND**)
- Sumę logiczną (**OR**)
- Funkcję negacji (**NOT**)

Używając funktorów **NAND** oraz **NOR**:

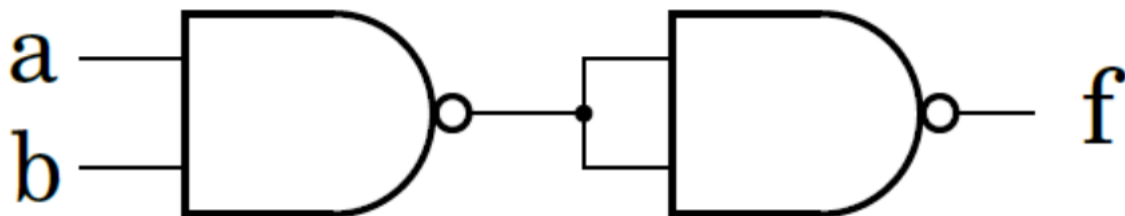
Zajmijmy się najpierw funktorem **NAND**:



Rys 2. Schemat budowy układu realizującego funkcję negacji (NAND)

Funkcja **negacji**:

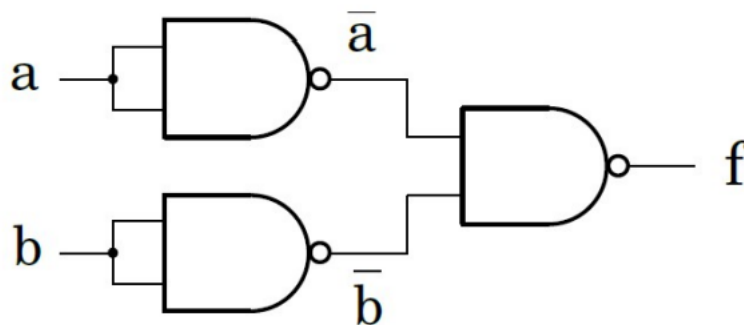
Stosując definicję bramki **NAND** do układu przedstawionego na Rys 3. Mamy $f = \sim(a * a) = \sim a$, więc widać że realizuje ona funkcję **negacji**.



Rys 3. Schemat budowy układu realizującego iloczyn logiczny (NAND)

Iloczyn logiczny:

Udowodniliśmy na pierwszym przykładzie, że pierwsza bramka zwraca zanegowany sygnał $a * b$, zaś druga zwraca zanegowany sygnał wejściowy. Więc z prawa podwójnej negacji otrzymujemy iloczyn logiczny: $f = \sim(\sim(a * b)) = a * b$

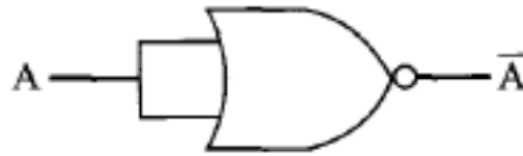


Rys 4. Schemat budowy układu realizującego sumę logiczną (NAND)

Suma logiczna:

Jak już wcześniej udowodniliśmy bramki **NAND**, które na obydwu wejściach otrzymują tą samą wartość zwracają na wyjściu jej negację. Zatem bramka **NAND** po prawej stronie (Rys 4.) ma na wyjściu sygnały $\sim a$ oraz $\sim b$. Otrzymujemy zatem: $f = \sim(\sim a * \sim b)$, a z prawa De Morgana otrzymujemy sumę logiczną: $f = a + b$.

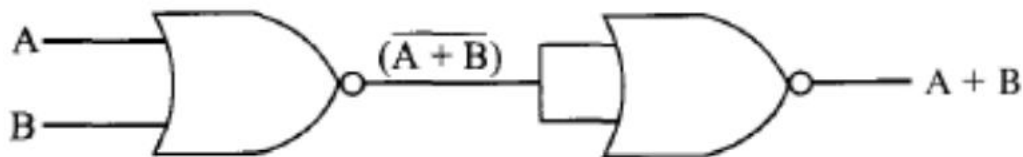
Przechodząc do funkcji **NOR** mamy:



Rys 5. Schemat budowy układu realizującego funkcję negacji (NOR)

Funkcja **negacji**:

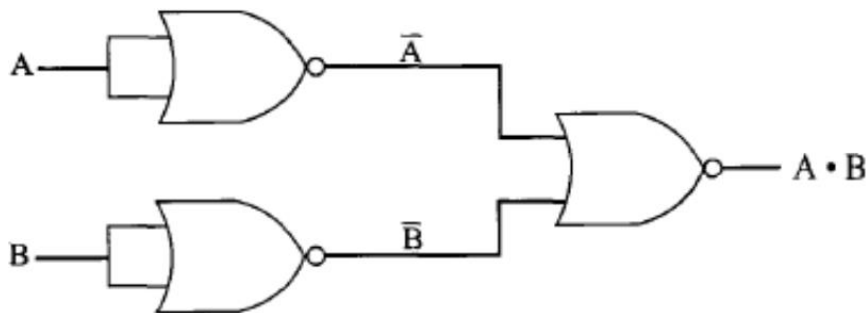
Tutaj mamy podobnie jak w funkcji **NAND**. Stosując definicję bramki **NOR** do układu przedstawionego na Rys 5. Mamy $f = \sim(a + a) = \sim a$, więc widać że realizują one funkcję **negacji**.



Rys 6. Schemat budowy układu realizującego sumę logiczną (NOR)

Suma logiczna:

Udowodniliśmy na pierwszym przykładzie, że pierwsza bramka zwraca zanegowany sygnał $a + b$, zaś druga zwraca zanegowany sygnał wejściowy. Więc z prawa podwójnej negacji otrzymujemy iloczyn logiczny: $f = \sim(\sim(a + b)) = a + b$



Rys 7. Schemat budowy układu realizującego iloczyn logiczny (NOR)

Iloczyn logiczny:

Jak już wcześniej udowodniliśmy bramki **NOR**, które na obydwu wejściach otrzymują tę samą wartość zwracają na wyjściu jej negację. Zatem bramka **NOR** po prawej stronie (Rys 7.) ma na wyjściu sygnały $\sim a$ oraz $\sim b$. Otrzymujemy zatem: $f = \sim(\sim a + \sim b)$, a z prawa De Morgana otrzymujemy iloczyn logiczny: $f = a \cdot b$.

Obserwacje:

Za pomocą próbnika stanów logicznych sprawdzono tablicę logiczną dla zbudowanych układów. Jak widać poniżej, zaobserwowane tablice zgadzają się z teoretycznymi tablicami dla operatorów NOT, AND i OR.

Funktor NAND:

Wejście A	Wyjście f
67,9 mV	3,6 V
3,6 V	67,9 mV

Funkcja Negacji

Wejście A	Wejście B	Wyjście C
65,3 mV	63,7 mV	65,2 mV
65,3 mV	3,6 V	65,2 mV
3,68 V	63,7 mV	65,2 mV
3,68 V	3,6 V	3,58 V

Iloczyn logiczny

Wejście A	Wejście B	Wyjście C
65,3 mV	63,7 mV	66,3 mV
65,3 mV	3,6 V	3,58 V
3,68 V	63,7 mV	3,58 V
3,68 V	3,6 V	3,58 V

*Suma logiczna***Funktor NOR:**

Wejście A	Wyjście f
67,9 mV	3,6 V
3,6 V	67,9 mV

Funkcja Negacji

Wejście A	Wejście B	Wyjście C
65,3 mV	63,7 mV	57,1 mV
65,3 mV	3,6 V	3,63 V
3,68 V	63,7 mV	3,63 V
3,68 V	3,6 V	3,63 V

Suma logiczna

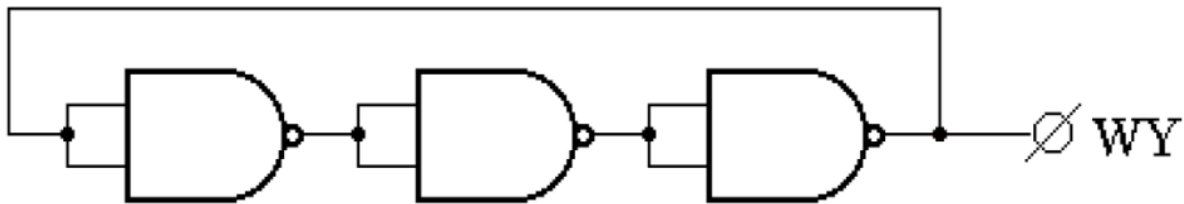
Wejście A	Wejście B	Wyjście C
65,3 mV	63,7 mV	60,7 mV
65,3 mV	3,6 V	60,7 mV
3,68 V	63,7 mV	60,7 mV
3,68 V	3,6 V	3,63 V

Iloczyn logiczny

Zad 5.4

Wyznaczyć średni czas propagacji impulsu przez bramkę mierząc okres drgań generatora zbudowanego z trzech bramek. Użyć do budowy generatora bramek serii podstawowej 7400. a potem bramek serii szybkiej 74S00. Porównaj wyniki.

Wstęp:

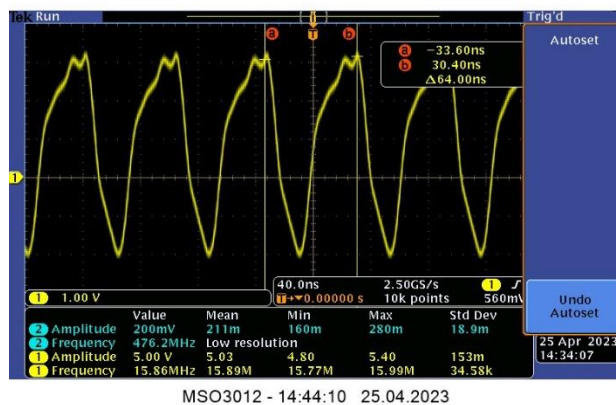


Rys 8. Schemat generatora zbudowanego z 3 bramek NAND

Jak udowodniono w poprzednim zadaniu, bramka NAND, która otrzyma na obydwu wejściach ten sam stan, zwraca jego zanegowany sygnał. Zatem po połączeniu trzech takich bramek w sposób przedstawiony na Rys 8., na wyjściu WY otrzymamy zanegowany sygnał z wejścia pierwszej bramki. Ponieważ to wyjście trzeciej bramki i wejście pierwszej są połączone, to po chwili na WY znów otrzymamy sygnał przeciwny do poprzedniego. Jego okres będzie zależny od czasu, który zajmuje bramce NAND zmiana stanu na wyjściu w reakcji na zmianę stanów na wejściu.

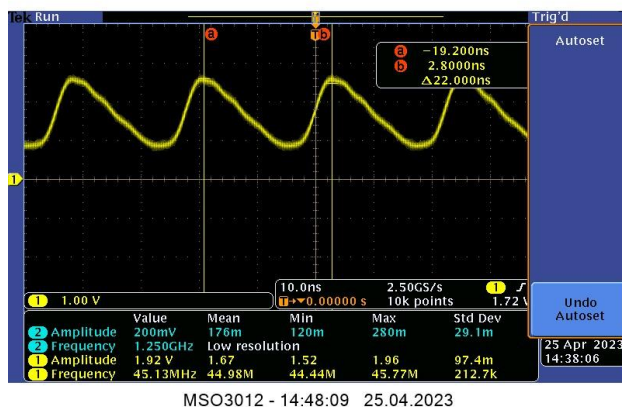
Obserwacje:

Najpierw zbudowano sygnał wyjściowy dla układu zbudowanego z bramek NAND o oznaczeniu **7400**. Jego częstotliwość wyniosła $f_1 = 15.86\text{MHz}$, a amplituda $U_1 = 5.00\text{V}$



Rys 8. Sygnał zaobserwowany na układzie korzystającym z bramek 7400

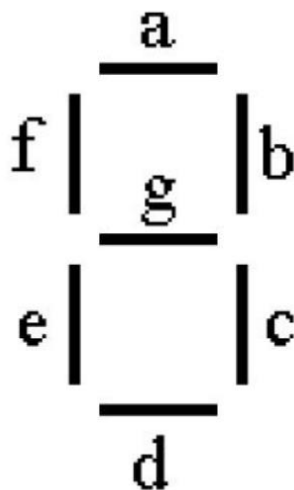
Później zbudowano sygnał wyjściowy dla układu zbudowanego z bramek NAND o oznaczeniu **74S00**. Jego częstotliwość wyniosła $f_1 = 45.13\text{MHz}$, a amplituda $U_1 = 1.92\text{V}$



Rys 9. Sygnał zaobserwowany na układzie korzystającym z bramek 74S00

Zad 5.5

Zbudować funkcję logiczną dla jednego wybranego segmentu (a, b, c, d, e, f, g) wskaźnika 7-segmentowego, którego zadaniem będzie wyświetlanie liczb w systemie ósemkowym.



Rys 10. Wskaźnik 7-segmentowy

Do przeanalizowania wybrałem segment 'a'.

Segment	A	B	C	Wynik
0	0	0	0	1
1	0	0	1	0
2	0	1	0	1
3	0	1	1	1
4	1	0	0	0
5	1	0	1	1
6	1	1	0	1
7	1	1	1	1

Tabela 1. Tablica prawdy dla wskaźnika 7-segmentowego

Korzystając z metody Karnaugh utworzono siatkę logiczną:

C / BA	00	01	11	10
0	1	0	1	1
1	0	1	1	1

Tabela 2. Siatka Karnaugh dla segmentów A,B,C

Po zgrupowaniu jedynek uzyskano następującą postać minimalną:

$$a = B + AC + \sim(AC) \quad / \sim$$

$$\sim a = \sim(B + AC + \sim(AC)) = \sim B * \sim(AC) + AC = \sim(\sim B * \sim(AC) * AC)$$

