TaC命令表

命令	モニック	オペコート		アト	・レッシ	・ノグエー	ト (巻	が値けって		ASIT 1			
命令				_	_							フラグ	説明
	オペランド	OP Rd Rx	Drct	Index	lmm	FP RIt		lmm4		B Indr	Othr	変化	I - 1 1 4 1 4 1 1
NO	DIEA	00h 0h 0h									3	×	何もしない
LD	Rd,EA	08h Rd EA	7	7	5	5	4	4	5	5		×	Rd ← [EA]
													[EA] ← Rd
													Rd ← Rd + [EA]
				-						_			Rd ← Rd - [EA]
								_		_			Rd - [EA]
										_			Rd ← Rd and [EA]
				-						_			Rd ← Rd or [EA]
						_							Rd ← Rd xor [EA]
													Rd ← Rd + [EA]*2
										_			$Rd \leftarrow Rd \times [EA]$
													Rd ← Rd / [EA]
													Rd ← Rd % [EA]
			_	-		_		-		_			$Rd \leftarrow Rd << [EA]$
									_	_		0	$Rd \leftarrow Rd << [EA]$
SHRA	Rd,EA	90h Rd EA	7	7				-		_		0	$Rd \leftarrow Rd >> [EA]$
		98h Rd EA	7	7		_	4		_	_		0	Rd ← Rd >>> [EA]
		A0h 0h EA										×	If (Z) PC ← EA
JC	EA	A0h 1h EA	5	5								×	If (C) PC ← EA
JM	EA	A0h 2h EA	5	5								×	If (S) PC ← EA
JO	EA	A0h 3h EA	5	5								×	if (V) PC ← EA
JGT	EA	A0h 4h EA	5	5								×	If (not (Z or (S xor V))) PC ← EA
JGE	EA	A0h 5h EA	5	5								×	if (not (S xor V)) PC ← EA
JLE	EA	A0h 6h EA	5	5								×	If (Z or (S xor V)) PC ← EA
JLT	EA	A0h 7h EA	5	5								×	If (S xor V) PC ← EA
JNZ	EA	A0h 8h EA	5	5								×	If (not Z) PC ← EA
JNC	EA	A0h 9h EA	5	5								×	If (not C) PC ← EA
JNM	EA	A0h Ah EA	5	5								×	If (not S) PC ← EA
JNO	EA	A0h Bh EA	5	5								×	If (not V) PC ← EA
JHI	EA	A0h Ch EA	5	5								×	If (not (Z or C)) PC ← EA
JLS	EA	A0h Eh EA	5	5								×	If (Z or C) PC ← EA
JMP	EA	A0h Fh EA	5	5								×	PC ← EA
CALL	EA	A8h 0h EA	7	7								×	[SP] ← PC, PC ← EA
IN	Rd,EA	B0h Rd EA	6						4			×	Rd ← IO[EA]
OUT	Rd.EA	B8h Rd EA	5						3			×	IO[EA] ← Rd
	,	C0h Rd 0h									5	×	[SP] ← Rd
POP	Rd	C4h Rd 0h									5	×	Rd ← [SP++]
	-										6	×	PC ← [SP++]
RETI		D4h Fh 0h									10	0	FLAG ← [SP++], PC ← [SP++]
												×	システムコール
													CPU停止
	MUL DIV MOD SSHLA SSHLA SSHLA IZ	ADD Rd,EA SUB Rd,EA CMP Rd,EA AND Rd,EA OR Rd,EA AND Rd,EA BHLA R	ADD Rd,EA 18h Rd EA SUB Rd,EA 20h Rd EA CMP Rd,EA 30h Rd EA AND Rd,EA 38h Rd EA AND Rd,EA 40h Rd EA ANDS Rd,EA 56h Rd EA DIV Rd,EA 58h Rd EA DIV Rd,EA 58h Rd EA BHLA Rd,EA 90h Rd EA SHLL Rd,EA 99h Rd EA BHLE Rd,EA 98h Rd EA IZ EA A0h 0h EA IZ EA A0h 3h EA IZ EA A0h 3h EA IZ EA A0h 3h EA IZ EA A0h 6h E	ADD Rd,EA 18h Rd EA 7 SUB Rd,EA 20h Rd EA 7 CMP Rd,EA 28h Rd EA 7 AND Rd,EA 30h Rd EA 7 OR Rd,EA 38h Rd EA 7 AND Rd,EA 40h Rd EA 7 ANDS Rd,EA 40h Rd EA 7 ANDS Rd,EA 50h Rd EA 7 DIV Rd,EA 58h Rd EA 23 MOD Rd,EA 60h Rd EA 7 SHLL Rd,EA 80h Rd EA 7 SHLL Rd,EA 89h Rd EA 7 SHLL Rd,EA 99h Rd EA 7 IZ EA A0h 0h EA 5 IZ EA A0h 1h EA 5 IJC EA A0h 3h EA 5 IJC EA A0h 6h EA 6 IJC EA A0	ADD Rd,EA 18h Rd EA 7 7 SUB Rd,EA 20h Rd EA 7 7 AND Rd,EA 30h Rd EA 7 7 AND Rd,EA 38h Rd EA 7 7 AND Rd,EA 38h Rd EA 7 7 AND Rd,EA 40h Rd EA 7 7 AND Rd,EA 50h Rd EA 7 7 AND Rd,EA 50h Rd EA 7 7 AND Rd,EA 50h Rd EA 7 7 DIV Rd,EA 58h Rd EA 7 7 DIV Rd,EA 58h Rd EA 7 7 BHLA Rd,EA 80h Rd EA 7 7 SHLL Rd,EA 88h Rd EA 7 7 SHLL Rd,EA 90h Rd EA 7 7 SHRL Rd,EA 90h Rd EA 7 7 SHRL Rd,EA 98h Rd EA 7 7 SHRL Rd,EA 98h Rd EA 7 7 SIG EA A0h 0h EA 5 5 SIG EA A0h 3h EA 5 5 SIG EA A0h 4h EA 5 5 SIG EA A0h 6h EA 5 5 SIG EA A0h 8h EA 5 5 SIG EA EA 6h 8h EA 5 5 SIG EA EA 6h	ADD Rd,EA 18h Rd EA 7 7 5 SUB Rd,EA 20h Rd EA 7 7 5 AND Rd,EA 30h Rd EA 7 7 5 AND Rd,EA 30h Rd EA 7 7 5 AND Rd,EA 30h Rd EA 7 7 5 AND Rd,EA 40h Rd EA 7 7 5 AND Rd,EA 40h Rd EA 7 7 5 AND Rd,EA 50h Rd EA 7 7 5 MUL Rd,EA 50h Rd EA 7 7 5 MUL Rd,EA 50h Rd EA 7 7 5 MOD Rd,EA 60h Rd EA 23 23 21 MOD Rd,EA 60h Rd EA 7 7 5 SHLLA Rd,EA 80h Rd EA 7 7 5 SHLL Rd,EA 88h Rd EA 7 7 5 SHLL Rd,EA 90h Rd EA 7 7 5 SHRL Rd,EA 90h Rd EA 7 7 5 MIZ EA A0h 0h EA 5 5 MIM EA A0h 2h EA 5 5 MIM EA A0h 3h EA 5 5 MIG EA A0h 6h EA 5 5 MIG EA A0h 6h EA 5 5 MIM EA A0h 6h EA 5 5 MIM EA A0h 8h	ADD Rd,EA 18h Rd EA 7 7 5 5 SUB Rd,EA 20h Rd EA 7 7 5 5 AND Rd,EA 30h Rd EA 7 7 5 5 AND Rd,EA 38h Rd EA 7 7 5 5 AND Rd,EA 38h Rd EA 7 7 5 5 AND Rd,EA 38h Rd EA 7 7 5 5 AND Rd,EA 40h Rd EA 7 7 5 5 AND Rd,EA 40h Rd EA 7 7 5 5 AND Rd,EA 50h Rd EA 7 7 5 5 MUL Rd,EA 50h Rd EA 7 7 5 5 MUL Rd,EA 50h Rd EA 7 7 5 5 MOD Rd,EA 60h Rd EA 23 23 21 21 SHLA Rd,EA 80h Rd EA 7 7 5 5 SHLL Rd,EA 88h Rd EA 7 7 5 5 SHLL Rd,EA 88h Rd EA 7 7 5 5 SHRL Rd,EA 90h Rd EA 7 7 5 5 SHRR Rd,EA 90h Rd EA 7 7 5 5 MIZ EA A0h 0h EA 5 5 MIM EA A0h 2h EA 5 5 MIM EA A0h 3h EA 5 5 MIM EA A0h 6h EA 5 5 MIM	ADD Rd,EA 18h Rd EA 7 7 5 5 4 SUB Rd,EA 20h Rd EA 7 7 5 5 4 CMP Rd,EA 28h Rd EA 7 7 5 5 4 AND Rd,EA 30h Rd EA 7 7 5 5 5 4 OR Rd,EA 38h Rd EA 7 7 5 5 5 4 AND Rd,EA 40h Rd EA 7 7 5 5 5 4 AND Rd,EA 40h Rd EA 7 7 5 5 5 4 AND Rd,EA 40h Rd EA 7 7 5 5 5 4 AND Rd,EA 50h Rd EA 7 7 5 5 5 4 MUL Rd,EA 50h Rd EA 7 7 5 5 5 4 DIV Rd,EA 58h Rd EA 23 23 21 21 20 MOD Rd,EA 60h Rd EA 23 23 21 21 20 MOD Rd,EA 80h Rd EA 7 7 5 5 4 SHLL Rd,EA 88h Rd EA 7 7 5 5 4 SHLL Rd,EA 88h Rd EA 7 7 5 5 4 SHRL Rd,EA 90h Rd EA 7 7 5 5 4 SHRL Rd,EA 98h Rd EA 7 7 5 5 4 IZ EA A0h 0h EA 5 5 JIZ EA A0h 3h EA 5 5 JIZ EA A0h 4h EA 5 5 JIZ EA A0h 6h EA 5 5	ADD Rd,EA 18h Rd EA 7 7 5 5 5 4 4 4 SUB Rd,EA 20h Rd EA 7 7 7 5 5 5 4 4 4 AND Rd,EA 30h Rd EA 7 7 7 5 5 5 4 4 4 AND Rd,EA 38h Rd EA 7 7 7 5 5 5 4 4 4 ADDR Rd,EA 40h Rd EA 7 7 7 5 5 5 4 4 4 ADDR Rd,EA 40h Rd EA 7 7 7 5 5 5 4 4 4 ADDR Rd,EA 50h Rd EA 7 7 7 5 5 5 4 4 4 ADDR Rd,EA 50h Rd EA 7 7 7 5 5 5 4 4 4 ADDR Rd,EA 50h Rd EA 7 7 7 5 5 5 4 4 4 ADDR Rd,EA 50h Rd EA 7 7 7 5 5 5 4 4 4 ADDR Rd,EA 50h Rd EA 7 7 7 5 5 5 4 4 4 ADDR Rd,EA 50h Rd EA 7 7 7 5 5 5 4 4 4 ADDR Rd,EA 50h Rd EA 7 7 7 5 5 5 4 4 4 ADDR Rd,EA 50h Rd EA 7 7 7 5 5 5 4 4 4 ADDR Rd,EA 60h Rd EA 23 23 23 21 21 20 20 ADDR Rd,EA 80h Rd EA 7 7 7 5 5 5 4 4 4 ASHRLL Rd,EA 80h Rd EA 7 7 7 5 5 5 4 4 4 ASHRLL Rd,EA 90h Rd EA 7 7 7 5 5 5 4 4 4 ASHRLL Rd,EA 98h Rd EA 7 7 7 5 5 5 4 4 4 ASHRL Rd,EA 98h Rd EA 7 7 7 5 5 5 4 4 4 ASHRL Rd,EA 98h Rd EA 7 7 7 5 5 5 4 4 4 ASHRL Rd,EA 98h Rd EA 7 7 7 5 5 5 4 4 4 ASHRL Rd,EA 98h Rd EA 7 7 7 5 5 5 4 4 4 ASHRL Rd,EA 98h Rd EA 7 7 7 5 5 5 4 4 4 ADDR EA AOH Sh EA 5 5 5	ADD Rd,EA 18h Rd EA 7 7 5 5 5 4 4 5 5 5 M SUB Rd,EA 20h Rd EA 7 7 5 5 5 4 4 5 5 CMP Rd,EA 28h Rd EA 7 7 5 5 5 4 4 5 5 AND Rd,EA 30h Rd EA 7 7 5 5 5 4 4 5 5 OR Rd,EA 30h Rd EA 7 7 5 5 5 4 4 5 5 OR Rd,EA 38h Rd EA 7 7 5 5 5 4 4 5 5 OR Rd,EA 40h Rd EA 7 7 5 5 5 4 4 5 5 ADDS Rd,EA 40h Rd EA 7 7 5 5 5 4 4 5 5 ADDS Rd,EA 48h Rd EA 7 7 5 5 5 4 4 5 5 MUL Rd,EA 50h Rd EA 7 7 5 5 5 4 4 5 5 DIV Rd,EA 58h Rd EA 23 23 21 21 20 20 21 21 MOD Rd,EA 60h Rd EA 23 23 21 21 20 20 20 21 SHLLA Rd,EA 80h Rd EA 7 7 5 5 5 4 4 5 5 SHLL Rd,EA 80h Rd EA 7 7 5 5 5 4 4 5 5 SHRL Rd,EA 90h Rd EA 7 7 5 5 5 4 4 5 5 SHRL Rd,EA 99h Rd EA 7 7 5 5 5 4 4 5 5 SHRL Rd,EA 98h Rd EA 7 7 7 5 5 5 4 5 4 5 SHRL Rd,EA 98h Rd EA 7 7 7 5 5 5 4 5 4 5 SHRL Rd,EA 98h Rd EA 7 7 7 5 5 5 4 5 4 5 SHRL Rd,EA 98h Rd EA 5 5 5	ADD Rd,EA 18h Rd EA 7 7 5 5 5 4 4 5 5 5 5 5 4 4 5 5 5 5 5 4 4 5 5 5 5 5 5 4 4 5	ADD Rd,EA 18h Rd EA 7 7 5 5 5 4 4 5 5 SUB Rd,EA 20h Rd EA 7 7 5 5 5 4 4 5 5 CMP Rd,EA 28h Rd EA 7 7 5 5 5 4 4 5 5 CMP Rd,EA 30h Rd EA 7 7 5 5 5 4 4 5 5 CMR Rd,EA 30h Rd EA 7 7 5 5 5 4 4 5 5 CR Rd,EA 30h Rd EA 7 7 5 5 5 4 4 5 5 CR Rd,EA 40h Rd EA 7 7 5 5 5 4 4 5 5 CR Rd,EA 40h Rd EA 7 7 5 5 5 4 4 5 5 ADDS Rd,EA 40h Rd EA 7 7 5 5 5 4 4 5 5 MUL Rd,EA 50h Rd EA 7 7 5 5 5 4 4 5 5 MUL Rd,EA 50h Rd EA 7 7 5 5 5 4 4 5 5 MOD Rd,EA 60h Rd EA 23 23 21 21 20 20 21 21 MOD Rd,EA 60h Rd EA 23 23 21 21 20 20 21 21 SHLLA Rd,EA 80h Rd EA 7 7 5 5 5 4 4 5 5 SHLLA Rd,EA 89h Rd EA 7 7 5 5 5 4 4 5 5 SHLLA Rd,EA 99h Rd EA 7 7 5 5 5 4 4 5 5 5 SHLR Rd,EA 99h Rd EA 7 7 5 5 5 4 4 5 5 5 SHRRA Rd,EA 99h Rd EA 7 7 5 5 5 4 4 5 5 5 SHRL Rd,EA 98h Rd EA 7 7 5 5 5 4 4 5 5 5 SHLL Rd,EA 80h Rd EA 7 7 7 5 5 5 4 4 5 5 5 SHLL Rd,EA 98h Rd EA 7 7 7 5 5 5 4 4 5 5 5 SHLL Rd,EA 98h Rd EA 7 7 7 5 5 5 4 4 5 5 5 SHLL Rd,EA 98h Rd EA 7 7 7 5 5 5 4 4 5 5 5 SHLL Rd,EA 98h Rd EA 7 7 7 5 5 5 4 4 5 5 5 SHLL Rd,EA 98h Rd EA 7 7 7 5 5 5 4 4 5 5 5 SHLL Rd,EA 98h Rd EA 7 7 7 5 5 5 4 4 5 5 5 SHLL Rd,EA 98h Rd EA 7 7 7 5 5 5 4 4 5 5 5 SHLL Rd,EA 98h Rd EA 7 7 7 5 5 5 4 4 5 5 5 SHLL Rd,EA 98h Rd EA 7 7 7 5 5 5 4 4 5 5 5 SHLL Rd,EA 98h Rd EA 7 7 7 5 5 5 4 4 5 5 5 SHLL Rd,EA 98h Rd EA 7 7 7 5 5 5 4 4 5 5 5 SHLL Rd,EA 98h Rd EA 7 7 7 5 5 5 4 4 5 5 5 SHLL Rd,EA 98h Rd EA 7 7 7 5 5 5 4 4 5 5 5 SHLL Rd,EA 98h Rd EA 7 7 7 5 5 5 4 4 5 5 5 SHLL Rd,EA 98h Rd EA 7 7 7 5 5 5 4 4 5 5 5 SHLL Rd,EA 98h Rd EA 7 7 7 5 5 5 4 4 5 5 5 SHLL Rd,EA A0h 3h EA 5 5 5 S	ADD Rd,EA 18h Rd EA 7 7 7 5 5 4 4 5 5 O SUB Rd,EA 20h Rd EA 7 7 7 5 5 5 4 4 5 5 O CMP Rd,EA 28h Rd EA 7 7 7 5 5 5 4 4 5 5 5 O AND Rd,EA 38h Rd EA 7 7 7 5 5 5 4 4 5 5 5 O AND Rd,EA 38h Rd EA 7 7 7 5 5 5 4 4 5 5 5 O AND Rd,EA 38h Rd EA 7 7 7 5 5 5 4 4 5 5 5 O AND Rd,EA 38h Rd EA 7 7 7 5 5 5 4 4 5 5 5 O AND Rd,EA 38h Rd EA 7 7 7 5 5 5 4 4 5 5 5 O AND Rd,EA 38h Rd EA 7 7 7 5 5 5 4 4 5 5 5 O ADDS Rd,EA 48h Rd EA 7 7 7 5 5 5 4 4 5 5 5 O MUL Rd,EA 50h Rd EA 7 7 7 5 5 5 4 4 5 5 5 O MUL Rd,EA 58h Rd EA 23 23 21 21 20 20 21 21 O MOD Rd,EA 60h Rd EA 23 23 21 21 20 20 21 21 O SHILL Rd,EA 80h Rd EA 7 7 7 5 5 5 4 4 5 5 5 O SHILL Rd,EA 80h Rd EA 7 7 7 5 5 5 4 4 5 5 5 O SHRL Rd,EA 99h Rd EA 7 7 7 5 5 5 4 4 5 5 5 O SHRL Rd,EA 99h Rd EA 7 7 7 5 5 5 4 4 5 5 5 O SHRL Rd,EA 98h Rd EA 7 7 7 5 5 5 4 4 4 5 5 5 O SHRL Rd,EA 98h Rd EA 7 7 7 5 5 5 4 4 4 5 5 5 O SHRL

アドレッシングモード(上の表中EAの詳細)に付いて

アドレッシングモード(上の表中EAの詳細)に付いて									
アドレッシングモード	略記	ニーモニック	命令フォーマット		EA(実効アドレス)の決め方				
アトレッシングモート	単谷 市区	(EA部分の標記方法)	第1ワード	第2ワード	略記	解説	1		
Direct	Drct	OP Rd, <u>Dsp</u>	OP+0 Rd0h	Dsp	[Dsp]	Dsp番地]		
Indexed	Index	OP Rd, <u>Dsp.Rx</u>	OP+1 RdRx	Dsp	[Dsp+Rx]	(Dsp+Rxレジスタの内容)番地]		
Immediate	Imm	OP Rd, <u>#Imm</u>	OP+2 Rd0h	Imm	Imm	Immそのもの]		
FP Rerative	FP Rlt	OP Rd, <u>Dsp4,FP</u>	OP+3 RdD4		[Dsp4+FP]	(D4を符号拡張した値×2 + FPレジスタの内容)番地(D4=Dsp4/2)	3		
Register	Reg	OP Rd, <u>Rs</u>	OP+4 RdRs		Rs	Rsレジスタの内容			
4bit Signed Immediate	Imm4	OP Rd <u>,#Imm4</u>	OP+5 RdI4		Imm4	I4を符号拡張した値そのもの];		
Register Indirect	Indr	OP Rd <u>.0.Rx</u>	OP+6 RdRx		[Rx]	Rxレジスタの内容番地	Ϊ		
Byte Register Indirect	B Indr	OP Rd <u>,@Rx</u>	OP+7 RdRx		[Rx]	Rxレジスタの内容番地(但し番地の内容は8bitデータ)	Ì		
Other	Othr	OP Rd	OP Rd0h			なし]		
Other	Othr	OP	OP 0h0h			なし	1		

注4

※アセンブリ言語でDspとDsp4、ImmとImm4の標記は同じ(値によりアセンブラが自動判定)

※FP相対で、Dsp4は-16~+14の偶数

色付きのセルは特権命令 特権違反が発生時は、スタックに違反を起こす前のPCが保存される

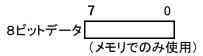
注1:RETI命令は特権モードでのみEPIフラグを変化させる

注2: D4はDsp4(4bitディスプレースメント)の1/2の値

注3: I4はImm4 (4bit即値)のこと

注4:アドレッシングモードによりOPの値が変化する

データ形式	15	0
データ	16ビットデータ	
-		
アドレス	16ビットアドレス	



メモリ空間	+0	+1
0000H		
0002H		
0004H		
FFFCH		
FFFEH		

I/O空間	+0	+1
00H		
02H		
04H		
FCH FEH		
FEH		

レジスタ構成

	15 0
G0	
G1	
G2	
G3	
G4	
G5	
G6	
G7	
G8	
G9	
G10	
G11	
FP(G12)	
SP(G13)[*1]	
USP(G14)	
FLAG(G15)[*2]	
·	CPUレジスタ

		· · ·	£_,				
レジスタの意味							
0011	G0-11	汎用レジスタ					
CPU	FP	フレーム	ムポインタ				
レジスタ	SSP	システム	スタックポインタ				
7	USP	ユーザス	タックポインタ				
	PC	プログラ	ラムカウンタ				
		フラグ					
		Е	割込み許可				
	FLAG	Р	特権モード				
PSW		I	I/O特権モード				
FSW		U[*3]	ユーザ定義				
		V[*4]	オーバフロー				
		C[*5]	キャリー				
		S	符号				
		Z	ゼロ				
	15		0				
PC							
FLAG	0000	0000	EPIU VCSZ				
PSW							

*1:SPはカーネルモードではSSP, ユーザモードではUSP

- *2:FLAGはCPUレジスタ(G15)として扱うこともできる
- *3:Uフラグは単なる1ビットのレジスタ
- *4:VフラグはADD, SUB, CMPで有効
- *5:CフラグはADD, SUB, CMPで有効, また, SHXXでは1ビットシフトのときだけ有効

ダイ	レク	h ((n*)
~ 1			

,			
0 P	Rd	0H	Dsp

 ショートイミディエイト(*5)

 OP
 Rd
 Imm4

インデクスド(*1)

0 P	Rd	Rx	Dsp

レジスタインダイレクト(*6) OP Rd Rx

イミディエイト(*2)

1 < 7 1 = 1 (2)								
O P	Rd	0H	lmm					

FP相対(*3)

OP	Rd	Offs

レジスタ(*8)

 - , ,		
0 P	Rd	0H

レジスタレジスタ(*4)

O P	Rd	Rs

オペランドなし(*9)

0 P	00H

命令コード一覧

		OP下位3ビット							
`		000	001	010	011	100	101	110	111
	00000	NO(*9)							
	00001	LD(*0)	LD(*1)	LD(*2)	LD(*3)	LD(*4)	LD(*5)	LD(*6)	LD(*7)
	00010	ST(*0)	ST(*1)		ST(*3)			ST(*6)	ST(*7)
	00011	ADD(*0)	ADD(*1)	ADD(*2)	ADD(*3)	ADD(*4)	ADD(*5)	ADD(*6)	ADD(*7)
	00100	SUB(*0)	SUB(*1)	SUB(*2)	SUB(*3)	SUB(*4)	SUB(*5)	SUB(*6)	SUB(*7)
	00101	CMP(*0)	CMP(*1)	CMP(*2)	CMP(*3)	CMP(*4)	CMP(*5)	CMP(*6)	CMP(*7)
	00110	AND(*0)	AND(*1)	AND(*2)	AND(*3)	AND(*4)	AND(*5)	AND(*6)	AND(*7)
	00111	OR(*0)	OR(*1)	OR(*2)	OR(*3)	OR(*4)	OR(*5)	OR(*6)	OR(*7)
	01000	XOR(*0)	XOR(*1)	XOR(*2)	XOR(*3)	XOR(*4)	XOR(*5)	XOR(*6)	XOR(*7)
	01001	ADDS(*0)	ADDS(*1)	ADDS(*2)	ADDS(*3)	ADDS(*4)	ADDS(*5)	ADDS(*6)	ADDS(*7)
	01010	MUL(*0)	MUL(*1)	MUL(*2)	MUL(*3)	MUL(*4)	MUL(*5)	MUL(*6)	MUL(*7)
	01011	DIV(*0)	DIV(*1)	DIV(*2)	DIV(*3)	DIV(*4)	DIV(*5)	DIV(*6)	DIV(*7)
	01100	MOD(*0)	MOD(*1)	MOD(*2)	MOD(*3)	MOD(*4)	MOD(*5)	MOD(*6)	MOD(*7)
	01101								
√	01110								
5 ת	01111								
上位	10000	SHLA(*0)	SHLA(*1)	SHLA(*2)	SHLA(*3)	SHLA(*4)	SHLA(*5)	SHLA(*6)	SHLA(*7)
O P 上位5ビット	10001	SHLL(*0)	SHLL(*1)	SHLL(*2)	SHLL(*3)	SHLL(*4)	SHLL(*5)	SHLL(*6)	SHLL(*7)
0	10010	SHRA(*0)	SHRA(*1)	SHRA(*2)	SHRA(*3)	SHRA(*4)	SHRA(*5)	SHRA(*6)	SHRA(*7)
	10011	SHRL(*0)	SHRL(*1)	SHRL(*2)	SHRL(*3)	SHRL(*4)	SHRL(*5)	SHRL(*6)	SHRL(*7)
	10100	JMP(*0)	JMP(*1)						
	10101	CALL(*0)	CALL(*1)						
	10110	IN(*0)						IN(*6)	
	10111	OUT(*0)						OUT(*6)	
	11000	PUSH(*8)				POP(*8)			
	11001								
	11010	RET(*9)				RETI(*9)%			
	11011								
	11100								
	11101								
	11110	SVC(*9)							
	11111								HALT(*9)
ļ		1-1- ^ ^				l .		_	

特権命令	

※:RETIのRdはFLAGを表すFh

	>	>=	=	!=	<=	<
符号あり	JGT	JGE	JZ	JNZ	JLE	JLT
符号無し	JHI	JNC	JZ	JNZ	JLS	JC

FLAGのビット割り (00000000EPIUVCSZ)

F	Rd/Rs/Rx					
値	意味					
0	G0					
1	G1					
2	G2					
3	G3					
4	G4					
5	G5					
6	G6					
7	G7					
8	G8					
9	G9					
Α	G10					
В	G11					
С	G12(FP)					
D	SP(SSP/USP)					
E	USP					
F	FLAG					
CDの会吐はDコニギマ本ル						

SPの意味はPフラグで変化 (P=1:SSP、P=0:USP)

JMP命令のRd					
意味					
JZ					
JC					
JM					
JO					
JGT					
JGE					
JLE					
JLT					
JNZ					
JNC					
JNM					
JNO					
JHI					
JLS					
JMP					

メモリマッ	→°			107.	→°	2022/	/8/23	
メモリマッ	ッフ +0番地 +1番地			10マ	ッフ +0番地	+1番地		
0000h			7	00h		etei/Out:周期)		
0002h				02h		゙/Out:コントロール)	ダイ	
0004h				04h		/ Cut: 日本 / Line / Lin	่่⊲ั	
000411				06h		『/Out:コントロール)	~ I	
				08h	00H	FT232RL-Data	3	
				0Ah	00H	FT232RL-Stat/Ctr	FT232RL	
				0Ch	00H			
						TeC-Data	TeC	
				0Eh	00H	TeC-Stat/Ctrl	()	
				10h	00H	uSD-Stat/Ctrl	্থ	
				12h		/lemAddr	17	
				14h		BlkAddrH	ì	
				16h	uSD-E	BlkAddrL	пSD	
		3 0		18h	00H	I/Oポート(In/Out)		
	RAM(56KiB)	RAM		1Ah	00H	ADC参照電圧(Out)	1.	
•••		_		1Ch	00H	出力ポートHi(Out)		
				1Eh	00H	モード(In)	七出	
				20h	00H	SPI-Data(In/Out)	ું ૠે	
				22h	00H	SPI-Stat/Sclk	~ I	
				24h	00H	PIO-Mask	7	
				26h	00H	PIO-Xor	-	
					00H	RN4020-Data	+	
				28h	• • • • • • • • • • • • • • • • • • • •		. 곡	
				2Ah	00H	RN4020-Stat/Ctrl	4	
				2Ch	00H	RN4020-Cmd	RN4020	
				2Eh	00H	RN4020-RAM	Ĭ	
				30h	00H	TeC(In:DLed)	-	
				32h	00H	TeC(Out:DSw)		
DFFEh				34h	00H	Tec(Out:Fnc)		
E000h		77		36h	00H	TeC(CtI)		
	RAM(8160B)	RAM		38h	00H	00H		
FFDEh		5		•••		•••	٦	
FFE0h	Timer0			80h	TLB[0]上位8bit		
FFE2h	Timer1	٩		82h		 下位16bit	~	
FFE4h	RN4020 受信	1	_	84h]上位8bit	٩	
FFE6h	RN4020 送信	~	4	86h		下位16bit	1	
FFE8h	FT232RL 受信	4	ও		IED[I]		4	
FFEAh	FT232RL 送信		画	9Ch	TI RÍ7]上位8bit	MMC	
ļ		뻍	多				ŀ⋛	
FFECh	TeC 受信	割り込み	9+	9Eh		下位16bit	4	
FFEEh	TeC 送信	Ę.	ΙĒ	A0h		刀離し(OUT)		
FFF0h	マイクロSD		後はIPL(R	A2h	• • • • • • • • • • • • • • • • • • • •	JT)/違反アドレス(IN)	4	
FFF2h	PIO	7	MOM)	A4h	,,,,,,,,,,,,,,,,,,,,,,,,,,,,,,,,,,,,,,	b0=memVio(IN)	4	
FFF4h	TLB miss (※1)	. ~	3	A6h		番号(IN)	1	
FFF6h	メモリ保護違反(※1)			•••		空き		
FFF8h	ゼロ除算(※1)	J		F8h	データレジスタ(Out)/データSW(IN)	Щ	
FFFAh	特権違反(※1)			FAh	アドレスレ	vジスタ(IN)	14	
FFFCh	未定義命令(※1)]		FCh	00H	ロータリーSW(IN)	ì	
FFFEh	SVC (※1)			FEh	00H	機能レジスタ(IN)	Ė	
<u>*</u>	※1:例外(割込み禁止の影響を受けない) 出力ポートHi(M000 VVVV)							
						VVVV(I7~I4に出力))	
				•				

			ver	.10.1.0(TeC/a,b,c,d)	
		–	_	2022/8	8/23
		107		. 1 111 lib	
1	1	001	+0番地	+1番地	
		00h		生値/Out:周期)	Ø
		02h	Timer0(In:フラグ/		7
		04h		生値/Out:周期)	√ –
		06h		Out:コントロール)	Ť
		08h	00H	FT232RL-Data	FT232RL
		0Ah	00H	FT232RL-Stat/Ctrl	
		0Ch	00H	TeC-Data	ТеС
		0Eh	00H	TeC-Stat/Ctrl	С
		10h	00H	uSD-Stat/Ctrl	4
		12h	uSD-M	emAddr	15
		14h		kAddrH	0
		16h	uSD-BI	kAddrL	пSD
٦		18h	00H	I/Oポート(In/Out)	
RAM		1Ah	00H	ADC参照電圧(Out)	
-		1Ch	00H	出力ポートHi(Out)	出义
		1Eh	00H	モード(In)	力ポー
		20h	00H	SPI-Data(In/Out)	<u>ታ</u>
		22h	00H	SPI-Stat/Sclk	7
		24h	00H	PIO-Mask	Ť
		26h	00H	PIO-Xor	
		28h	00H	RN4020-Data	ZI.
		2Ah	00H	RN4020-Stat/Ctrl	N4
		2Ch	00H	RN4020-Cmd	RN4020
		2Eh	00H	RN4020-RAM	0
		30h	00H	TeC(In:DLed)	Married
		32h	00H	TeC(Out:DSw)	
		34h	00H	Tec(Out:Fnc)	
7		36h	00H	TeC(CtI)	
RAM		38h	00H	00H	
>		•••	•	••	
		80h	TLB[0]	上位8bit	
~		82h		下位16bit	
~	J	84h	TLB[1]	上位8bit	
~	リセット直後はIPL	86h		下位16bit	
~	7	•••	•	••	_
11 10	画	9Ch	TLB[7]	上位8bit	UMU
Į.	後	9Eh		下位16bit	
割り込みべ	耸	A0h		離し(OUT)	
* *		A2h	b0=MMU有効(OUT)/違反アドレス(IN)		
7	ROM)	A4h	b1=badAddr,b0=memVio(IN)		
W	Š	A6h	ページ番号(IN)		
		•••		*	
~		F8h	データレジスタ(0		11
~-(FAh		ジスタ(IN)	コンソー
		FCh	00H	ロータリーSW(IN)	ソー
~		FEh	00H	機能レジスタ(IN)	7-

RN4020-RAM:リセットの影響を受けない8bitレジスタ

1/0ポート詳細

1/0ボー	・ト詳細		
番地	l/Oポート	ビット	意味
	*-Ctrl(OUT)	TR00 0000	T=Enable Transmitter Interrupt, R=Enable Reciver Interrupt
	*-Stat(IN)	TR00 0000	T=Transmitter Ready, R=Reciver Ready
02h	Timer0 コントール	1000 ··· 000S	I=Enable Interrupt, S=Start
06h	Timer1 コントール	1000 ··· 000S	I=Enable Interrupt, S=Start
11h	uSD-Ctrl	E000 0IRW	E=INT_ENA, I=INIT, R=READ, W=WRITE
11h	uSD-Stat	IE00 000C	I=IDLE, E=ERROR,C=Card Detection(Active=0)
1Fh	モード	0000 0MMM	MMM: 000=TeC,001=TaC,010=DEMO1,011=DEMO2,111=RN4020FactoryReset
2Dh	RN4020-Cmd	0000 FHCS	RN4020(F=Flow Control, H=Hw Pin, C=Cmd Pin, S=Sw Pin (初期值=0001))
30h-	TeCコンソール	=	詳細は「I/Oマップ詳細」シートに掲載
D0h-	MMU	-	詳細は「I/Oマップ詳細」シートに掲載
FDh	ロータリーSW(IN)	000S SSSS	0=G0,1=G1,···11=G11,12=FP,13=SP,14=PC,15=FLAG,16=MD,17=MA
FFh	機能レジスタ(IN)	0000 FFFF	0=ReadReg, 1=WriteReg, 13=ReadMem, 14=WriteMem

コンソール制御のI/Oポート解説

TeCコンソールI/Oアドレス						
		Read	Write			
データLED	(30h)	データランプ	空き			
データSW	(32h)	00H	データスイッチ			
機能SW	(34h)	00H	ABCD EFGH			
制御と機能SW	(36h)	RS	IJKL			

	TeCコンソールの操作ビット								
Α	BREAK-SW	В	STEP-SW	С	RUN-SW	D	STOP-SW		
Ε	SETA-SW	F	INCA-SW	G	DECA-SW	Ξ	WRITE-SW		
	ENABLE	J	RESET-SW	K	LEFT-SW	L	RIGHT-SW		

TeCコンソールの状態確認ビット								
R RESET	S SETA-SW							

80hから9Fhに配置されるTLBエントリー解説

TLBエントリーの構成									
上位8ビット(偶数アドレス)	下位16ビット(奇数アドレス)								
23-16	15	14	13	12	11	10-8	7-0		
PAGE	٧	*	*	R	D	R/W/X	FRAME		

PAGE:ページ番号 V:Valid *:未定義 R:Reference R/W/X:Read/Write/eXecute D:Dirty FRAME:フレーム番号