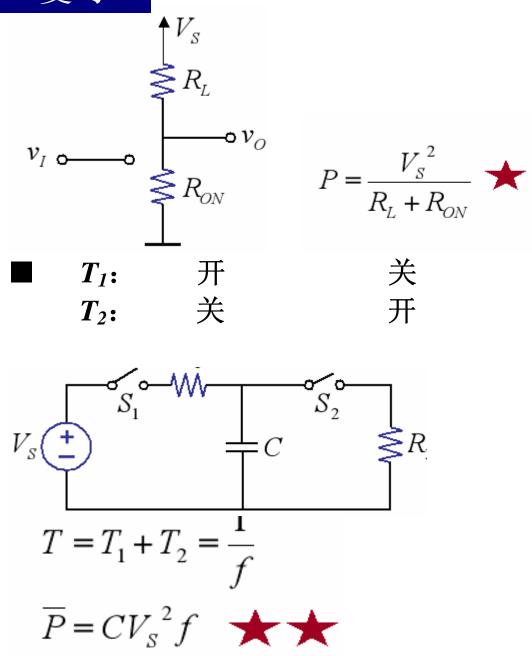
6.002 电路与电子学

能耗, CMOS 管

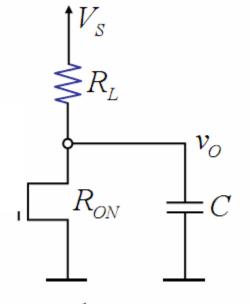
复习



阅读: A&L 的 12.5

复习





 $\overline{P} = \frac{V_S^2}{2R_L} + CV_S^2 f$

 $R_L >>> R_{ON}$ $T = P_{ON}$ $P_{ON} = P_{ON}$

为直流分量 与频率无关, 为动态分量.

NOC 工作业人

与转换电容有关

MOS 工作半个周期

在待机状态下,可以假设 在芯片中一半的门电路是 导通的. 在静止模式下,频率是零,电能的交流分量是零.

复习

$$\overline{P} = \frac{{V_{\scriptscriptstyle S}}^2}{2R_{\scriptscriptstyle L}} + C{V_{\scriptscriptstyle S}}^2 f$$

有 10 的 6 次方个门电路的芯片通以 100MHz 的时钟信号

$$C = 1f F$$
, $R_L = 10 K\Omega$, $f = 100 \times 10^6$, $V_S = 5V$

$$\overline{P} = 10^{6} \left[\frac{5^{2}}{2 \times 10 \times 10^{3}} + 10^{-15} \times 5^{2} \times 100 \times 10^{6} \right]$$

=1.25kw

+

2. 5w

有问题!

不错

- 与频率无关
- 仍然是待机损耗, (假设^{ƒ→0},半数的

MOS 管导通),

- af
- αV_S^2

Vs 降低

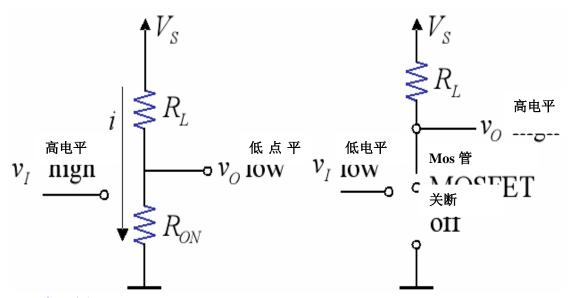
 $5v \rightarrow 1v$

• 一定要解决这个问题

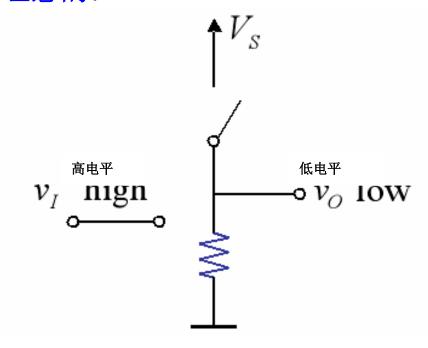
2. $5w \rightarrow 150mw$

怎样消除静态损耗

直觉是:

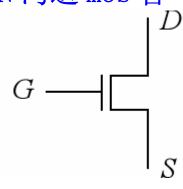


理想的:

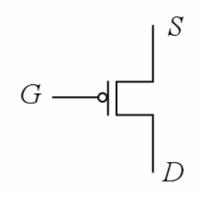


新式 P 沟道场效应应管:

N沟道 mos 管

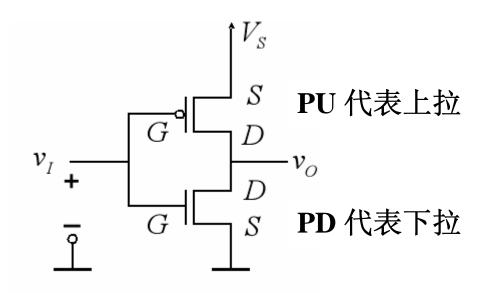


p沟道mos管



$$\exists v_{GS} \leq V_{TP}$$
 时导通 $\exists v_{GS} > V_{TP}$ 时关断 举例来说 $V_{TP} = -1V$

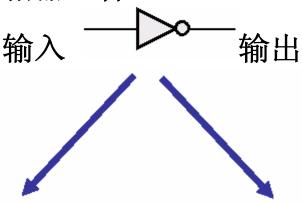
分析这个电路:



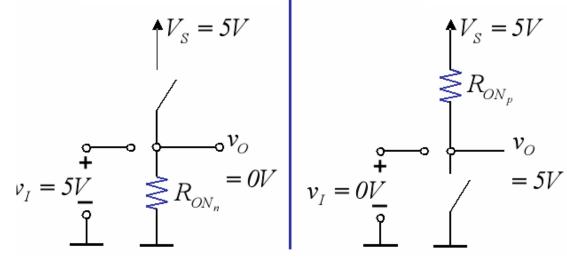


分析这个电路:

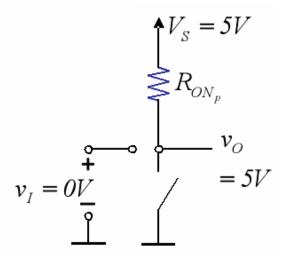




$$v_I = (输入高电平)$$



$$v_I = 0V$$
 (输入低电平)

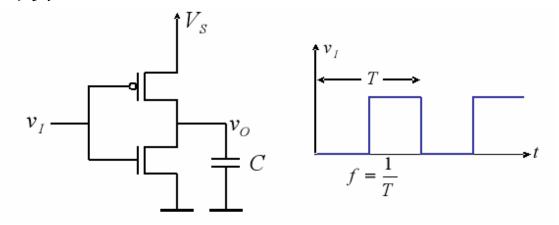


叫做 CMOS 逻辑 互补 MOS 管

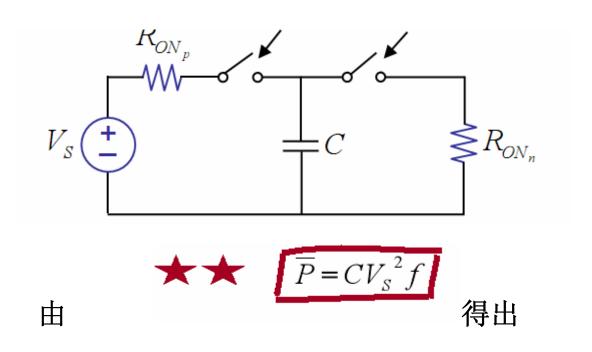
(我们先前的逻辑叫"NMOS 逻辑")

解: Vs与地之间没有通道,没有静态 损耗:

计算 $\overline{P}_{DYNAMIC}$:



当v_I为低电平时关 当v_I为高电平时关



关于先前的例子:

$$C = 1f F, V_S = 5V, f = 100MHz, 1$$

$$\overline{P} = CV_S^2 f$$

$$= 10^{-15} \times 5^2 \times 100 \times 10^6$$

$$= 2.5 \text{ µwatts}$$

对于有 1000000 个门电路的芯片 \overline{P} = 2.5 μ watts

Gates	f	\overline{P}	
	100	~2.5	奔腾?
106	MHz	watts	
	300	~15	
2×10 ⁶	MHz	watts	PII?
	600	~30	
2×10 ⁶	MHz	watts	PII?
		~240	
8×10 ⁶	1.2 <i>G</i> Hz	watts	PIII?
		~1875	
25×10 ⁶	3 GHz	watts	PIV?

"保√持√,从的相同"

怎样降低电能

 $\bigcirc V_S$ 5V \rightarrow 3V \rightarrow 1.8V \rightarrow 1.5V \sim PIV \rightarrow 170 watts \rightarrow 好一些,但还是高

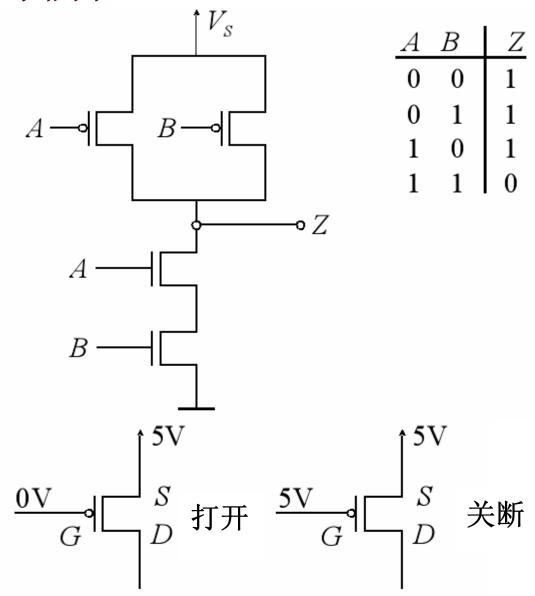


而且用散热器

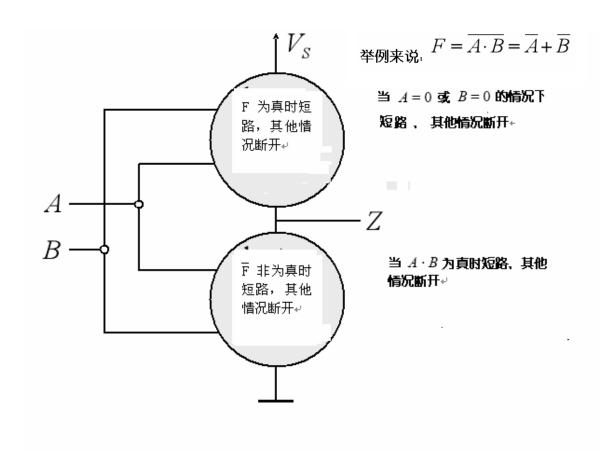
- ⑧当不使用时关掉时钟信号
- \bigcirc 根据需要改变 V_{S}

CMOS 逻辑

与非门:



总之,如果我们要实现F



记住摩根定律