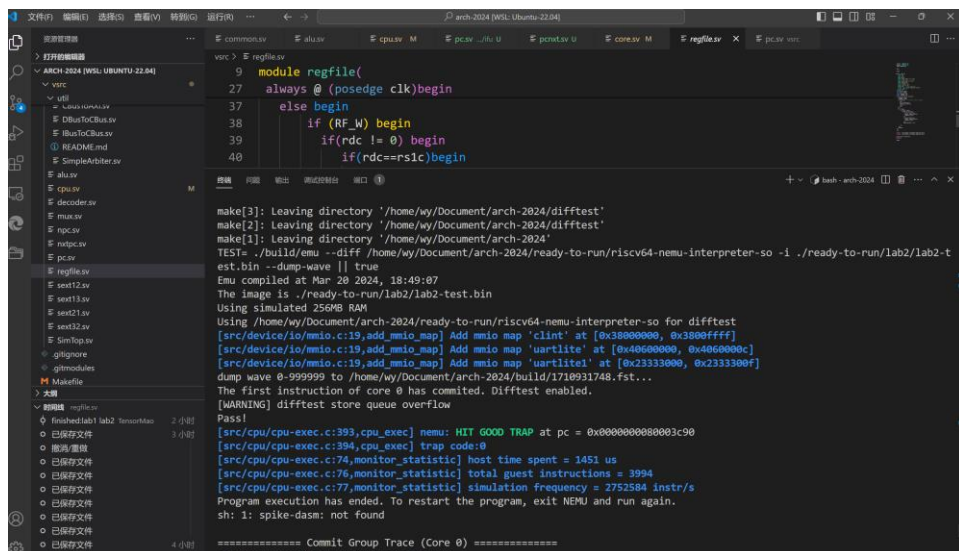


Lab2 Report

一.实验内容

实现了访存指令 ld, sd



二.问题

如何处理访存指令间的冲突：

当 ibus 取指令 valid 和 dbus 取数据 valid 同时生效时，使用 cbus 仲裁器来 CBusArbiter 解决冲突。首先将 dbus，ibus 的请求转换为 cbus 的请求。CBusArbiter 模块会在所有输入请求中选择一个优先级最高的请求。Dbus 请求优先级大于 ibus。请求会按优先级依次处理。根据当前的状态，模块会产生一个输出请求，将选中的请求传递给下一级。如果模块处于忙碌状态，则输出请求将保持为之前选中的请求；否则，输出请求将设置为新选中的请求。（但我们也没实现这一块，大概是这样吧）

三.Lab2 踩坑

- 1.valid 的设置：要将等当前指令执行完再使 valid 为 1，特别是 ld 要等数据返回后。pc 延后一个周期，但会遇到 regfile 还没写的情况，需要再用一个 reg 存一下以延后一个时钟周期
- 2.pc 要考虑 stall 情况，ld 和 sd 才能实现。
- 3.ld 与 sd 使用 ibus 和 dbus 接口时 valid 和 addr 等要始终拉高才行
- 4.同一条指令读写同一寄存器的情况：如果 rd==rs1,先用一个 temp 寄存器存一下数据再进行读写即可。
- 5.不能使用除 clk，rst 其他上升沿。

四.展望

下次 lab 时进行一下重构。