

Laboratório de Sistemas Digitais

(Guia 04: Descrições comportamentais/procedurais em VHDL)

Vitor Ângelo F. Torres

UFMG – Departamento de Engenharia Eletrônica

Última revisão: 2º Semestre - 2024

Nessa aula será apresentada a descrição comportamental em VHDL. O detalhamento esclarecerá, por meio da descrição de diversos circuitos combinacionais, a possível confusão que possa haver entre “descrição procedural” e “*hardware* sequencial”.

Objetivos

1. Saber diferenciar os modelos de representação *data-flow* e *behavioral*, quanto ao seu uso e descrição;
2. Saber o que é uma declaração concorrente process em VHDL: uso e descrição;
3. Identificar e saber usar as declarações comportamentais/procedurais em VHDL;

Estudo Dirigido

Espera-se que ao final do Estudo Dirigido o aluno saiba responder às seguintes questões utilizando o **Capítulo 5** livro gratuito: “*Free Range VHDL 10*” (versão revisada 2023/1, disponível no Moodle):

1. Como podemos diferenciar códigos VHDL no modelo *data-flow* do modelo *behavioral*?
2. Em qual situação é preferível adotar o modelo de descrição *behavioral*?
3. Qual é a principal característica das declarações contidas dentro do corpo de um process em VHDL?
4. O que dispara a “execução” do conteúdo de um process na **simulação** em VHDL?
5. Como definir o que deve ser incluído na lista de sensibilidade de um process?
6. Há um erro na lista de sensibilidade (linha 12) do código da Listagem 5.3. Explique o erro e corrija.
7. Quando a declaração sequencial case é preferível à declaração sequencial if?

Mesmo estudando uma nova estrutura de descrição de *hardware* (utilizando processos), os projetos dessa aula seguem o que foi feito no livro de referência e continuarão sendo combinacionais. Sendo assim, caso ainda não tenha feito isso, reveja os blocos principais vistos na teoria de SD (especificamente os apresentados em detalhe ou citados no fim do Capítulo 2 do livro “Sistemas Digitais: Projeto, Otimizações e HDLs” de Frank Vahid).