

## Trabalho sobre Memória Cache

**Disciplina:** DCA0104 – Arquitetura de Computadores

**Turmas:** 01 (35T34) e 02 (46M34)

**Professor:** Diogo Pinheiro Fernandes Pedrosa

DCA, sala 106, diogo.pedrosa@ufrn.br

### Contextualização

A memória cache é, em geral, uma memória com tecnologia semicondutora, com baixo tempo de acesso e é posicionada entre a memória principal e a CPU do computador. Ela tem o objetivo de reduzir o problema causado pela relação existente entre a alta velocidade de operação do processador e a lentidão (relativo ao processador) da memória principal para leitura/escrita de suas unidades endereçáveis.

Nesta relação existente entre a memória cache e a memória principal, é necessário considerar a forma como ocorre o mapeamento de blocos da memória principal com as linhas da cache, além de outras características inerentes ao projeto de cache de um computador.

### Problema

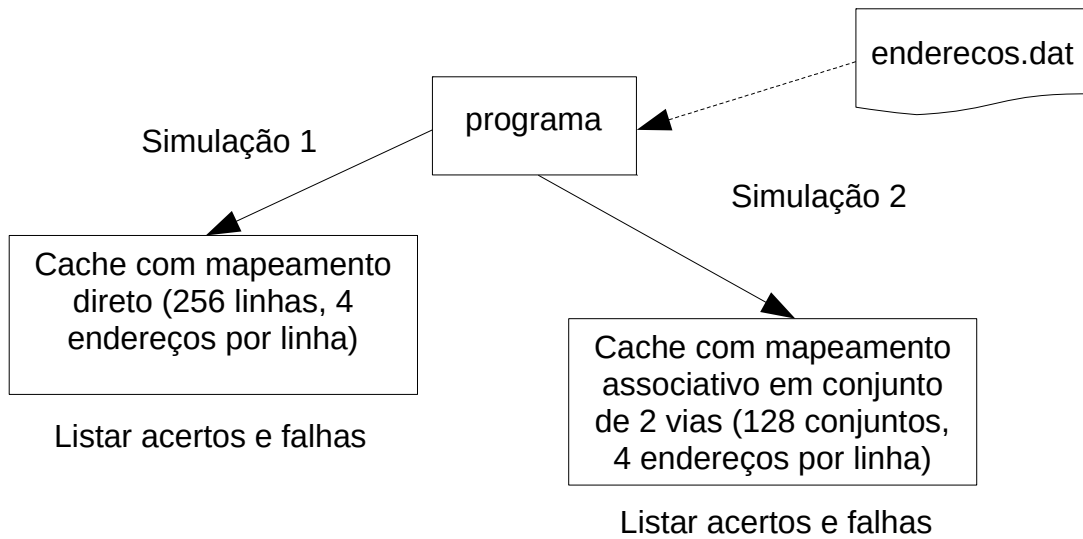
Este trabalho tem o objetivo de abordar o conteúdo teórico sobre a memória cache e, assim, servir como meio de aprofundamento do conhecimento. Ele envolverá os algoritmos de mapeamento de cache e a forma como ocorre a substituição de linhas numa cache cheia.

Neste trabalho, que pode ser realizado em grupo de até 3 componentes, deve ser implementado um programa que realize uma simulação de operações de leitura de vários endereços de uma memória principal fictícia e, com isso, faça a checagem em uma memória cache, levantando assim o total de acertos e falhas obtidos.

A sequência de endereços é disponibilizada em um arquivo texto (chamado de “enderecos.dat”). Ela consiste em uma série de números inteiros variando de 0 até um valor inferior à 8.192 (8K, que é o espaço total da memória principal fictícia).

O programa desenvolvido deve abrir o arquivo e realizar a sua leitura. Para cada inteiro lido do arquivo, o programa deve simular os acertos e falhas de uma cache com mapeamento direto (simulação 1) e, depois, de uma cache com mapeamento associativo em conjunto de 2 vias (simulação 2). Para

cada simulação, deve-se contabilizar o total de acertos e falhas. A figura sintetiza o problema a ser tratado.



A cache com mapeamento direto (simulação 1) tem 256 linhas, onde cada linha comporta um bloco de 4 endereços (ou 4 words). A cache com mapeamento associativo em conjunto de 2 vias (simulação 2) tem 128 conjuntos (e, conseqüentemente, a mesma quantidade de linhas no total da cache com mapeamento direto). Também tem 4 endereços por linha.

O programa pode ser escrito com a linguagem de programação que for conveniente para o grupo. Os resultados deverão ser mostrados por meio de um relatório a ser entregue por meio da funcionalidade de tarefas do SIGAA.

## Apresentação dos Resultados

Os resultados obtidos nas simulações devem ser apresentados por meio de um relatório. Este relatório deve ser entregue pela turma virtual no SIGAA, no formato PDF (para evitar possíveis alterações de formato ao se abrir o arquivo em computadores diferentes).

Esse texto deve conter (pelo menos):

- Uma parte que descreva a teoria sobre memória cache;
- Uma parte que descreva e explique a implementação e funcionamento do programa para a simulação 1;
- Uma outra parte que descreva e explique a implementação e funcionamento do programa para a simulação 2;
- Os resultados obtidos, comparando os dois métodos;
- As referências consultadas; e
- Os códigos desenvolvidos devidamente identados e comentados, como anexo do trabalho.

Algumas observações são importantes:

- Os códigos dos programas devem vir no corpo do texto, e não como um arquivo à parte.
- O formato do relatório é livre. Se precisarem de algum referencial, consulte normas ABNT para redação de trabalhos acadêmicos.

- Quaisquer dúvidas ou questões relacionadas ao trabalho, pode-se enviar mensagens para [diogo.pedrosa@ufrn.br](mailto:diogo.pedrosa@ufrn.br)