

UFRN - DCA

Circuitos digitais

Aluno: Teóphilo Vitor de Carvalho Clemente  
20190080555

Primeira Luta

Questões:

• Luta normal:

1, 2, 3, 4, 5, 6, 7, 8, 9, 10, 11, 12, 13, 14, 15, 16, 17,  
18, 19, 23, 24, 25, 28.

• Luta complementar:

1, 2, 3, 4, 6, 10.

TOTAL = 29 questões.

# Circuitos digitais - lição 01

Aluno: Teóphilo Vitor de Carvalho Clemente / 20190080555

Q1 Dado  $0V \rightarrow 00$ ,  $1V \rightarrow 01$ ,  $2V \rightarrow 10$ ,  $3V \rightarrow 11$

Anim a sequência:  $0V \ 0V \ 1V \ 2V \ 3V \ 2V \ 2V$   
 $00 \ 00 \ 01 \ 10 \ 11 \ 10 \ 10$

$$R = 00000110111010$$

Q2 Converter o número 128

a) Binário:

$$\begin{array}{r} 128 \\ | \quad | \\ 1 \quad 0 \quad 0 \quad 1 \quad 0 \quad 0 \quad 0 \quad 0 \end{array}$$

$$(128)_{10} = (10000000)_2$$

b) Hexadecimal:

$$\begin{array}{r} 128 \quad | \quad 16 \\ -128 \quad | \quad 8 \quad | \quad 16 \\ \hline 0 \quad | \quad 0 \quad | \quad 0 \\ \hline & 8 & \end{array} \quad \begin{array}{r} 8 \cdot 16^2 + 0 \cdot 16^0 \\ \hline \downarrow \\ 80 \end{array}$$

$$(128)_{10} = (80)_{16}$$

c) Base 3:

$$\begin{array}{r} 128 \quad | \quad 3 \\ -126 \quad | \quad 92 \quad | \quad 3 \\ \hline 2 \quad | \quad 42 \quad | \quad 14 \quad | \quad 3 \\ \hline 0 \quad | \quad 12 \quad | \quad 4 \quad | \quad 3 \\ \hline 2 \quad | \quad 3 \quad | \quad 1 \quad | \quad 3 \\ \hline 1 \quad | \quad 0 \quad | \quad 0 \quad | \quad 1 \\ \hline & 1 & \end{array} \quad \begin{array}{l} 1 \cdot 3^4 + 1 \cdot 3^3 + 2 \cdot 3^2 + 0 \cdot 3^1 + 2 \cdot 3^0 \\ \downarrow \\ (128)_{10} = (11202)_3 \end{array}$$

d) Base 5:

$$\begin{array}{r} 128 \quad | \quad 5 \\ -125 \quad | \quad 25 \quad | \quad 5 \\ \hline 3 \quad | \quad 25 \quad | \quad 5 \quad | \quad 5 \\ \hline 0 \quad | \quad 5 \quad | \quad 1 \quad | \quad 5 \\ \hline 0 \quad | \quad 0 \quad | \quad 0 \quad | \quad 1 \\ \hline & 1 & \end{array} \quad \begin{array}{l} 1 \cdot 5^3 + 0 \cdot 5^2 + 0 \cdot 5^1 + 3 \cdot 5^0 \\ \downarrow \\ (128)_{10} = (1003)_5 \end{array}$$

d) Base 15:

$$\begin{array}{r}
 128 \quad | 15 \\
 -120 \quad | 8 \quad | 15 \\
 \hline
 8 \quad | 0 \quad | 0 \\
 \hline
 8
 \end{array}$$

$$\begin{array}{c}
 8 \cdot 15^2 + 8 \cdot 15^0 \\
 \downarrow \\
 (128)_{10} = (88)_{15}
 \end{array}$$

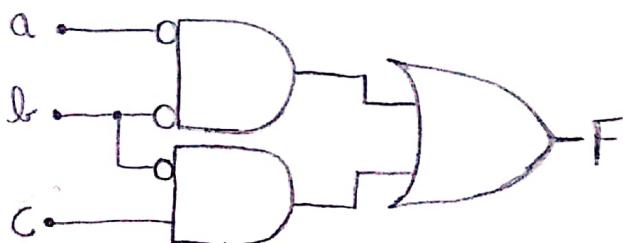
Q3 Dado que devem ser descriptadas 40 transações por segundo, temos  $\frac{1 \text{ seg}}{40} = 0,025 \text{ s} = 25 \text{ ms/transação}$

- Só microprocessador =  $50 + 20 + 20 = 90 \text{ ms} \rightarrow$  Não útil
- A como circuito digital e B e C micro. =  $1 + 20 + 20 = 41 \text{ ms} \rightarrow$  Não útil
- A e B como C, D e C micro =  $1 + 2 + 20 = 23 \text{ ms} \rightarrow$  ÚTIL
- A e C como C, D e B micro =  $1 + 20 + 1 = 22 \text{ ms} \rightarrow$  ÚTIL
- B e C como C, D e A micro =  $50 + 2 + 1 = 53 \text{ ms} \rightarrow$  Não útil
- Com isso temos duas possibilidades para que ele realize as 40 trans/s com o menor número de C.D.

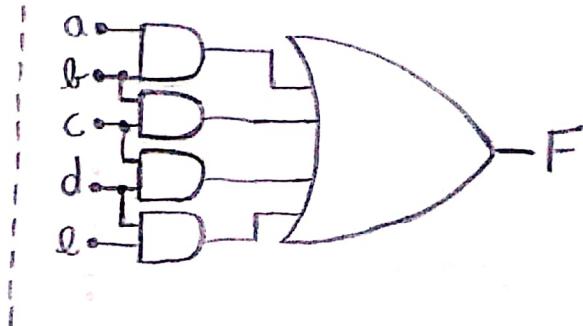
① Tarefa A  $\rightarrow$  circuito digital, Tarefa B  $\rightarrow$  circuito digital e Tarefa C  $\rightarrow$  microprocessador. Aqui temos  $\frac{1}{0,023} = 43,47$  ou seja em média 43 transações por segundo.

② Tarefa A  $\rightarrow$  circuito digital, Tarefa B  $\rightarrow$  microprocessador e Tarefa C  $\rightarrow$  circuito digital. Aqui temos  $\frac{1}{0,022} = 45,45$  ou seja em média 45 transações por segundo.

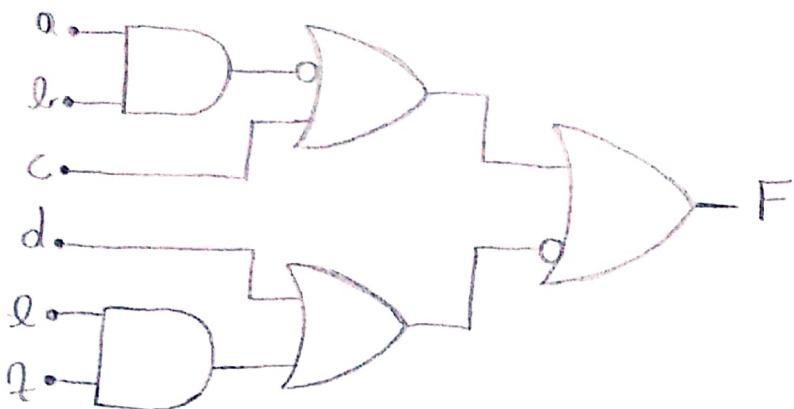
Q4 a)  $F = \bar{a}\bar{b} + \bar{b}c$



b)  $ab + bc + cd + de$



$$C) ((\bar{a}\bar{b}) + C) + (\bar{d} + \bar{e}\bar{f})$$



Q5 Usar a lei de Morgan para encontrar a inversa de  $F = ab\bar{d} + acd$

$$\text{Então } F' = (ab\bar{d} + acd)'$$

$$\text{De Morgan, } F' = (ab\bar{d})'(acd)'$$

$$\text{De Morgan, } F' = (\bar{a} + \bar{b} + \bar{d})(\bar{a} + \bar{c} + \bar{d})$$

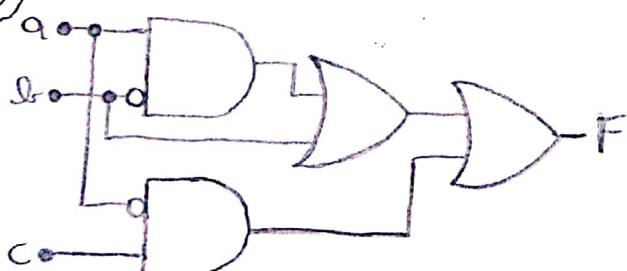
$$\text{Distributividade, } F' = \bar{a}(\bar{a} + \bar{c} + \bar{d}) + \bar{b}(\bar{a} + \bar{c} + \bar{d}) + \bar{d}(\bar{a} + \bar{c} + \bar{d})$$

$$\text{Distributividade, } F' = \bar{a}\bar{a} + \bar{a}\bar{c} + \bar{a}\bar{d} + \bar{b}\bar{a} + \bar{b}\bar{c} + \bar{b}\bar{d} + \bar{d}\bar{a} + \bar{d}\bar{c} + \bar{d}\bar{d}$$

$$\text{Então, } F' = \bar{a} + \bar{a}\bar{c} + \bar{a}(\bar{d} + d) + \bar{b}\bar{a} + \bar{b}\bar{c} + \bar{b}\bar{d} + \bar{d}\bar{c}$$

$$F' = \bar{a} + \bar{a}\bar{c} + \bar{b}\bar{a} + \bar{b}\bar{c} + \bar{b}\bar{d} + \bar{d}\bar{c}$$

Q6



$$\text{Então } F = (\bar{a}\bar{b} + b) + \bar{a}\bar{c}$$

| a | b | c | $\bar{a}\bar{b}$ | $\bar{a}\bar{c}$ | $\bar{a}\bar{b} + b$ | F |
|---|---|---|------------------|------------------|----------------------|---|
| 0 | 0 | 0 | 0                | 0                | 0                    | 0 |
| 0 | 0 | 1 | 0                | 1                | 0                    | 1 |
| 0 | 1 | 0 | 0                | 0                | 1                    | 1 |
| 0 | 1 | 1 | 0                | 1                | 1                    | 1 |
| 1 | 0 | 0 | 1                | 0                | 1                    | 1 |
| 1 | 0 | 1 | 1                | 0                | 1                    | 1 |
| 1 | 1 | 0 | 0                | 0                | 1                    | 1 |
| 1 | 1 | 1 | 0                | 0                | 1                    | 1 |

(Q7) Converter as equações em tabelas verídade:

a)  $F(a, b, c) = \bar{a} + b\bar{c}$

| a | b | c | $\bar{a}$ | $\bar{c}$ | $b\bar{c}$ | F |
|---|---|---|-----------|-----------|------------|---|
| 0 | 0 | 0 | 1         | 1         | 0          | 1 |
| 0 | 0 | 1 | 1         | 0         | 0          | 1 |
| 0 | 1 | 0 | 1         | 1         | 1          | 1 |
| 0 | 1 | 1 | 1         | 0         | 0          | 0 |
| 1 | 0 | 0 | 0         | 1         | 0          | 0 |
| 1 | 0 | 1 | 0         | 0         | 0          | 1 |
| 1 | 1 | 0 | 0         | 1         | 1          | 1 |
| 1 | 1 | 1 | 0         | 0         | 0          | 0 |

b)  $F(a, b, c) = \bar{a}\bar{b} + a\bar{c} + b\bar{c}$

| a | b | c | $\bar{a}\bar{b}$ | $a\bar{c}$ | $b\bar{c}$ | F |
|---|---|---|------------------|------------|------------|---|
| 0 | 0 | 0 | 1                | 0          | 0          | 1 |
| 0 | 0 | 1 | 1                | 0          | 0          | 1 |
| 0 | 1 | 0 | 1                | 1          | 0          | 1 |
| 0 | 1 | 1 | 1                | 1          | 1          | 1 |
| 1 | 0 | 0 | 0                | 1          | 0          | 0 |
| 1 | 0 | 1 | 0                | 1          | 1          | 1 |
| 1 | 1 | 0 | 0                | 0          | 1          | 1 |
| 1 | 1 | 1 | 0                | 0          | 0          | 1 |

c)  $F(a, b, c) = ab + ac + a\bar{b}\bar{c} + \bar{c}$

| a | b | c | $ab$ | $ac$ | $a\bar{b}\bar{c}$ | F |
|---|---|---|------|------|-------------------|---|
| 0 | 0 | 0 | 0    | 0    | 0                 | 1 |
| 0 | 0 | 1 | 0    | 0    | 0                 | 0 |
| 0 | 1 | 0 | 0    | 0    | 0                 | 1 |
| 0 | 1 | 1 | 0    | 0    | 1                 | 0 |
| 1 | 0 | 0 | 0    | 0    | 1                 | 1 |
| 1 | 0 | 1 | 0    | 1    | 0                 | 1 |
| 1 | 1 | 0 | 1    | 0    | 1                 | 1 |
| 1 | 1 | 1 | 1    | 1    | 1                 | 1 |

d)  $F(a, b, c, d) = \bar{a}b\bar{c}d + \bar{d}$

| a | b | c | d | $\bar{d}$ | $\bar{a}b\bar{c}d$ | F |
|---|---|---|---|-----------|--------------------|---|
| 0 | 0 | 0 | 0 | 1         | 0                  | 1 |
| 0 | 0 | 0 | 1 | 0         | 0                  | 0 |
| 0 | 0 | 1 | 1 | 0         | 0                  | 0 |
| 0 | 0 | 1 | 0 | 1         | 1                  | 1 |
| 0 | 1 | 0 | 1 | 1         | 1                  | 0 |
| 0 | 1 | 0 | 0 | 1         | 0                  | 0 |
| 0 | 1 | 1 | 1 | 1         | 0                  | 0 |
| 0 | 1 | 1 | 0 | 1         | 1                  | 0 |
| 1 | 0 | 0 | 0 | 0         | 0                  | 0 |
| 1 | 0 | 0 | 1 | 0         | 1                  | 0 |
| 1 | 0 | 1 | 0 | 0         | 1                  | 0 |
| 1 | 0 | 1 | 1 | 0         | 1                  | 1 |
| 1 | 1 | 0 | 0 | 1         | 0                  | 0 |
| 1 | 1 | 0 | 1 | 0         | 1                  | 1 |
| 1 | 1 | 1 | 1 | 1         | 1                  | 1 |

Q8) Comente a tabela verdade em circuito digital:

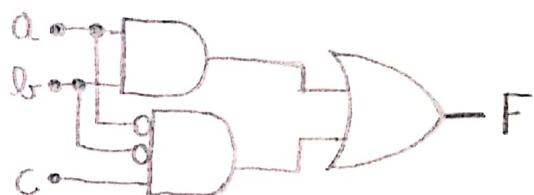
| a | b | c | F |
|---|---|---|---|
| 0 | 0 | 0 | 0 |
| 0 | 0 | 1 | 1 |
| 0 | 1 | 0 | 0 |
| 0 | 1 | 1 | 0 |
| 1 | 0 | 0 | 0 |
| 1 | 0 | 1 | 0 |
| 1 | 1 | 0 | 1 |
| 1 | 1 | 1 | 0 |

Vemos que o valor de F é 1 quando a saída é 1.

$$F = \bar{a}\bar{b}c + ab\bar{c} + abc$$

$$F = \bar{a}\bar{b}c + ab(\bar{c} + c)$$

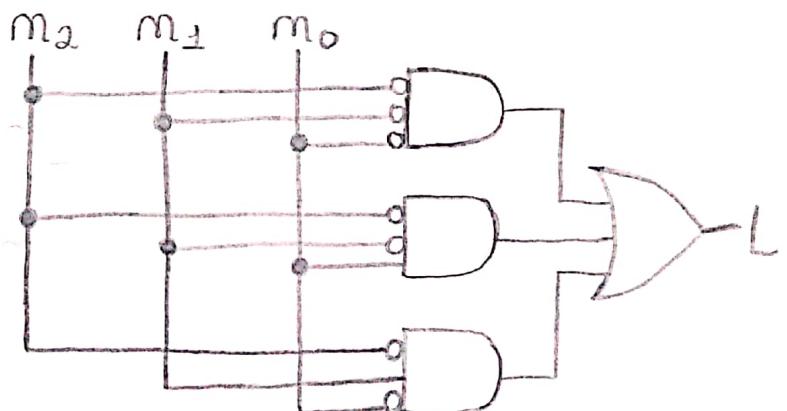
$$F = \bar{a}\bar{b}c + ab$$



Q9) Tendo 3 bits, deve ter 8 níveis e devem ter 1 quando a saída estiver abaixo do terceiro nível:

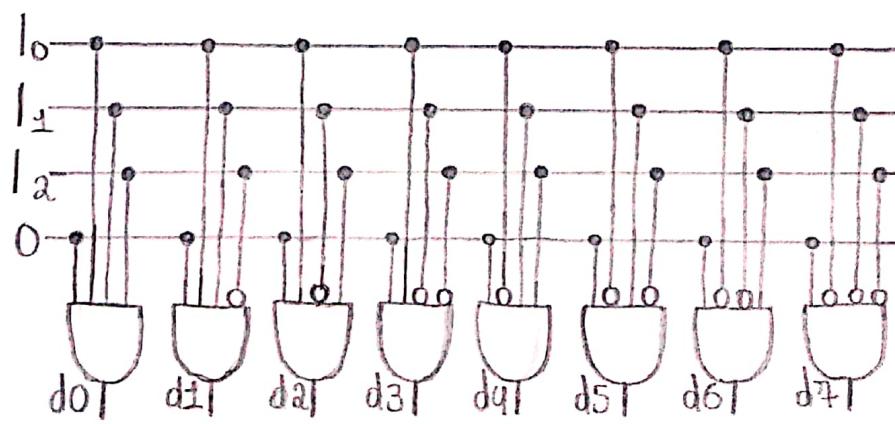
| m <sub>2</sub> | m <sub>1</sub> | m <sub>0</sub> | L |
|----------------|----------------|----------------|---|
| 0              | 0              | 0              | 1 |
| 0              | 0              | 1              | 1 |
| 0              | 1              | 0              | 1 |
| 0              | 1              | 1              | 0 |
| 1              | 0              | 0              | 0 |
| 1              | 0              | 1              | 0 |
| 1              | 1              | 0              | 0 |
| 1              | 1              | 1              | 0 |

$$L = \bar{m}_2\bar{m}_1\bar{m}_0 + \bar{m}_2\bar{m}_1m_0 + \bar{m}_2m_1\bar{m}_0$$

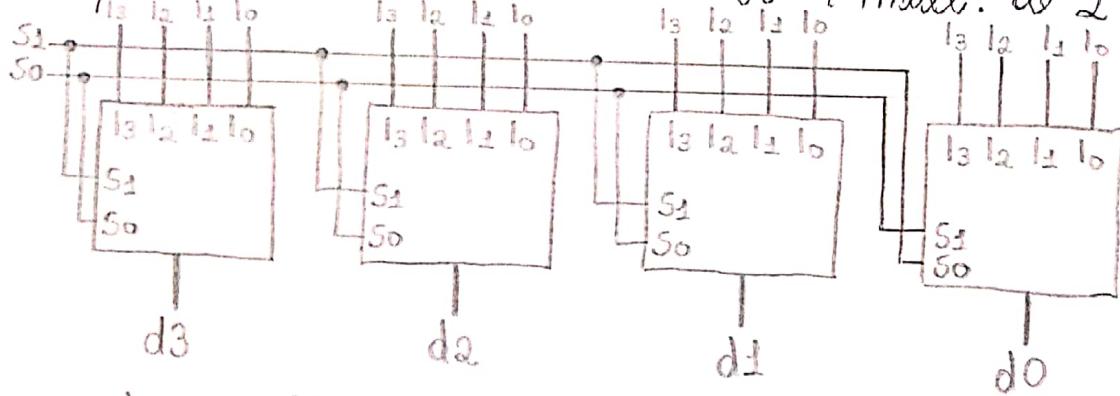


Q10) Projete um decodificador com 3 entradas, 8 saídas e enable:

| d <sub>7</sub> | d <sub>6</sub> | d <sub>5</sub> | d <sub>4</sub> | d <sub>3</sub> | d <sub>2</sub> | d <sub>1</sub> | d <sub>0</sub> | I <sub>0</sub> | I <sub>1</sub> | I <sub>2</sub> |
|----------------|----------------|----------------|----------------|----------------|----------------|----------------|----------------|----------------|----------------|----------------|
| 0              | 0              | 0              | 0              | 0              | 0              | 0              | 0              | 0              | 0              | 0              |
| 0              | 0              | 0              | 1              | 0              | 0              | 0              | 0              | 0              | 0              | 1              |
| 0              | 0              | 1              | 0              | 0              | 0              | 0              | 0              | 1              | 0              | 0              |
| 0              | 1              | 0              | 0              | 0              | 0              | 0              | 0              | 0              | 1              | 0              |
| 0              | 1              | 0              | 1              | 0              | 0              | 0              | 0              | 0              | 0              | 1              |
| 1              | 0              | 0              | 0              | 0              | 0              | 0              | 0              | 0              | 0              | 0              |
| 1              | 0              | 0              | 1              | 0              | 0              | 0              | 0              | 0              | 0              | 1              |
| 1              | 0              | 1              | 0              | 0              | 0              | 0              | 0              | 1              | 0              | 0              |
| 1              | 1              | 0              | 0              | 0              | 0              | 0              | 0              | 0              | 1              | 0              |
| 1              | 1              | 0              | 1              | 0              | 0              | 0              | 0              | 0              | 0              | 1              |
| 1              | 1              | 1              | 0              | 0              | 0              | 0              | 0              | 0              | 0              | 0              |

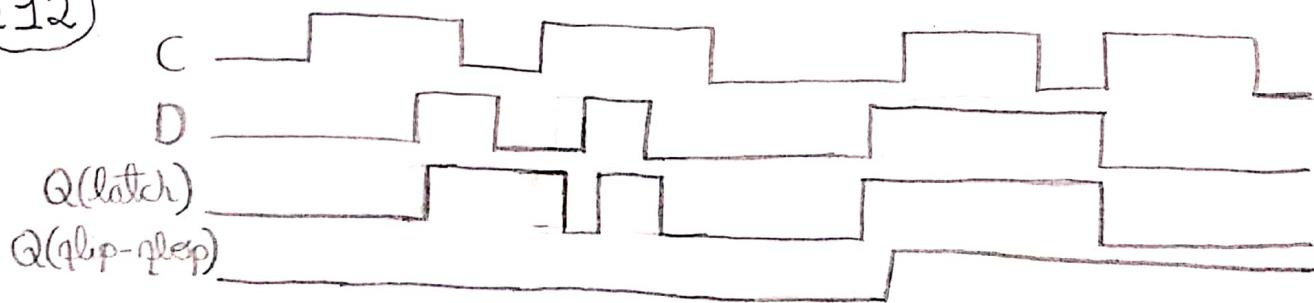


Q11 Multiplexador  $4 \times 1$  de 4 bits usando 4 multipl. de 2 bits:



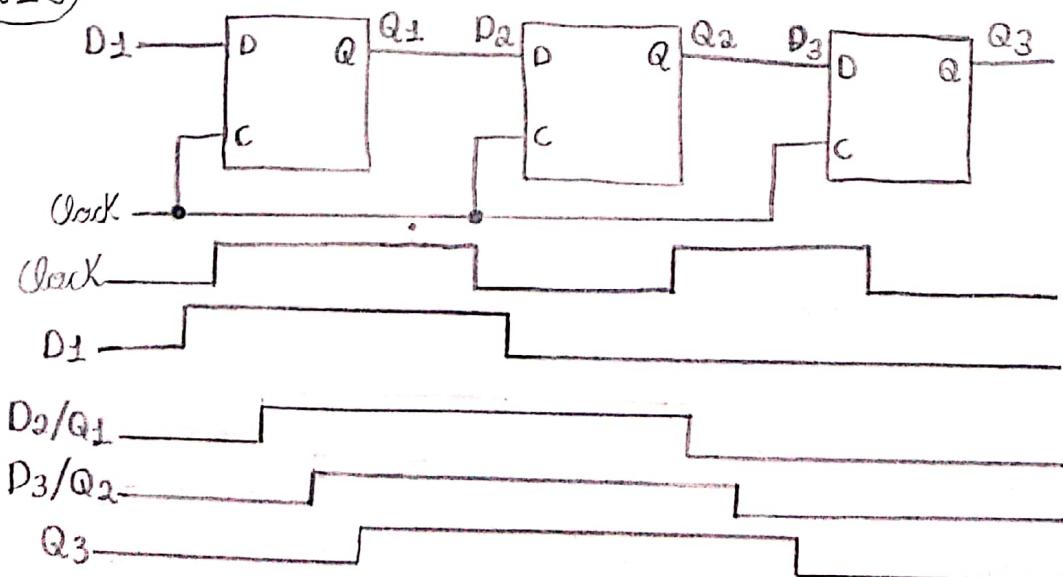
Como cada multiplexador é  $4 \times 1$  precisamos de dois bits de seleção, então S0 e S1.

Q12

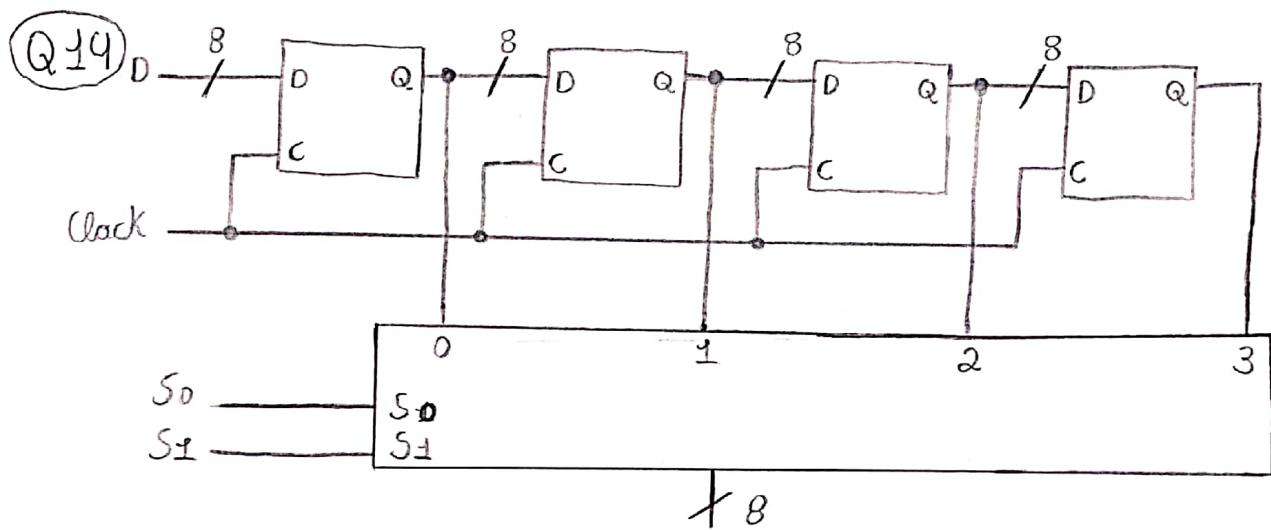
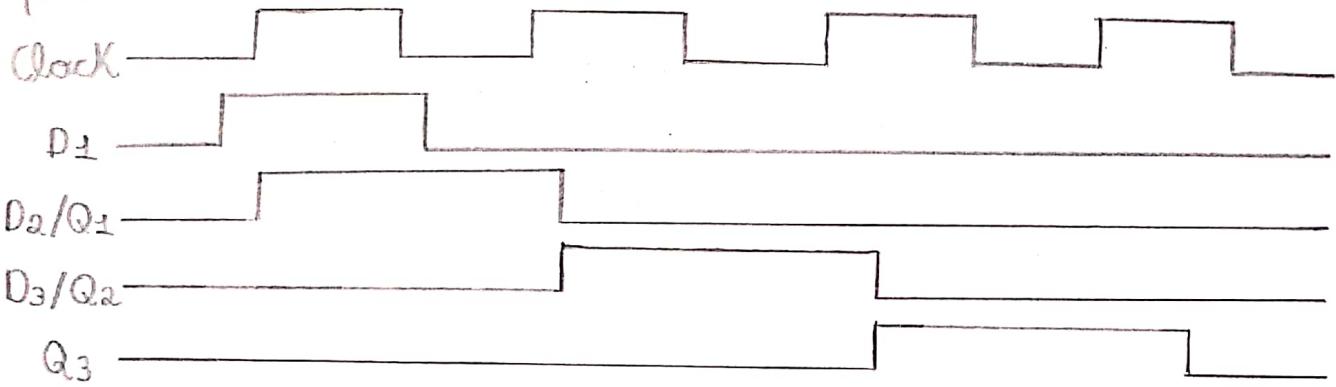


Quando a entrada C (clock) estiver em 1, o latch vai assumir o valor de D após um pequeno delay. Já o Flip-flop vai assumir o valor de D apenas na borda de subida do C (clock) e também acontece após um pequeno delay.

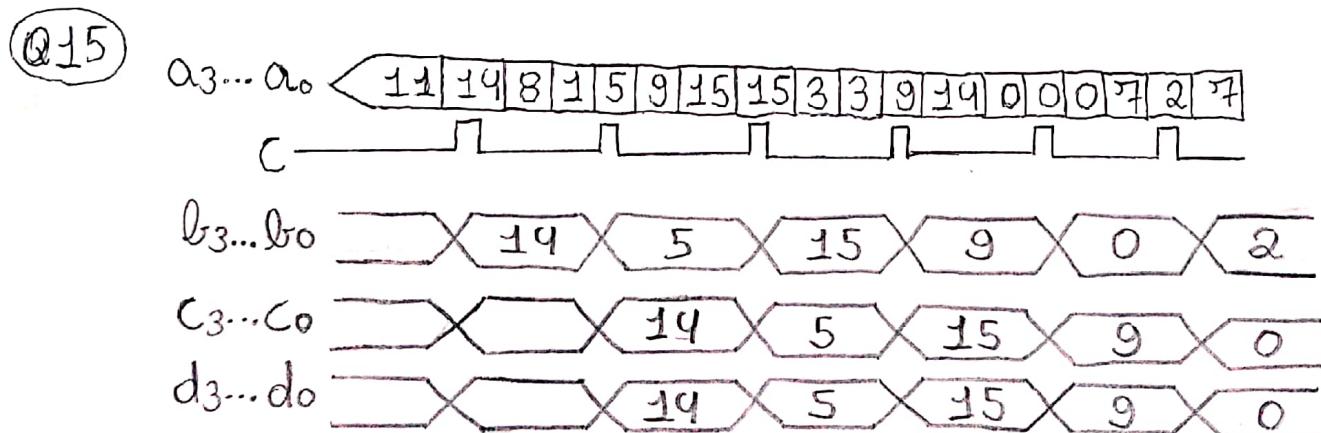
Q13



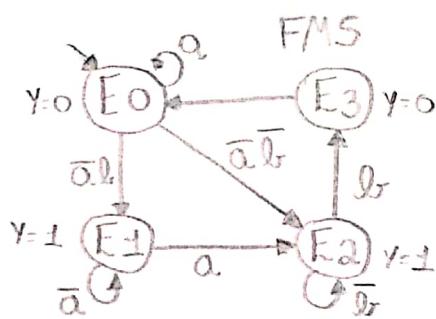
- Repetindo o processo com Flip-Flops D com disparo por bordo.



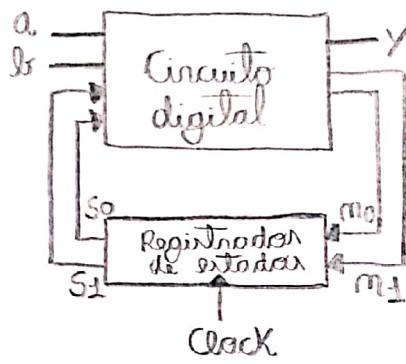
Entrada de 8 bits com 4 registradores, Mux  $4 \times 1$  de 8 bits e 2 bits de seleção,  $S_0$  e  $S_1$



Q16



Arquitetura:



Temos 4 estados possíveis,  $E_0, E_1, E_2 \text{ e } E_3$ . Assim precisamos de um MUX com 4 registradores.

- Entradas =  $a, b, \bar{a}, \bar{b}$
- Saídas =  $Y, m_0, m_1$

• Chamando  $E_0 = 00, E_1 = 01, E_2 = 10 \text{ e } E_3 = 11$

| $E_0$   | $S_0\ S_1\ a\ b$ | $Y\ m_0\ m_1$ | $E_3$   | $S_0\ S_1\ a\ b$ | $Y\ m_0\ m_1$ |
|---------|------------------|---------------|---------|------------------|---------------|
| 0 0 0 0 | 0 0 0            | 0 1 0         | 1 0 0 0 | 1 1 0            | 1 1 0         |
| 0 0 0 1 | 0 0 1            | 0 0 1         | 1 0 0 1 | 1 1 1            | 1 1 1         |
| 0 0 1 0 | 0 1 0            | 0 0 0         | 1 0 1 0 | 1 1 0            | 1 1 0         |
| 0 0 1 1 | 0 1 1            | 0 0 0         | 1 0 1 1 | 1 1 1            | 1 1 1         |

| $E_1$   | $S_0\ S_1\ a\ b$ | $Y\ m_0\ m_1$ | $E_0$   | $S_0\ S_1\ a\ b$ | $Y\ m_0\ m_1$ |
|---------|------------------|---------------|---------|------------------|---------------|
| 0 1 0 0 | 1 0 0            | 1 0 1         | 1 1 0 0 | 0 0 0            | 0 0 0         |
| 0 1 0 1 | 1 0 1            | 1 0 1         | 1 1 0 1 | 0 0 0            | 0 0 0         |
| 0 1 1 0 | 1 1 0            | 1 1 0         | 1 1 1 0 | 0 0 0            | 0 0 0         |
| 0 1 1 1 | 1 1 1            | 1 1 0         | 1 1 1 1 | 0 0 0            | 0 0 0         |

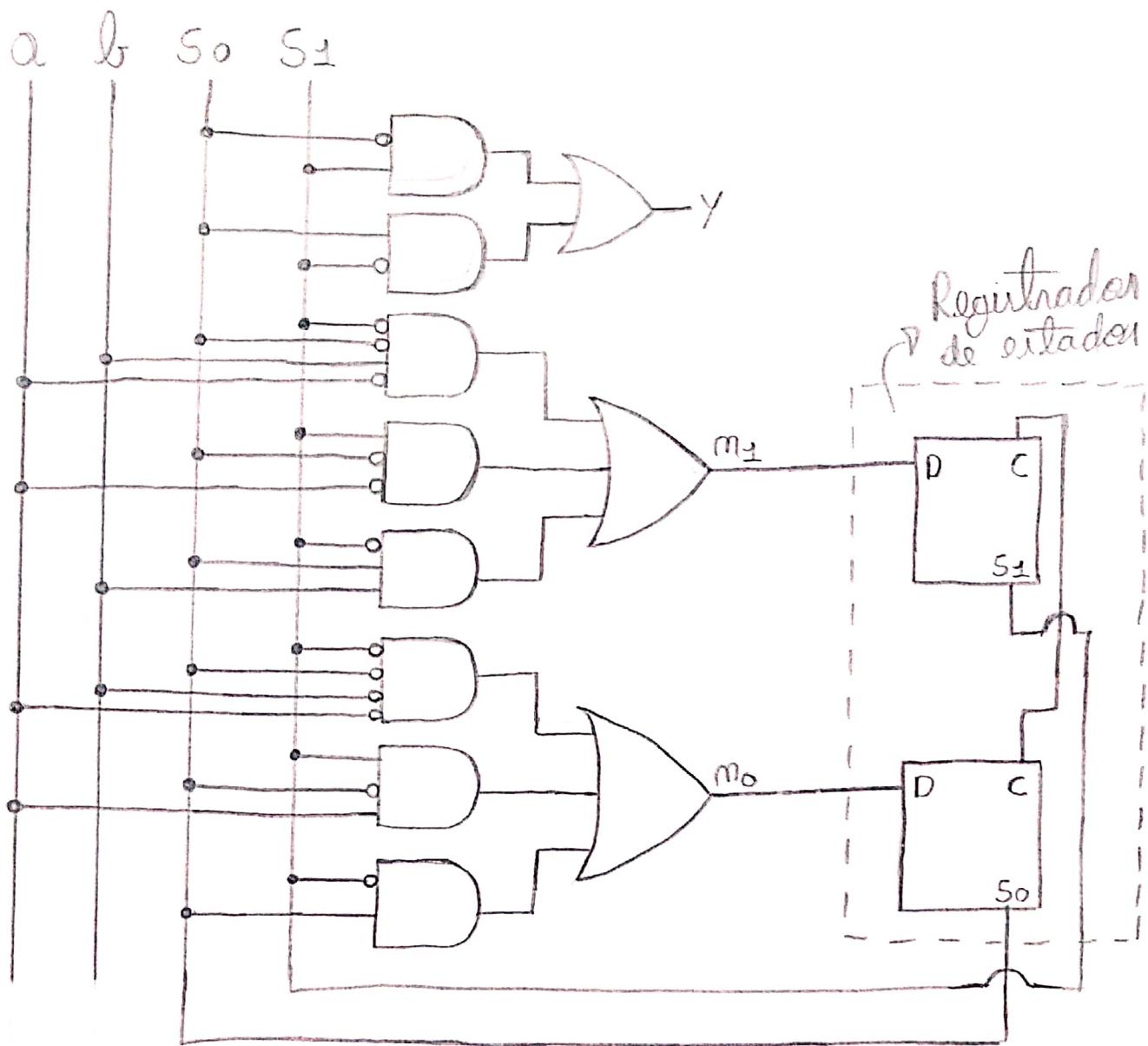
$$m_0 = \overline{S_0} \overline{S_1} \overline{a} \overline{b} + \overline{S_0} \overline{S_1} a (\overline{b} + b) + S_0 \overline{S_1} (\overline{a} \overline{b} + a \overline{b} + \overline{a} b + a b)$$

$$\bullet m_0 = \overline{S_0} \overline{S_1} \overline{a} \overline{b} + \overline{S_0} \overline{S_1} a + S_0 \overline{S_1}$$

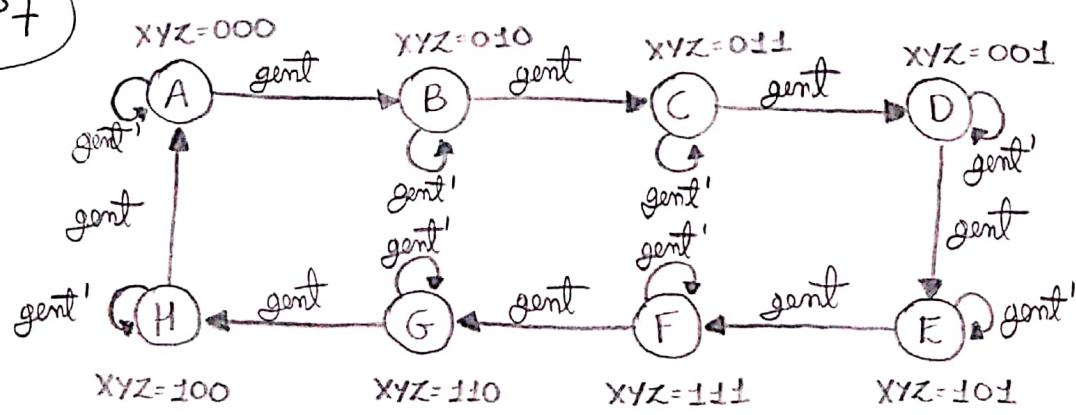
$$m_1 = \overline{S_0} \overline{S_1} \overline{a} \overline{b} + \overline{S_0} \overline{S_1} \overline{a} (\overline{b} + b) + \overline{S_0} \overline{S_1} b (a + \overline{a})$$

$$\bullet m_1 = \overline{S_0} \overline{S_1} \overline{a} b + \overline{S_0} \overline{S_1} \overline{a} + \overline{S_0} \overline{S_1} b$$

$$\bullet Y = \overline{S_0} S_1 + S_0 \overline{S_1}$$



(Q47)



Entrada = gent / saída = xyz

Então codificando os estados temos:

$A=000$ ,  $B=001$ ,  $C=010$ ,  $D=011$ ,  $E=100$ ,  $F=110$  e  $H=111$

| Entradas |       |       |      | Saídas |       |       |   |   |   |  |
|----------|-------|-------|------|--------|-------|-------|---|---|---|--|
| $S_2$    | $S_1$ | $S_0$ | gent | $m_2$  | $m_1$ | $m_0$ | X | Y | Z |  |
| 0        | 0     | 0     | 0    | 0      | 0     | 0     | 0 | 0 | 0 |  |
| 0        | 0     | 0     | 1    | 0      | 0     | 1     | 0 | 0 | 0 |  |
| 0        | 0     | 1     | 0    | 0      | 0     | 1     | 0 | 1 | 0 |  |
| 0        | 0     | 1     | 1    | 0      | 1     | 0     | 0 | 1 | 0 |  |
| 0        | 1     | 0     | 0    | 0      | 1     | 0     | 0 | 1 | 1 |  |
| 0        | 1     | 0     | 1    | 0      | 1     | 1     | 0 | 1 | 1 |  |
| 0        | 1     | 1     | 0    | 0      | 1     | 1     | 0 | 0 | 1 |  |
| 0        | 1     | 1     | 1    | 1      | 0     | 0     | 0 | 0 | 1 |  |
| 1        | 0     | 0     | 0    | 1      | 0     | 0     | 0 | 1 | 0 |  |
| 1        | 0     | 0     | 1    | 1      | 0     | 1     | 1 | 0 | 1 |  |
| 1        | 0     | 1     | 0    | 1      | 1     | 0     | 1 | 1 | 1 |  |
| 1        | 0     | 1     | 1    | 1      | 1     | 1     | 0 | 1 | 1 |  |
| 1        | 1     | 0     | 0    | 1      | 1     | 1     | 0 | 1 | 1 |  |
| 1        | 1     | 0     | 1    | 1      | 1     | 1     | 1 | 1 | 0 |  |
| 1        | 1     | 1     | 0    | 1      | 1     | 1     | 1 | 1 | 0 |  |
| 1        | 1     | 1     | 1    | 0      | 0     | 0     | 1 | 0 | 0 |  |

Para a análise  
de 8 estados  
precisamos então  
de 3 bits de  
saída ( $2^3 = 8$ ).

Análise e simplificação das equações:

$$m_2 = S_2'S_1S_0 \text{gent} + S_2S_1'S_0 + S_2S_1S_0 + S_2S_1S_0' + S_2S_1S_0 \text{gent}'$$

$$m_2 = S_2'S_1S_0 \text{gent} + S_2S_1'(S_0' + S_0) + S_2S_1S_0' + S_2S_1S_0 \text{gent}'$$

$$m_2 = S_2'S_1S_0 \text{gent} + S_2S_1' + S_2S_1S_0' + S_2S_1S_0 \text{gent}'$$

$$m_1 = S_2'S_1'S_0 \text{gent} + S_2'S_1S_0' + S_2'S_1S_0 \text{gent}' + S_2S_1'S_0 \text{gent} + S_2S_1S_0' + S_2S_1S_0 \text{gent}'$$

$$m_1 = S_2'S_1'S_0 \text{gent} + S_1S_0' + S_2'S_1S_0 \text{gent}' + S_2S_1'S_0 \text{gent} + S_2S_1S_0 \text{gent}'$$

$$m_0 = S_2'S_1'S_0 \text{gent} + S_2'S_1'S_0 \text{gent}' + S_2'S_1S_0 \text{gent} + S_2'S_1S_0 \text{gent}' + S_2S_1'S_0 \text{gent}' + S_2S_1S_0 \text{gent}'$$

$$S_2S_1'S_0 \text{gent}' + S_2S_1S_0 \text{gent}' + S_2S_1S_0 \text{gent}'$$

$$X = S_2S_1'S_0' + S_2S_1S_0 + S_2S_1S_0' + S_2S_1S_0 = S_2S_1' + S_2S_1 = S_2$$

$$Y = S_2'S_1'S_0 + S_2'S_1S_0' + S_2S_1'S_0 + S_2S_1S_0' = S_1'S_0 + S_1S_0' = S_1 \text{ XOR } S_0$$

$$Z = S_2'S_1S_0' + S_2'S_1S_0 + S_2S_1'S_0' + S_2S_1'S_0 = S_2'S_1 + S_2S_1' = S_2 \text{ XOR } S_1$$

Q18 Dado o circuito sequencial normal montar as equações e tabela verdade:

$$Y = S_1 \cdot S_0'$$

$$m_2 = (a \cdot S_1' \cdot S_0 + a \cdot S_1 \cdot S_0')$$

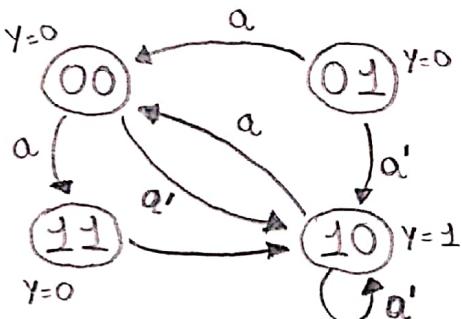
$$m_0 = a \cdot S_1' \cdot S_0'$$

Vamos codificar os estados:

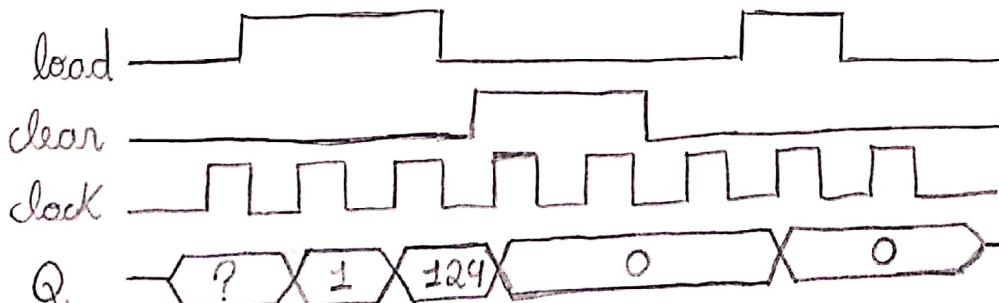
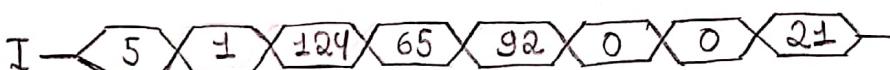
$$A=00, B=01, C=10 \text{ e } D=11$$

Em máquina FMS:

| $S_1$ | $S_0$ | $a$ | $m_2$ | $m_0$ | $y$ |
|-------|-------|-----|-------|-------|-----|
| 0     | 0     | 0   | 1     | 0     | 0   |
| 0     | 0     | 1   | 1     | 1     | 0   |
| 0     | 1     | 0   | 1     | 0     | 0   |
| 0     | 1     | 1   | 0     | 0     | 0   |
| 1     | 0     | 0   | 1     | 0     | 1   |
| 1     | 0     | 1   | 0     | 0     | 1   |
| 1     | 1     | 0   | 1     | 0     | 0   |
| 1     | 1     | 1   | 1     | 0     | 0   |



Q19



1 pulso clock = load = clear = 0  $\rightarrow$  registrador = ?

2 pulso clock = load = 1  $\rightarrow$  registrador = 1

3 pulso clock = load = 1  $\rightarrow$  registrador = 124

4 pulso clock = clear = 1  $\rightarrow$  registrador = 0

5 pulso clock = clear = 1  $\rightarrow$  registrador = 0

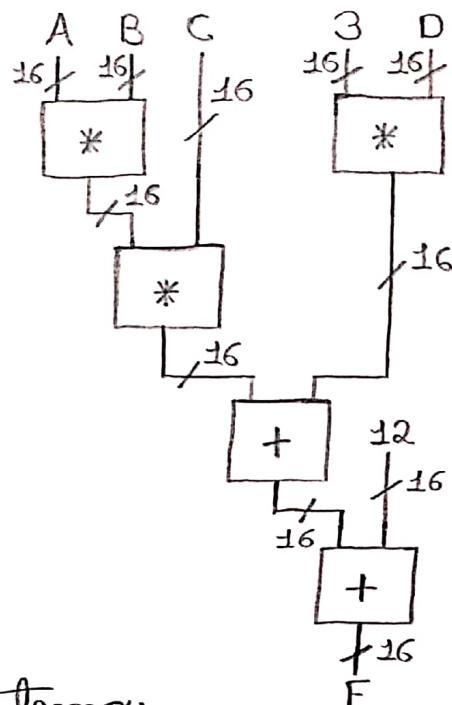
6 pulso clock = load = clear = 0  $\rightarrow$  registrador mantém o estado anterior = 0

7 pulso clock = load = 1  $\rightarrow$  registrador corrige a entrada = 0

8 pulso clock = load = clear = 0  $\rightarrow$  registrador mantém o estado anterior = 0

Q23 Dado  $F = (A * B * C) + 3 * D + 12$  então compute:

lgyanomar os problemas de overflow, então as operações intermediárias permitem 16 bits tanto de entrada como de saída.



Q24 No complemento de 2 temos

que se o 1º dígito = 0 temos o número positivo e se o 1º dígito = 1 o número será negativo.

$$a) 01111111 = \text{mº positivo} \Rightarrow 128 + 64 + 32 + 16 + 8 + 4 + 2 + 1 = (255)_{10}$$

$$b) 11111111 = \text{mº negativo} \Rightarrow 000000000 + 1 = 000000001 \\ \Rightarrow (11111111)_2 = (-1)_{10}$$

$$c) 100000000 = \text{mº negativo} \Rightarrow 01111111 + 1 = 100000000 = 256 \\ \Rightarrow (100000000)_2 = (-256)_{10}$$

$$d) 110000000 = \text{mº negativo} \Rightarrow 00111111 + 1 = 010000000 = 128 \\ \Rightarrow (110000000)_2 = (-128)_{10}$$

$$e) 111111110 = \text{mº negativo} \Rightarrow 000000001 + 1 = 000000010 = 2 \\ \Rightarrow (111111110)_2 = (-2)_{10}$$

Q25 Conversão de decimal para complemento de 2 com 8 bits:

a)  $6 \rightarrow m^{\circ}$  positivo  $\Rightarrow 1^{\circ}$  dig = 0;  $(6)_{10} = (00000110)_2$

b)  $26 \rightarrow m^{\circ}$  positivo  $\Rightarrow 1^{\circ}$  dig = 0;  $(26)_{10} = (00011010)_2$

c)  $-8 \rightarrow m^{\circ}$  negativo  $\Rightarrow 1^{\circ}$  dig = 1;  $(8)_{10} = (00001000)_2 \Rightarrow 11110111 + 1$

$$= (-8)_{10} = (11111000)_2$$

d)  $-30 \rightarrow m^{\circ}$  negativo  $\Rightarrow 1^{\circ}$  dig = 1;  $(30)_{10} = (00011110)_2 \Rightarrow 11100001 + 1$

$$= (-30)_{10} = (11100010)_2$$

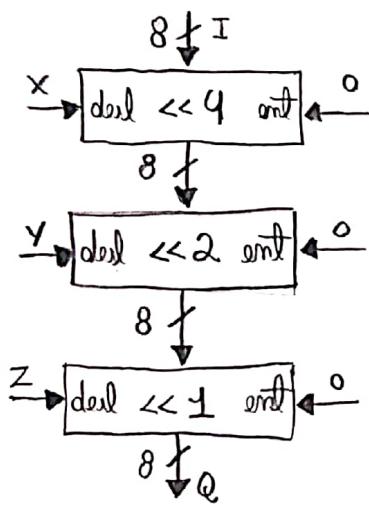
e)  $-60 \rightarrow m^{\circ}$  negativo  $\Rightarrow 1^{\circ}$  dig = 1;  $(60)_{10} = (00111100)_2 \Rightarrow 11000011 + 1$

$$= (-60)_{10} = (11000100)_2$$

f)  $-90 \rightarrow m^{\circ}$  negativo  $\Rightarrow 1^{\circ}$  dig = 1;  $(90)_{10} = (01011010)_2 \Rightarrow 10100101 + 1$

$$= (-90)_{10} = (10100110)_2$$

Q28



Tendo  $I = 00000001$

- Se  $X=1$  então  $I$  é deslocado 4 bits para a esquerda  $\Rightarrow I' = 00010000$
- Se  $Y=1$  então  $I$  é deslocado 2 bits para a esquerda  $\Rightarrow I'' = 01000000$
- Já tivemos as 6 posições deslocadas então  $Z=0$  e então:

$$Q = 01000000$$

Então temos que a configuração para deslocar as 6 posições é  $X=1$ ,  $Y=1$  e  $Z=0$

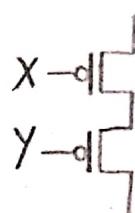
Questões do bala complementar:

(Q1) Dado que  $00000000000 \Rightarrow 00$   
 $00000000001 \Rightarrow 01$   
 $11111111111 \Rightarrow 10$

e 11 quando seguirá uma sequência sem compreensão.

Então teremos 00 01 11 100000000000 10, utilizando o 0 11 antes da penúltima sequência de 12 já que para ela não há codificação.

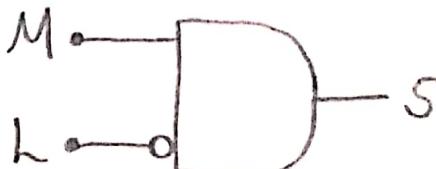
(Q2)



Para este caso o circuito irá conduzir quando tivermos  $X=0$  e  $Y=0$ , visto que, o transistors é do tipo CMOS, nesse a condução acontece para realizar lógica baixa, ou seja, zero para terner um CMOS constituído de dois PMOS.

(Q3) Dado que M detecta o movimento, quando  $M=1$  temos um movimento detectado, caso contrário  $M=0$ . Já L é detector de luz, para  $L=1$  é luz detectada, portanto dis, já para  $L=0$  temos a noite. Então:

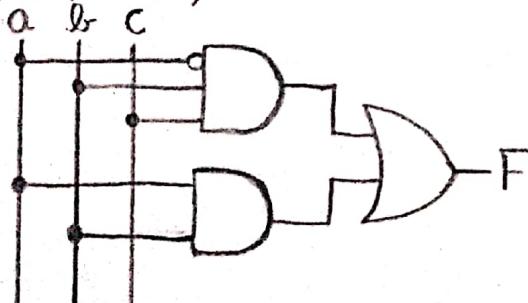
$$S = M \cdot L'$$



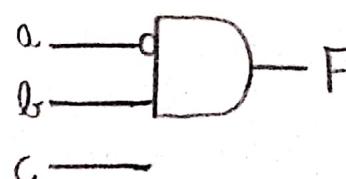
O alarme é acionado se  $M=1$  e  $L=0$  por isso usamos  $L'$  na entrada da AND.

(Q4)

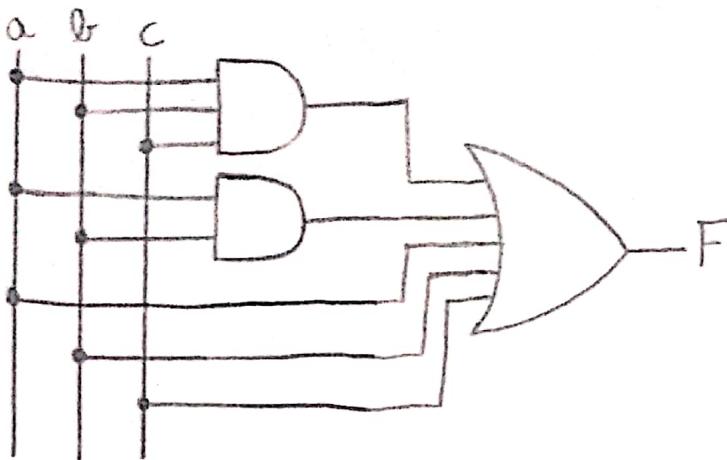
a)  $F(a, b, c) = \bar{a}bc + ab$



b)  $F(a, b, c) = \bar{a}b$



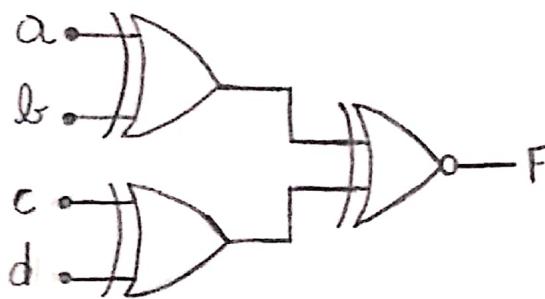
$$c) F(a, b, c) = abc + ab + a + b + c$$



$$d) F(a, b, c) = \bar{c}$$



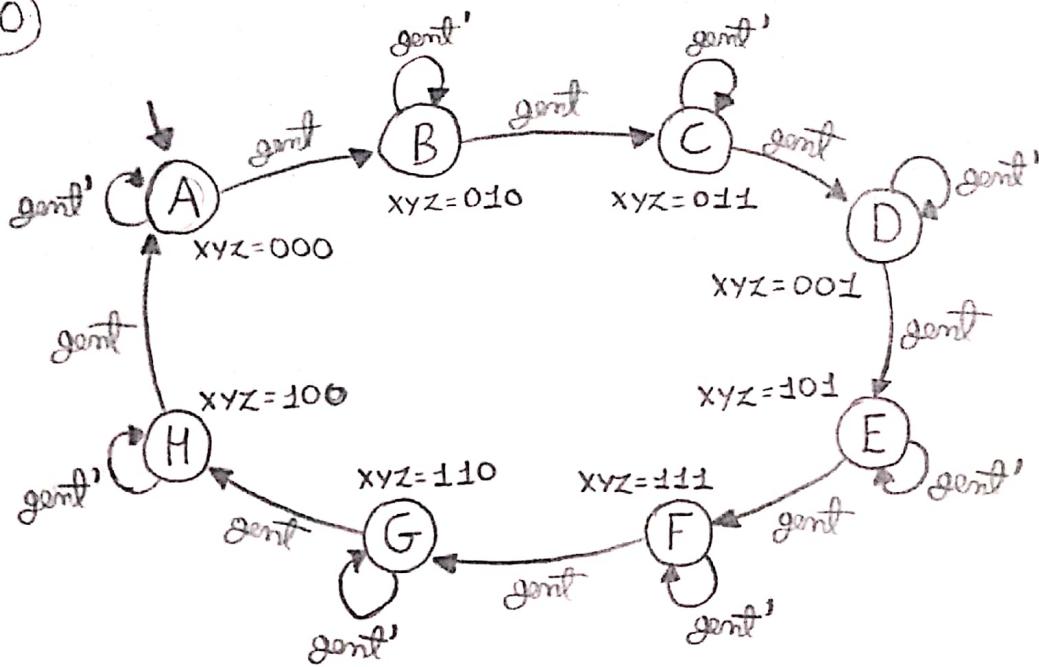
Q6



Vamos utilizar as portas XOR para identificarmos quando houver um número par de entradas altas e assim a saída será baixa. Já a XNOR dará uma saída alta quando ambas forem iguais.

| Entradas |   |   |   | Saídas       |              |   |
|----------|---|---|---|--------------|--------------|---|
| a        | b | c | d | a $\oplus$ b | c $\oplus$ d | F |
| 0        | 0 | 0 | 0 | 0            | 0            | 1 |
| 0        | 0 | 0 | 1 | 0            | 1            | 0 |
| 0        | 0 | 1 | 0 | 0            | 1            | 0 |
| 0        | 0 | 1 | 1 | 0            | 0            | 1 |
| 0        | 1 | 0 | 0 | 1            | 0            | 0 |
| 0        | 1 | 0 | 1 | 1            | 1            | 1 |
| 0        | 1 | 1 | 0 | 1            | 1            | 1 |
| 0        | 1 | 1 | 1 | 1            | 0            | 0 |
| 1        | 0 | 0 | 0 | 1            | 1            | 0 |
| 1        | 0 | 0 | 1 | 1            | 1            | 1 |
| 1        | 0 | 1 | 0 | 1            | 0            | 0 |
| 1        | 0 | 1 | 1 | 1            | 0            | 1 |
| 1        | 1 | 0 | 0 | 0            | 1            | 0 |
| 1        | 1 | 0 | 1 | 0            | 0            | 1 |
| 1        | 1 | 1 | 0 | 0            | 1            | 0 |
| 1        | 1 | 1 | 1 | 0            | 0            | 1 |

Q-10



onde gent é a entrada e X,Y e Z os saídas