情報システム工学実験

ハードウェア実験

実験題目 : 4ビット加算器の設計

実験実施日 : 2019/10/25

報告書提出日 : 2019/11/08

情報システム系 4年　出席番号17番

氏名　末田 貴一

1. **目的**

前回までの実験で製作した半加算器、全加算器を用いて4ビット加算器を設計・実装する。設計した4ビット加算機を実際にALTERA上で動かしてみる。

**1. 4ビット加算器の動作原理**

前回の実験で設計した全加算器を4つ使用する。それぞれの全加算器をfa0/fa1/fa2/fa3とする。AとBの4桁の2進数を加算すると考えるとき、Aの1桁目をA0、同様に2桁目以降をA1/A2/A3とし、BもB0/B1/B2/B3とする。fa0でA0+B0を計算し(桁上がり入力のCは0)、結果をS0と桁上がりC0とする。fa1でA1+B1そして、桁上がり入力Cinにfa0でのC0を入力して計算する。fa1の結果をS1、桁上がりをC1とし、fa2/fa3でも同様に計算する。得られたS0/S1/S2/S3を計算結果とし、最後のC3をCoutとして桁上がりの出力をする。

**2. 設計した回路図**

設計した回路図を図1に示す。

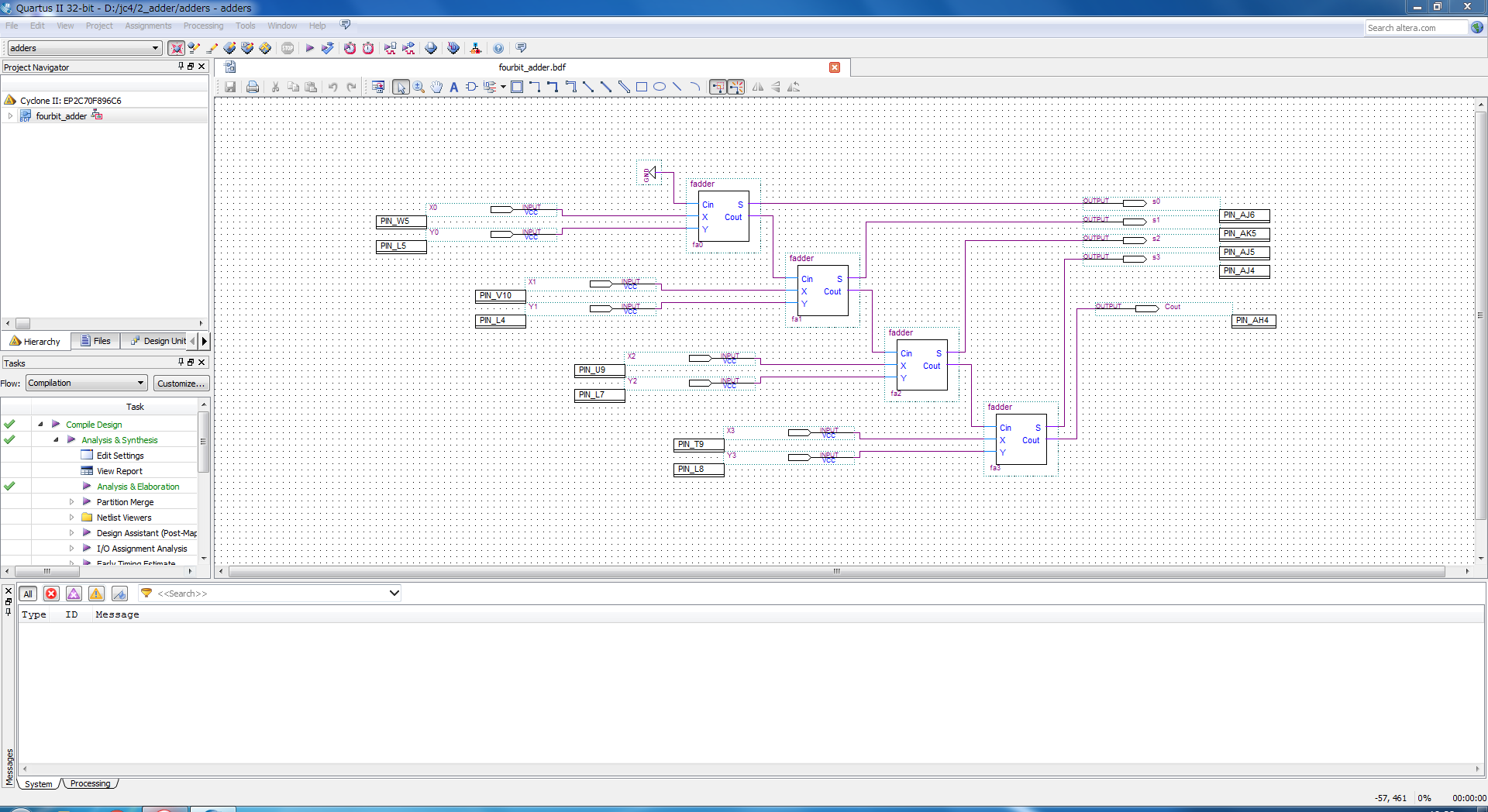


図1 4ビット加算器

前回の実験で作成した全加算器をシンボル化して使用している。

**3. 入力10種類の組み合わせとその出力を表す表**

入力10種類の組み合わせとその出力を表す表を表1に示す。入力のX、Y、出力のSCはそれぞれ符号なし10進数で表されている。出力のSCは最終的な桁上がり出力のCoutを含めて10進数に変換している。

表1 ランダムな10の入力による加算の出力

|  |  |  |
| --- | --- | --- |
| X | Y | SC |
| 13 | 2 | 15 |
| 7 | 12 | 19 |
| 14 | 4 | 18 |
| 14 | 11 | 25 |
| 1 | 1 | 2 |
| 14 | 6 | 20 |
| 10 | 11 | 21 |
| 4 | 9 | 13 |
| 9 | 5 | 14 |
| 11 | 10 | 21 |

入力(X,Y)と出力(SC)の組み合わせはランダムに生成した。

**4. シミュレーション結果・動作確認**

**4.1 シミュレーション結果**

タイミングチャートを図2に示す。波形はランダムに生成されたものである。この波形は表1と対応している。

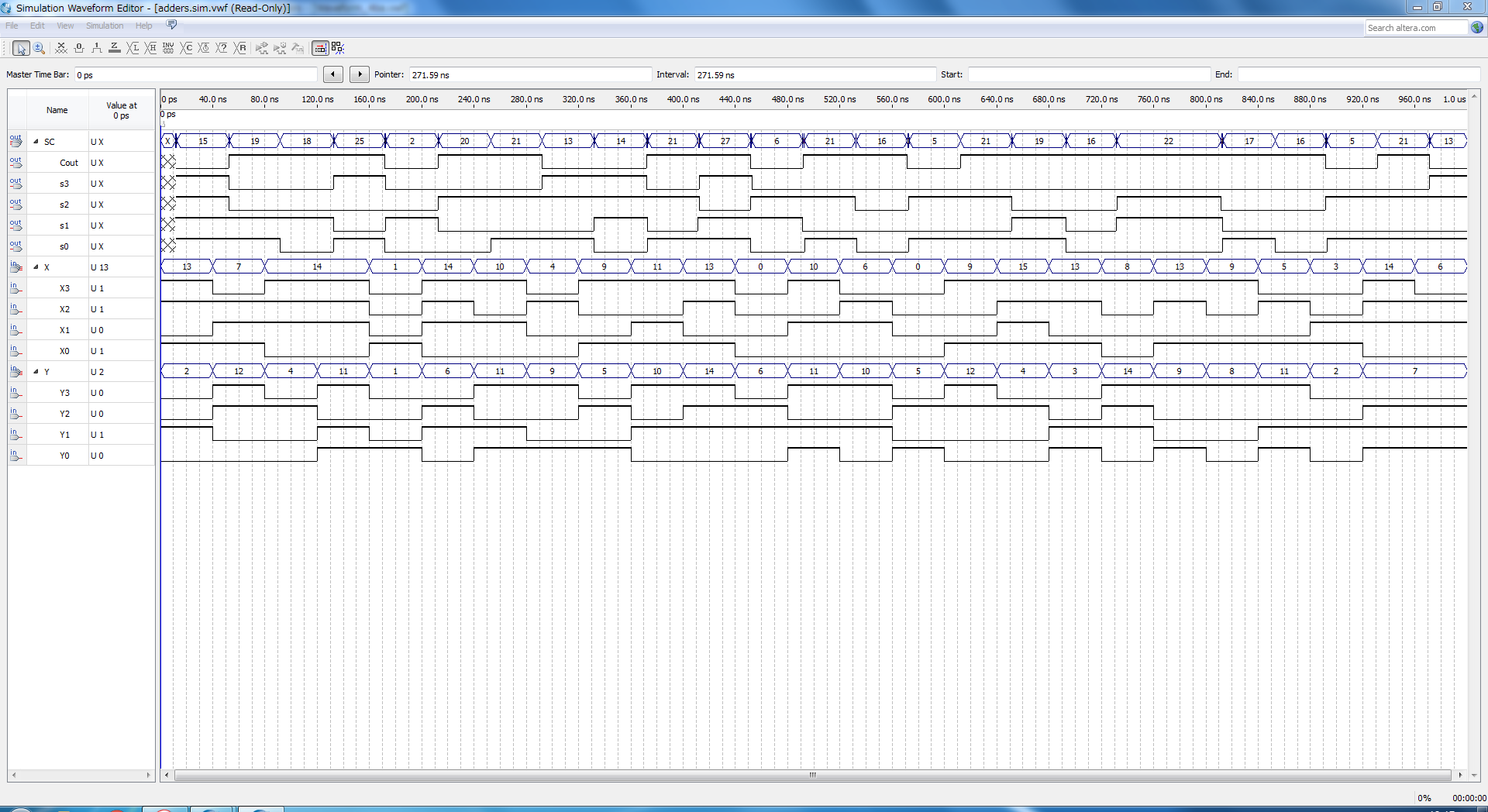


図2 タイミングチャート

**4.2 動作確認**

動作確認をALTERA上で行った。動作の真理値表を表2に示す。入力のX、Yは10進数で表現されている。出力のSCはS0/S1/S2/S3の4桁の2進数とCoutの2進数をあわせて5桁の2進数を10進数で表現している。表2の入力は図2のタイミングチャートと対応している。

表2 ALTERA上での動作確認

|  |  |  |
| --- | --- | --- |
| X | Y | SC |
| 13 | 2 | 15 |
| 7 | 12 | 19 |
| 14 | 4 | 18 |
| 14 | 11 | 25 |
| 1 | 1 | 2 |
| 14 | 6 | 20 |
| 10 | 11 | 21 |
| 4 | 9 | 13 |
| 9 | 5 | 14 |
| 11 | 10 | 21 |

**5. 考察・感想**

考察を以下に挙げる。

* シミュレーションで10進数表現をする際は、inputとoutputの重なる順番が重要

感想を以下に挙げる。

* 設計したとおりにALTERA上で動かせると楽しい
* 計算結果の2進数をALTERA上の7セグで表示すると楽しそうだなぁと思った