情報システム工学実験

ハードウェア実験

実験題目 :　論理回路設計/VHDL

実験実施日 :　2020/01/10

報告書提出日 :　2020/01/10

情報システム系　4年 17番

末田 貴一

1.目的

第二章までパーツを組み合わせてGUIで回路図をデザインする手法で実験をした。ここからハードウェア記述言語による開発の実験をする

2.手順

テキストから一部引用

* プロジェクト作成
* .vhd fileの作成
* VHDLの記述
* シミュレーション
* ハードウェアに書き込み、動作確認
* .v fileの作成
* Verilogの記述
* シミュレーション
* ハードウェアに書き込み、動作確認

3. プロジェクト作成

　第一章と同様の手法でプロジェクトを作成した。

4. .vhd fileの作成

　.vhd fileを作成し、orgate.vhdとして保存した。

5. VHDLの記述

図1にorgate.vhdのソースコードを示す。記述とフォーマットにvscodeの拡張機能を使用した。

LIBRARY ieee;

USE ieee.std\_logic\_1164.ALL;

ENTITY orgate IS

PORT (

SW0, SW1 : IN std\_logic;

LED : OUT std\_logic

);

END orgate

ARCHITECTURE a OF orgate IS

BEGIN

LED <= SW0 OR SW1;

END a;

図1 orgate.vhd

6. シミュレーション

シミュレーションを実行した。ORゲートとして動作していることが確認できた。シミュレーション結果を図2に示す。

スクリーンショット が含まれている画像

自動的に生成された説明

図2 シミュレーション結果

7. 動作確認

　コンパイルし、ハードウェアに書き込んだ。右端2つのスイッチと緑のLEDを使用した。ORゲートが動作したことを確認した。

8. .v fileの作成

.v fileを作成し、orgate2.vとして保存した。

9. Verilogの記述

図3にorgate2.vのソースコードを示す。記述とフォーマットにvscodeの拡張機能を使用した。

module orgate2(SW0, SW1, LED;

input SW0, SW1;

output LED;

assign LED = SW0 | SW1;

endmodule

図3 orgate2.v

10. シミュレーション

シミュレーションを実行した。ORゲートとして動作していることが確認できた。シミュレーション結果を図4に示す。

スクリーンショット が含まれている画像

自動的に生成された説明

図4 シミュレーション結果

11. 動作確認

コンパイルし、ハードウェアに書き込んだ。右端2つのスイッチと緑のLEDを使用した。ORゲートが動作したことを確認した。

12. 感想、考察

　VHDLの記法はcrubyやmrubyに近いと感じた。最初からVHDLで実験してたらもっと楽だったと思った。