情報システム工学実験

ハードウェア実験

実験題目 :　VHDLで7セグ制御

実験実施日 :　2020/01/24

報告書提出日 :　2020/01/24

情報システム系　4年 17番

末田 貴一

1.目的

前回、VHDLとVerilogによる回路設計と実装を学んだ。今回は割と苦戦した7セグLEDの制御をVHDLで実装する。

2.手順

テキストから一部引用

* プロジェクト作成
* ファイル作成
* ファイル編集
* シミュレーション
* 書き込み→動作確認

3. プロジェクト作成

　第一章と同様の手法でプロジェクトを作成した。

4. ファイル作成

　.vhd fileを作成し、sseg.vhdとして保存した。

5. ファイル編集

図1にsseg.vhdのソースコードを示す。記述とフォーマットにvscodeの拡張機能を使用した。

LIBRARY IEEE;

USE IEEE.std\_logic\_1164.ALL;

ENTITY sseg IS

PORT (

in\_b : IN std\_logic\_vector(3 DOWNTO 0);

ss : OUT std\_logic\_vector(7 DOWNTO 0);

);

END sseg;

ARCHITECTURE RegTraLev OF sseg IS

BEGIN

PROCESS (in\_b) BEGIN

CASE in\_b IS

WHEN "0000" => ss <= "00000011";

WHEN "0001" => ss <= "10011111";

WHEN "0010" => ss <= "00100101";

WHEN "0011" => ss <= "00001101";

WHEN "0100" => ss <= "10011001";

WHEN "0101" => ss <= "01001001";

WHEN "0110" => ss <= "01000001";

WHEN "0111" => ss <= "00011111";

WHEN "1000" => ss <= "00000001";

WHEN "1001" => ss <= "00001001";

WHEN "1010" => ss <= "00010001";

WHEN "1011" => ss <= "11000001";

WHEN "1100" => ss <= "11100101";

WHEN "1101" => ss <= "10000101";

WHEN "1110" => ss <= "01100001";

WHEN "1111" => ss <= "01110001";

END CASE;

END PROCESS;

END RegTraLev;

図1 sseg.vhd

6. シミュレーション

シミュレーションを実行した。7セグデコーダとして動作していることが確認できた。シミュレーション結果を図2に示す。

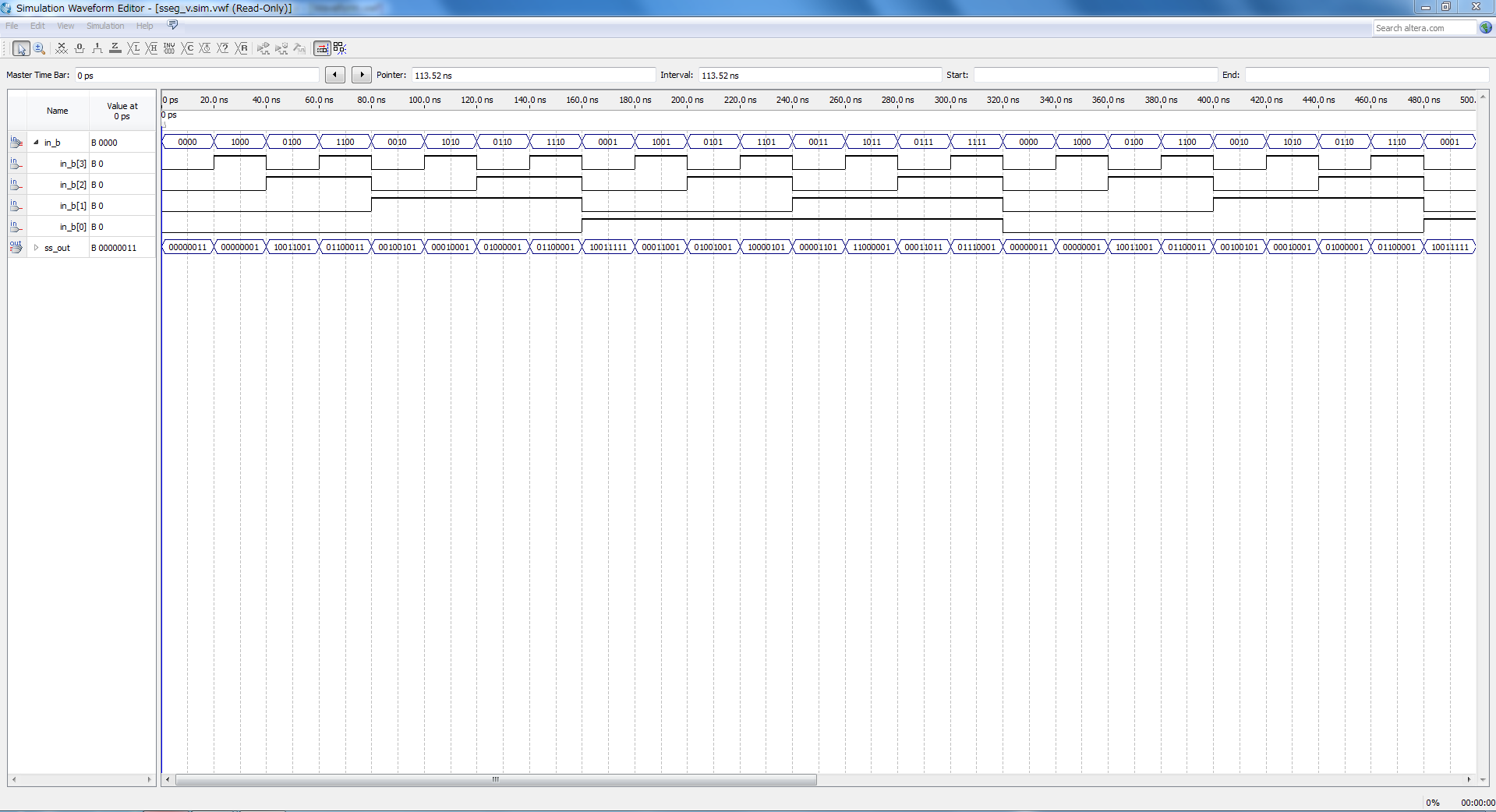


図2 シミュレーション結果

7. 動作確認

　コンパイルし、ハードウェアに書き込んだ。右端4つのスイッチと7セグLEDを使用した。4つのスイッチで2進数を入力すると、16進数で表示されることを確認した。

12. 感想、考察

　VHDLの記法はcrubyやmrubyに近いと感じた。最初からVHDLで実験してたらもっと楽だったと思った。という先週の思いをより強くした。