

ASDN laboratory_01

Terman Emil FAF161

October 10, 2017



**UNIVERSITATEA TEHNICĂ
A MOLDOVEI**

Prof: S. Munteanu

L^AT_EX

Subject: studierea practică și cercetarea procesului de sinteză a circuitelor logice combinaționale.

Conditions:

- 1. Se verifică corectitudinea funcționării circuitelor integrate ale standului de laborator.
 2. Se assemblează și se reglează circuitul logic combinațional, care realizează două funcții din tema pentru acasă în setul de elemente ȘI-NU (la indicația profesorului).
 3. Pentru circuitele asamblate se determină costul și timpul de reținere.
- 1. Din biblioteca de elemente Simulation Gates.clf se selectează elementele NAND cu numărul corespunzător de intrări. Din biblioteca Simulation IO.clf se selectează dispozitivele de intrare-ieșire Binary Probe și Hex Keyboard.
 2. Se assemblează circuitul logic combinațional în Fereastra de lucru și se verifică corectitudinea lui. Se studiază diagrama de timp. Un exemplu al circuitului asamblat este prezentat în fig. 2.1.
 3. Pentru circuitele asamblate se determină costul și timpul de reținere.

1 First function

$$y_1 = \Sigma(0, 1, 2, 4, 5, 8, 9, 12, 14)$$

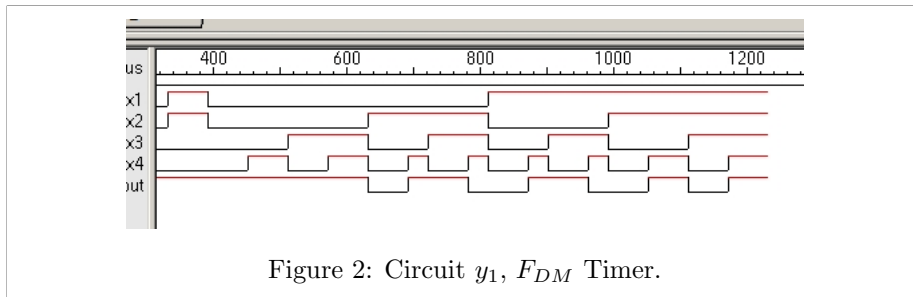
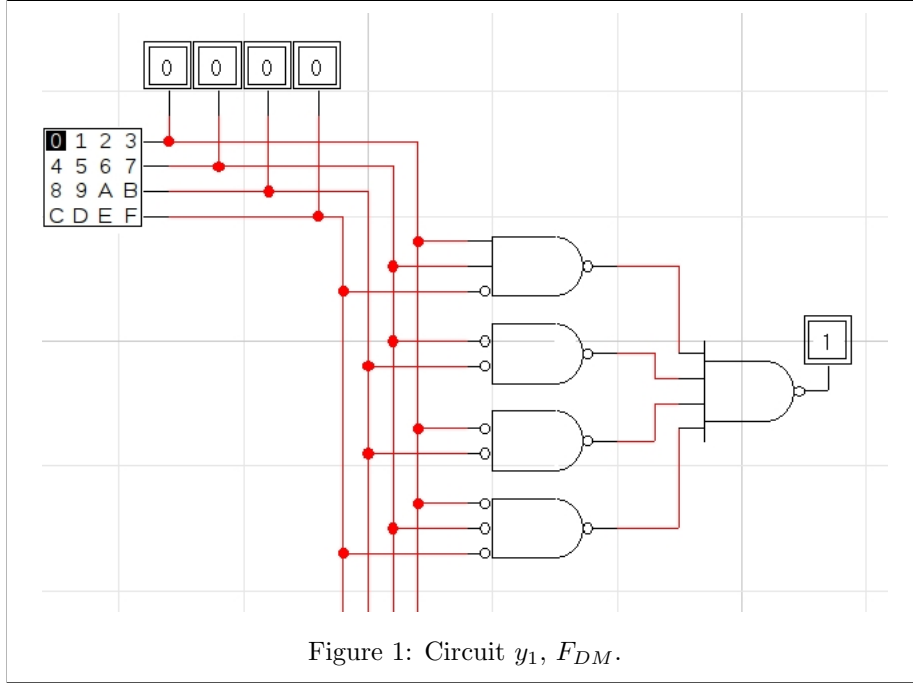
1.1 Karnaugh map

		x_1x_2			
		00	01	11	10
x_3x_4	00	1	1	1	1
	01	1	1	0	1
	11	0	0	0	0
	10	1	0	1	0

		x_1x_2			
		00	01	11	10
x_3x_4	00	1	1	1	1
	01	1	1	0	1
	11	0	0	0	0
	10	1	0	1	0

1.2 Disjunctiv minimal form

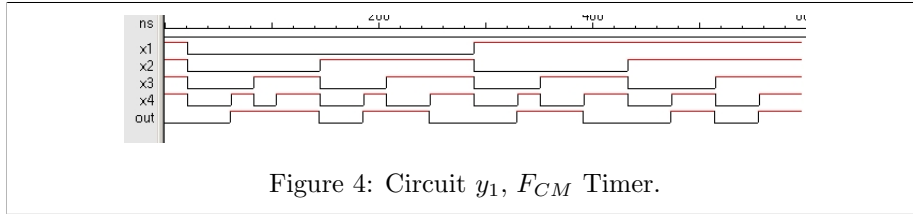
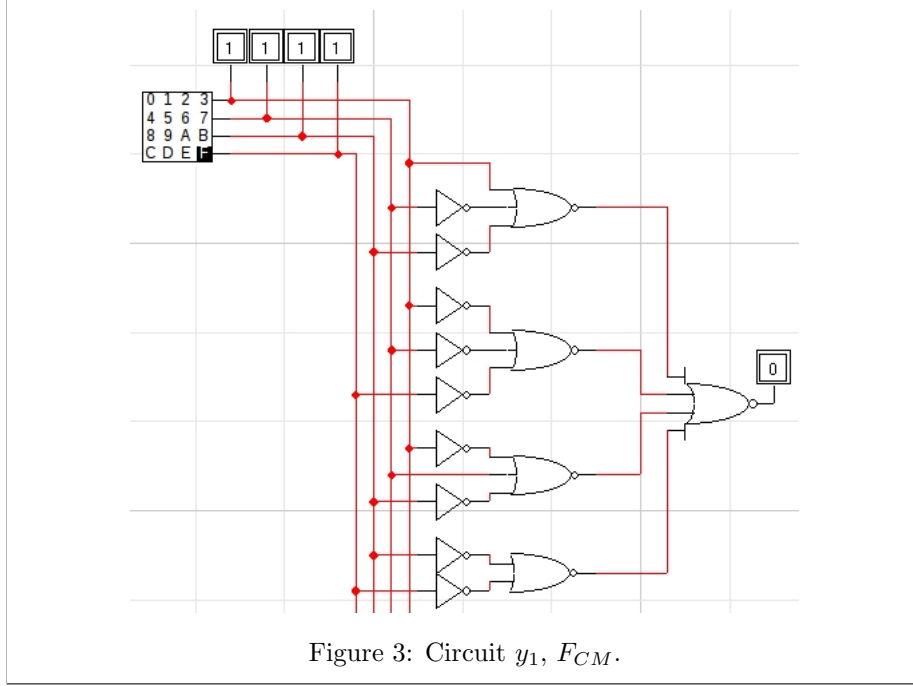
$$\begin{aligned}
 F_{DM} &= (x_1 \cdot x_2 \cdot \overline{x_4}) + (\overline{x_2} \cdot \overline{x_3}) + (\overline{x_1} \cdot \overline{x_3}) + (\overline{x_1} \cdot \overline{x_2} \cdot \overline{x_4}) \\
 &= \overline{(x_1 \cdot x_2 \cdot \overline{x_4}) \cdot (\overline{x_2} \cdot \overline{x_3}) \cdot (\overline{x_1} \cdot \overline{x_3}) \cdot (\overline{x_1} \cdot \overline{x_2} \cdot \overline{x_4})}
 \end{aligned}$$



$$\begin{aligned}
 C &= 14Q \\
 T_d &= 2r
 \end{aligned}$$

1.3 Conjunctive minimal form

$$\begin{aligned}
 F_{CM} &= (x_1 + \overline{x_2} + \overline{x_3}) \cdot (\overline{x_1} + \overline{x_2} + \overline{x_4}) \cdot (\overline{x_1} + x_2 + \overline{x_3}) \cdot (\overline{x_3} + \overline{x_4}) \\
 &= \overline{(x_1 + \overline{x_2} + \overline{x_3}) + (\overline{x_1} + \overline{x_2} + \overline{x_4}) + (\overline{x_1} + x_2 + \overline{x_3}) + (\overline{x_3} + \overline{x_4})}
 \end{aligned}$$



$$\begin{aligned}
 C &= 24Q \\
 T_d &= 3r
 \end{aligned}$$

2 Second function

$$y_1 = \Sigma(1, 2, 3, 5, 6, 8, 10, 11, 12)$$

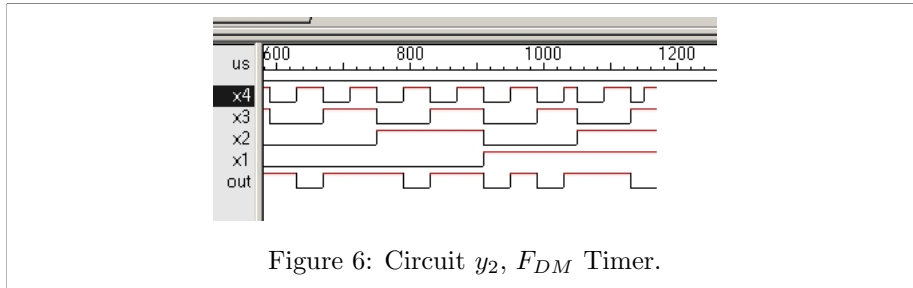
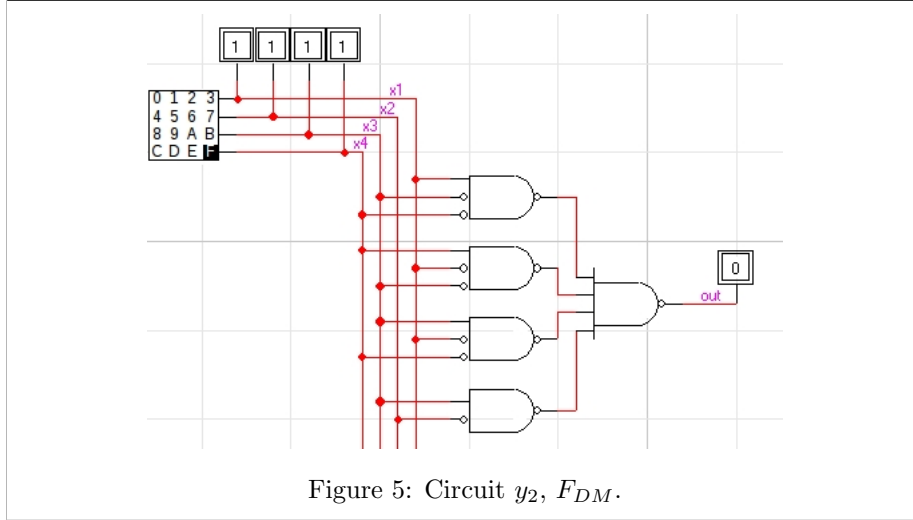
2.1 Karnaugh map

		x_1x_2			
		00	01	11	10
x_3x_4	00	0	0	1	1
	01	1	1	0	0
	11	1	0	0	1
	10	1	1	0	1

		x_1x_2			
		00	01	11	10
x_3x_4	00	0	0	1	1
	01	1	1	0	0
	11	1	0	0	1
	10	1	1	0	1

2.2 Disjunctiv minimal form

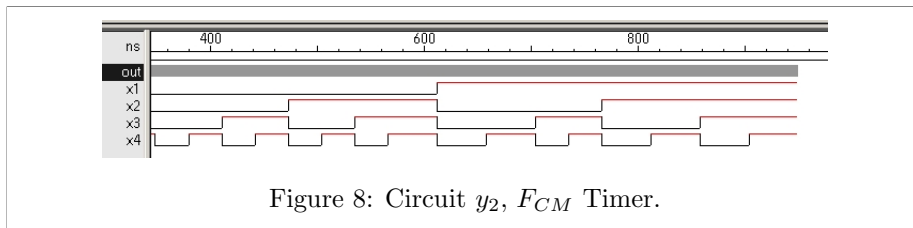
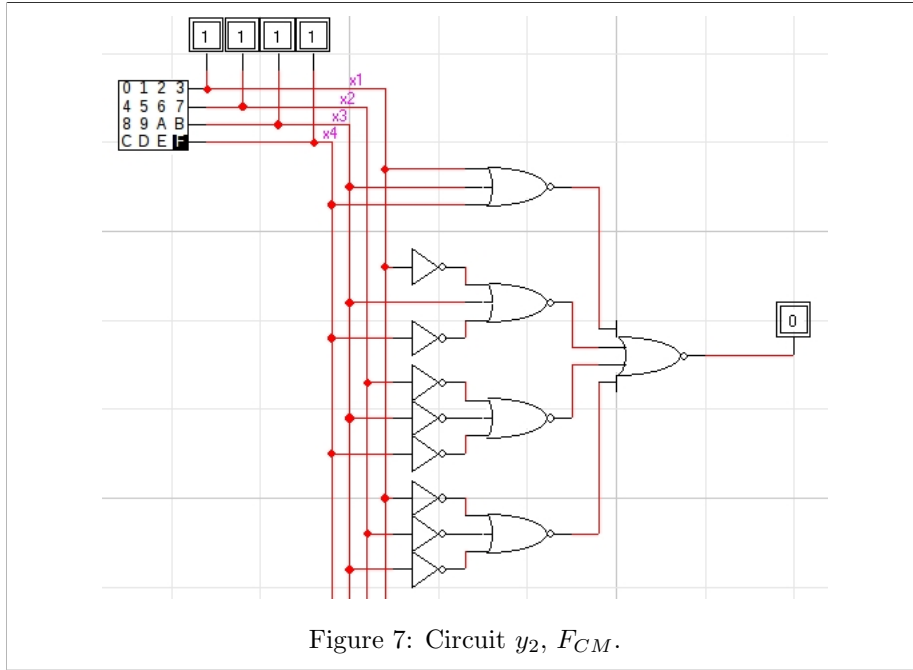
$$\begin{aligned}
 F_{DM} &= x_1 \cdot \overline{x_3} \cdot \overline{x_4} + \overline{x_1} \cdot \overline{x_3} \cdot x_4 + \overline{x_1} \cdot x_3 \cdot \overline{x_4} + \overline{x_2} \cdot x_3 \\
 &= (\overline{x_1} \cdot \overline{x_3} \cdot \overline{x_4}) \cdot (\overline{x_1} \cdot \overline{x_3} \cdot x_4) \cdot (\overline{x_1} \cdot x_3 \cdot \overline{x_4}) \cdot (\overline{x_2} \cdot x_3)
 \end{aligned}$$



$$\begin{aligned}
 C &= 15Q \\
 T_d &= 2r
 \end{aligned}$$

2.3 Conjunctiv minimal form

$$\begin{aligned}
 F_{CM} &= (x_1 + x_3 + x_4) \cdot (\overline{x_1} + x_3 + \overline{x_4}) \cdot (\overline{x_2} + \overline{x_3} + \overline{x_4}) \cdot (\overline{x_1} + \overline{x_2} + \overline{x_3}) \\
 &= \overline{(x_1 + x_3 + x_4)} + \overline{(\overline{x_1} + x_3 + \overline{x_4})} + \overline{(\overline{x_2} + \overline{x_3} + \overline{x_4})} + \overline{(\overline{x_1} + \overline{x_2} + \overline{x_3})}
 \end{aligned}$$



$$\begin{aligned}
 C &= 24Q \\
 T_d &= 3r
 \end{aligned}$$

3 Conclusion

- De Morgan's laws help us very much in minimizing the expression. It allows us to use only one type of gate. In this way, we can create a much cheaper circuit, since we have to buy only one kind of gate.
- Karnaugh maps are a much better representation of a circuit than a truth table. But we can't represent the circuits with too many signals in it.