

Đề 1(Sinh viên **không** được sử dụng tài liệu, máy tính cầm tay.

Làm bài trực tiếp trên đề)

Chữ ký của Cán bộ coi thi

ĐIỂMSTT

Họ và tên:

Bảng số:

.....

MSSV:

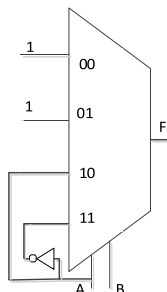
Bảng chữ:

Phòng thi:

BẢNG TRẢ LỜI TRẮC NGHIỆM (SV ghi đáp án đúng vào bảng sau)**CÂU HỎI TRẮC NGHIỆM (7 Điểm, 0.5đ/câu), SV chọn 1 đáp án đúng**

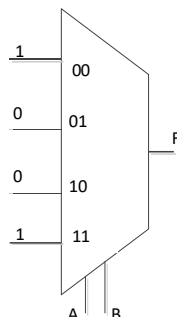
Câu 1. Ngõ ra F của mạch có giá trị bằng 0 khi:

- A. $A=0, B=0$
 B. $A=0, B=1$
 C. $A=1, B=0$
 D. $A=1, B=1$



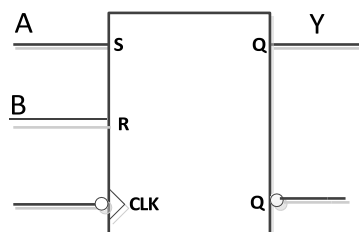
Câu 2. Ngõ ra F của mạch hình bên được mô tả dưới dạng biểu thức Boolean là:

- A. $F(A,B)=A.B$
 B. $F(A,B)=(A \oplus B)'$
 C. $F(A,B)=A'.B'$
 D. $F(A,B)=A'+B'$



Câu 3. Hãy chọn câu trả lời ĐÚNG nhất. Mạch hình bên là:

- A. Flip-Flop SR tích cực mức thấp
 B. Flip-Flop SR tích cực mức cao



C. Flip-Flop SR tích cực cạnh xuống

D. Flip-Flop SR tích cực cạnh lên

clk

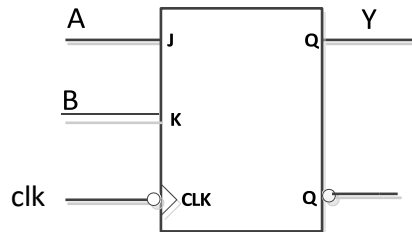
Câu 4. Cho mạch hình bên, giả sử giá trị hiện tại của Y bằng 1, để giá trị của Y ở xung clock kế tiếp bằng 0 thì giá trị hiện tại của A và B phải là:

A. $A=0, B=0$

B. $A=X, B=1$

C. $A=1, B=0$

D. $A=1, B=X$



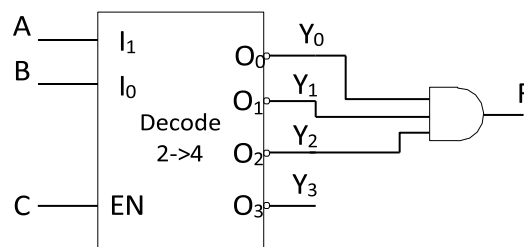
Câu 5. Cho mạch như hình bên. Nếu $C=1$ thì biểu thức Boolean của ngõ ra F sẽ là:

A. $F(A,B)=A'B'+AB'+A'B$

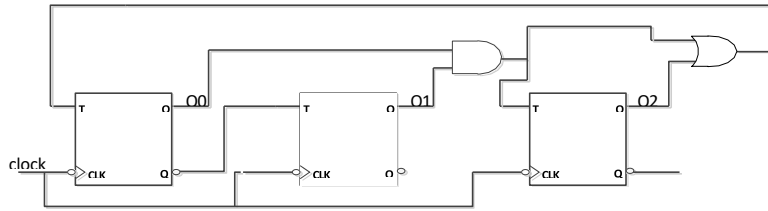
B. $F(A,B)=(A'B').(A'B).(AB')$

C. $F(A,B)=(A+B')(A'+B)(A+B)$

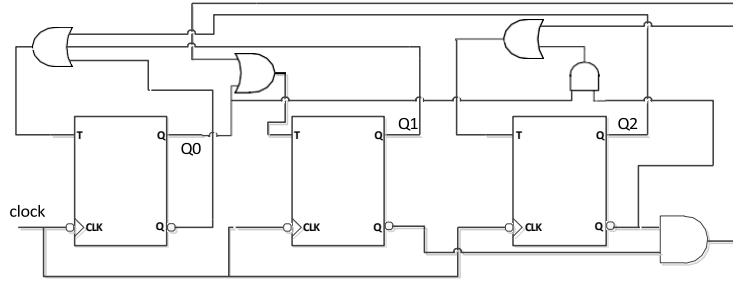
D. $F(A,B)=m_0.m_1.m_2$



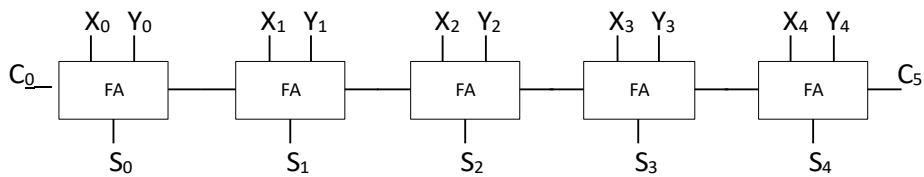
Câu 6. Chọn câu trả lời ĐÚNG nhất:



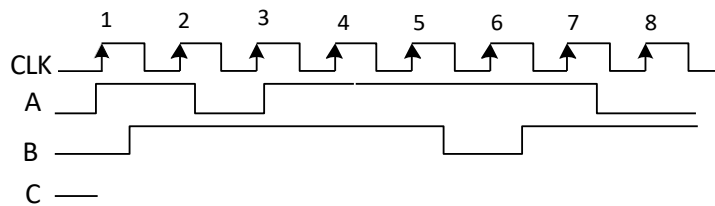
- A. Đây là mạch đếm lên bất đồng bộ
 B. Đây là mạch tổ hợp
 C. Đây là mạch đếm xuống bất đồng bộ
 D. Đây là mạch đếm đồng bộ
- Câu 7. Chu trình đếm của mạch đếm hình bên dưới (Q_0 là bit MSB) là:



- A. 5 -> 6 -> 7 -> 4 -> 3 rồi lặp lại
 B. 0 -> 2 -> 4 -> 6 rồi lặp lại
 C. 1 -> 3 -> 5 -> 7 rồi lặp lại
 D. 4 -> 5 -> 6 -> 7 rồi lặp lại
- Câu 8. Cho mạch cộng CR (Carry Ripple) như hình bên dưới, nếu trì hoãn (delay) của mỗi FA là 3ns thì tổng thời gian trì hoãn của mạch sẽ là:

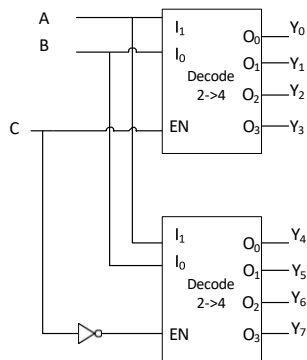


- A. 3ns
 B. 15ns
 C. 30ns
 D. 6ns
- Câu 9. Cho giản đồ định thời như hình bên dưới. Nếu tín hiệu A, B, C được gán lần lượt vào chân J, K và Q của một Flip-Flop JK thì giá trị của C sau cạnh lên xung clock thứ 5 và thứ 6 lần lượt sẽ là:

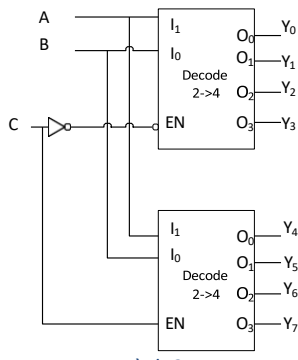


- A. 0,0
 B. 0,1
 C. 1,0
 D. 1,1
- Câu 10. Cho hàm $F(x,y,z)=xy + z$, nếu thực hiện hàm F chỉ sử dụng Mux2->1 (không sử dụng cổng logic khác, kể cả cổng NOT) thì số lượng MUX2->1 tối thiểu phải dùng là:
- A. 4
 B. 3
 C. 2
 D. 1
- Câu 11. Số Flip-Flop D tối thiểu cần để thiết kế bộ đếm đồng bộ có chu trình đếm 1 -> 5 -> 7 -> 6 -> 4 -> 3 là:

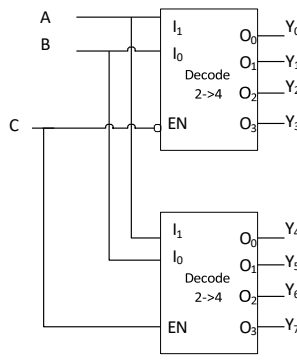
A. 2
 B. 3
 C. 4
 D. 5
 Câu 12. Chọn hình có thiết kế mạch giải mã (decoder) 3->8 ĐÚNG:



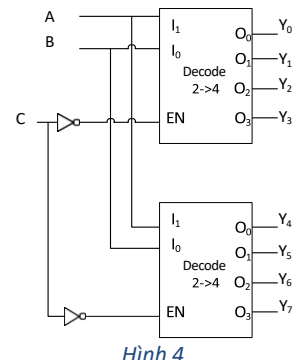
Hình 1



Hình 2



Hình 3



Hình 4

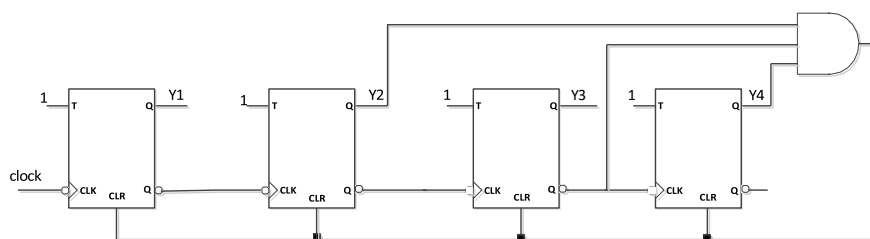
A. Hình 1

B. Hình 2

C. Hình 3

D. Hình 4

Câu 13. Xác định tần số của ngõ ra Y4 của mạch, khi tần số ngõ vào clock=10KHz:



A. 1KHz

B. 2KHz

C. 5KHz

D. 2.5KHz

Câu 14. Độ trễ khi truyền tín hiệu của bộ đếm bất đồng bộ sẽ ảnh hưởng đến vấn đề gì?

A. Tần số của bộ đếm

B. Độ chính xác của bộ đếm

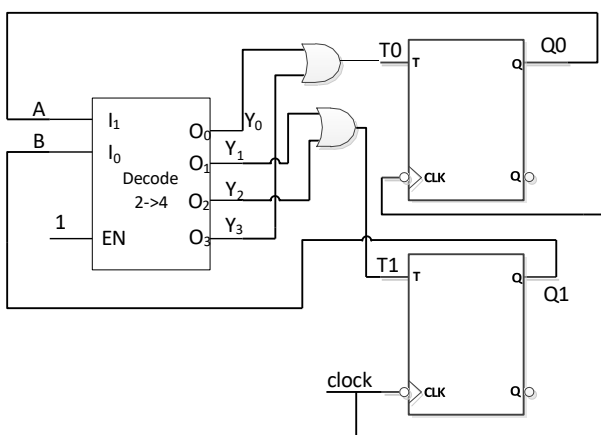
C. Độ phức tạp của bộ đếm

D. Không ảnh hưởng

TỰ LUẬN (3Đ)

Câu 15. (1đ)

Phân tích hoạt động của mạch tuần tự sau:



a) Phương trình ngõ vào của các Flip-Flop

b) Bảng chuyển trạng thái và Lưu đồ chuyển trạng thái

Câu 16. (2đ)

Thiết kế một bộ đếm đồng bộ có chức năng đếm các tháng trong một năm Dương Lịch (từ tháng 1 tới tháng 12), sử dụng D flip-flop và T flip-flop tích cực cạnh xuống. Biết rằng nếu bộ đếm ở một tháng không hợp lệ thì sẽ chuyển về tháng 12. Thiết kế mạch có ngõ ra ALERT tích cực mức 1 khi ngõ ra của bộ đếm là tháng có 31 ngày.

Đây là phần đánh giá chuẩn đầu ra của đề thi theo đề cương chi tiết môn học (CĐRMH) (thí sinh không cần quan tâm mục này trong quá trình làm bài)

Câu 1	Câu 2	Câu 3	Câu 4	Câu 5	Câu 6	Câu 7	Câu 8
G3	G3	G3	G3	G3	G3	G3	G3

Câu 9	Câu 10	Câu 11	Câu 12	Câu 13	Câu 14	Câu 15	Câu 16
G3	G3	G3	G3	G3	G3	G4	G4

CĐRMH	Mô tả
G3	Thiết kế được các mạch số cơ bản đến phức tạp
G4	Cải tiến được chức năng, hiệu suất các mạch số

Giảng viên ra đề

Duyệt đề của Khoa/ Bộ môn

Phạm Thanh Hùng

Trịnh Lê Huy