ЛАБОРАТОРНАЯ РАБОТА №3 ОДНОСТУПЕНЧАТЫЕ ТРИГГЕРЫ

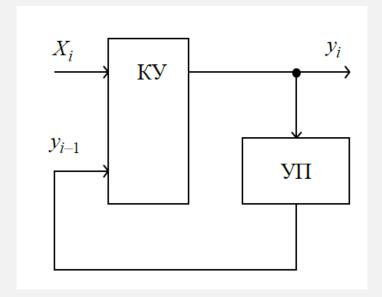
ТРИГГЕРЫ

Простейшим представителем последовательностных устройств является триггер

Устройства делятся на две группы*: последовательстные* и *комбинационные (DC, MUX)*

Функция, описывающая состояние выхода в і-ый момент времени:

$$y_i = f(X_i, y_{i-1})$$

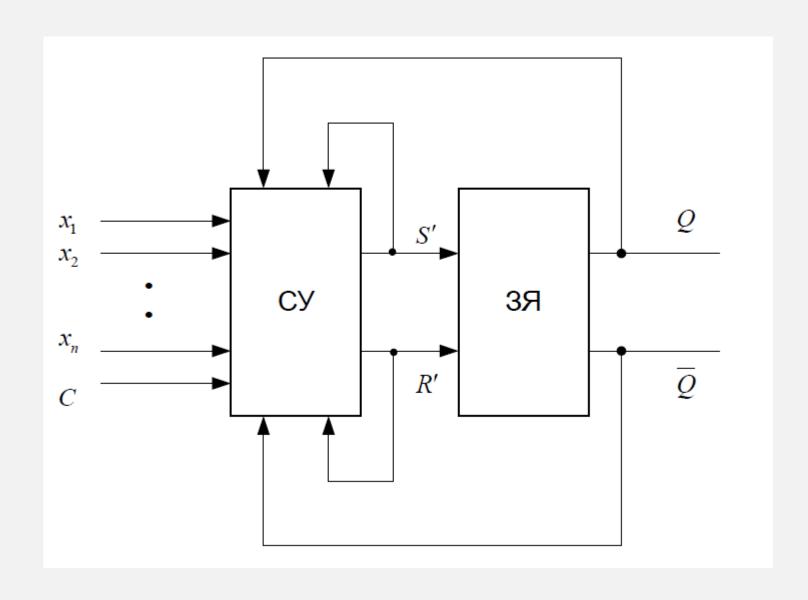


Структура триггера как последовательностного узла

КУ – комбинационный узел

УП – устройство памяти

ТРИГГЕРЫ



КЛАССИФИКАЦИЯ

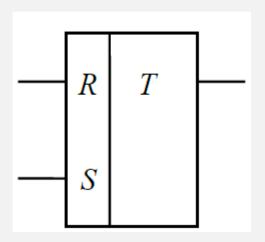
триттеры классифицируют по следующим основным признакам.

- 1. По способу организации логических связей, т.е. по виду логического уравнения, характеризующего состояние входов и выходов триггера в момент времени t_n до его срабатывания и в момент t_{n+1} после его срабатывания различают триггеры:
 - с раздельной установкой состояний "0" и "1" (RS-триггеры);
 - со счетным входом (Т-триггеры);
 - универсальные с раздельной установкой состояний "0" и "1" (ЈК- триггеры);
 - с приемом информации по одному входу (D триггеры);
 - универсальные с управляемым приемом информации по одному входу (DV триггеры);
 - комбинированные (например, RST-, JKRS, DRS триггеры) и т.д.

КЛАССИФИКАЦИЯ

- 2. По способу запаси информации различают триггеры:
 - асинхронные (несинхронизируемые);
 - синхронные (синхронизируемые), или тактируемые.
- 3. По способу синхронизации различают триггеры: синхронные со статическим управлением записью; синхронные с динамическим управлением записью.
- 4. По способу передачи информации с входов на выход различают триггеры о одноступенчатым и двухступенчатым запоминанием информации.

RS-ТРИГГЕР – ПРОСТЕЙШИЙ И БАЗОВЫЙ



 $Q^+ = f(R, S, Q)$ функция возбуждения

Таблица 5.2. Таблица функционирования RS-триггера

S	R	Q	Q_{RS}^+
0	0	0	0
0	0	1	1
0	1	0	0
0	1	1	0
1	0	0	1
1	0	1	1
1	1	0	*
1	1	1	*

Q_{RS}^+	$S \cdot R$	$\overline{S \cdot R}$	$\overline{S} \cdot \overline{R}$	$\overline{S} \cdot R$
Q			1	0
$\overline{\overline{\mathcal{Q}}}$		1	0	0

Рис. 5.3. Карта Карно *RS*-триггера

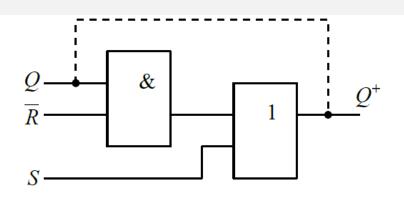
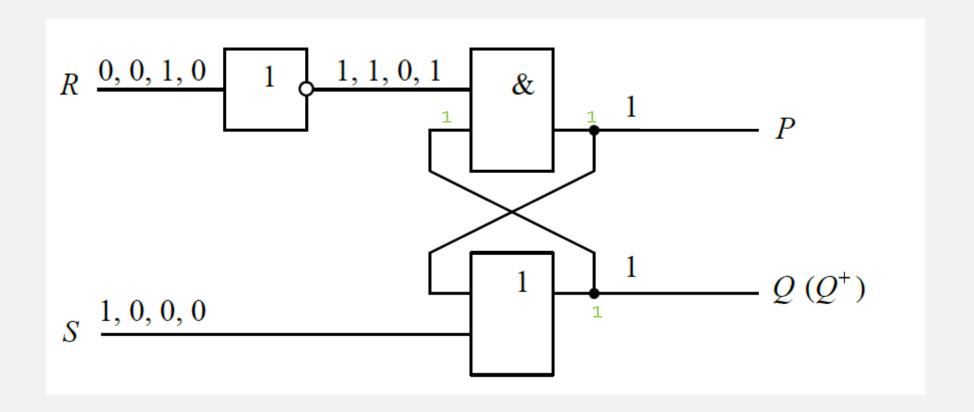
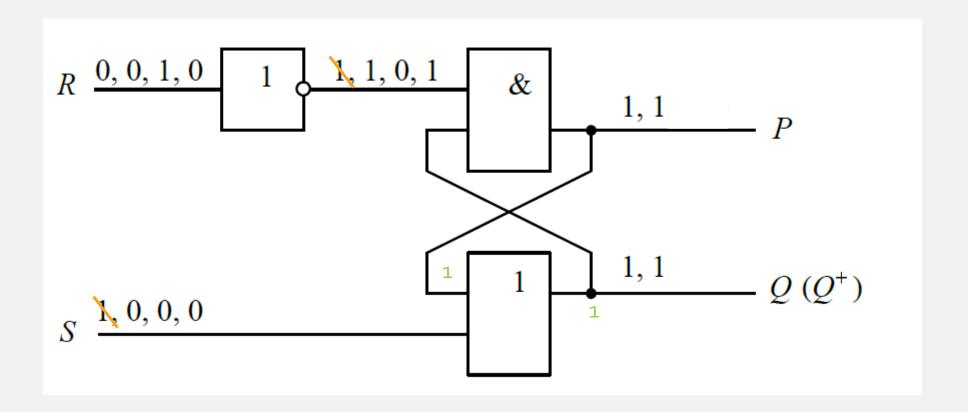
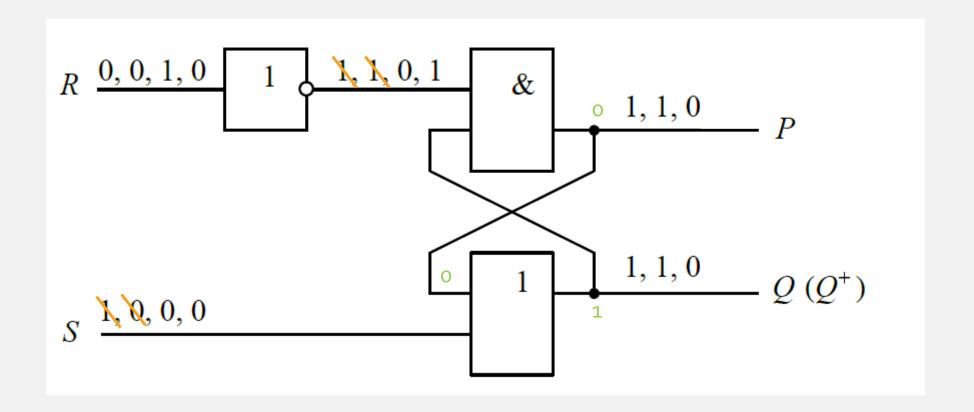


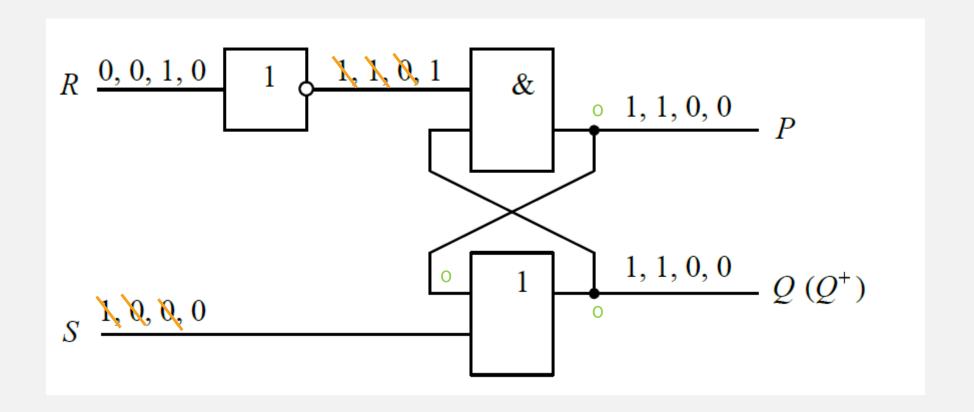
Рис. 5.4. Схема *RS*-триггера с цепью обратной связи

$$Q_{RS}^+ = S + Q\overline{R}$$









RS-ТРИГГЕР

Таблица 5.1. Таблица функционирования триггеров различных типов

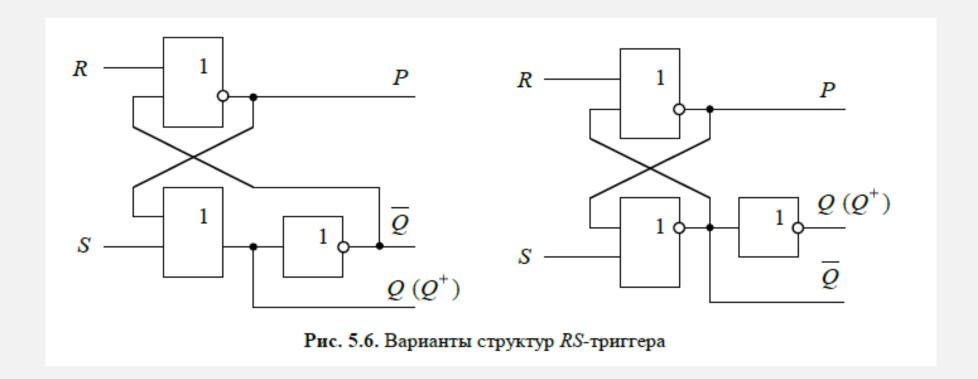
S	R	Q_{RS}^+	Q_R^+	Q_S^+	Q_E^+	Q_{JK}^+
0	0	Q	Q	Q	Q	Q
0	1	0	0	0	0	0
1	0	1	1	1	1	1
1	1	*	0	1	Q	$\overline{\mathcal{Q}}$

RS-TPИГГЕР

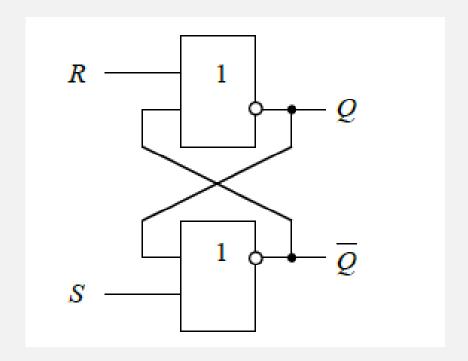
Таблица 5.2. Таблица функционирования RS-триггера

S	R	Q	Q_{RS}^+
0	0	0	0
0	0	1	1
0	1	0	0
0	1	1	0
1	0	0	1
1	0	1	1
1	1	0	*
1	1	1	*

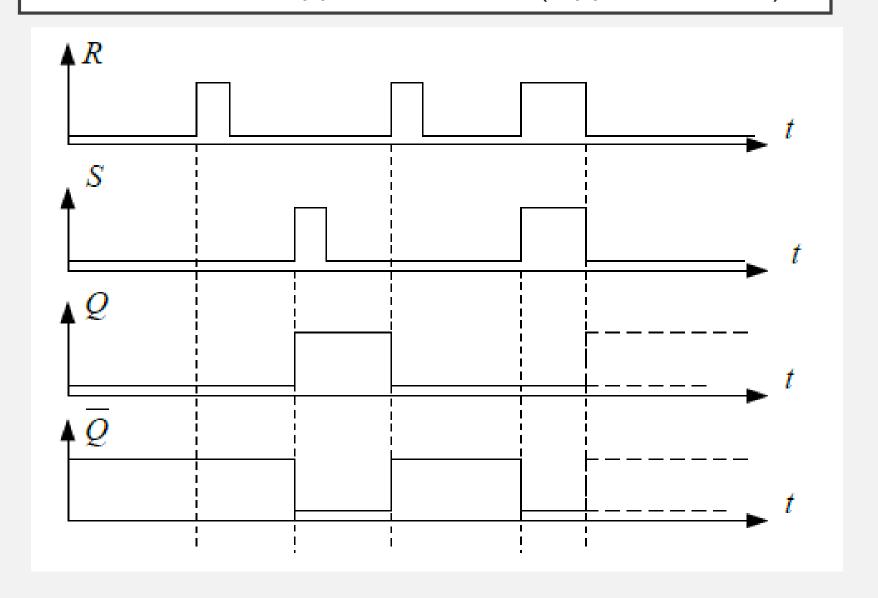
RS-ТРИГГЕР



RS-ТРИГГЕР



ВРЕМЕННАЯ ДИАГРАММА (ИДЕАЛЬНАЯ)



ВРЕМЕННАЯ ДИАГРАММА (РЕАЛЬНАЯ)

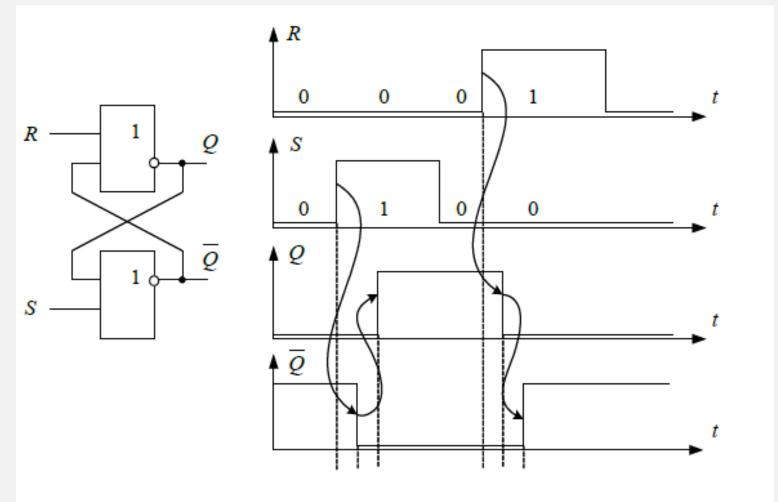
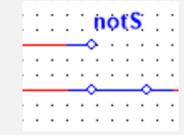


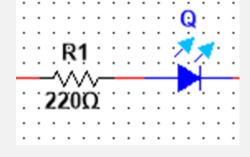
Рис. 5.11. Временная диаграмма переключения RS-триггера с учетом задержек в логических элементах

- 1. Исследовать работу асинхронного RS-триггера с инверсными входами (см. рис. 3) в статическом режиме. Для этого необходимо:
- собрать схему RS-триггера на ЛЭ И-НЕ;
- к выходам Q и Q триггера подключить световые индикаторы;
- задавая через переключатели необходимые сигналы на входах S и \overline{R} триггера, составить таблицу переходов.

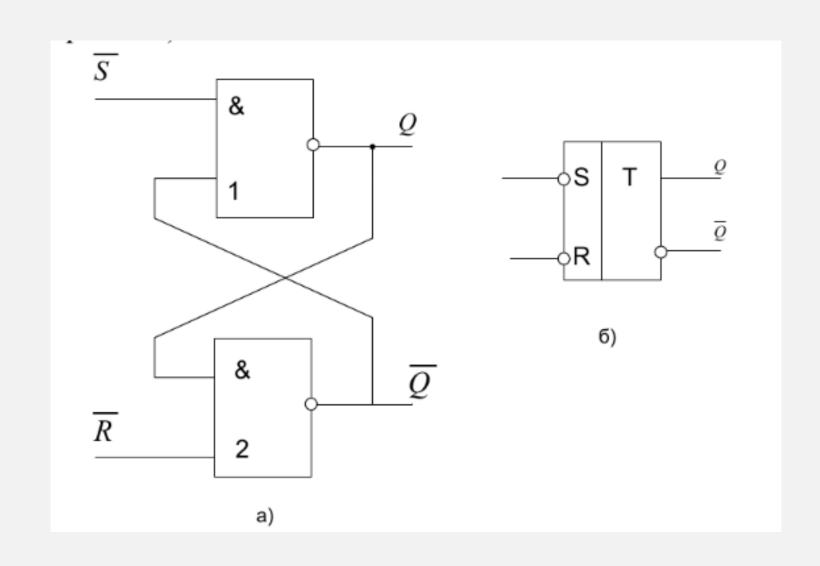
Для задания значений сигналов ^S, ^R использовать ключ



Для того, чтобы не получить «случайных» значений на световом индикаторе, необходимо подключить подтягивающий резистор номиналом 200 Ом

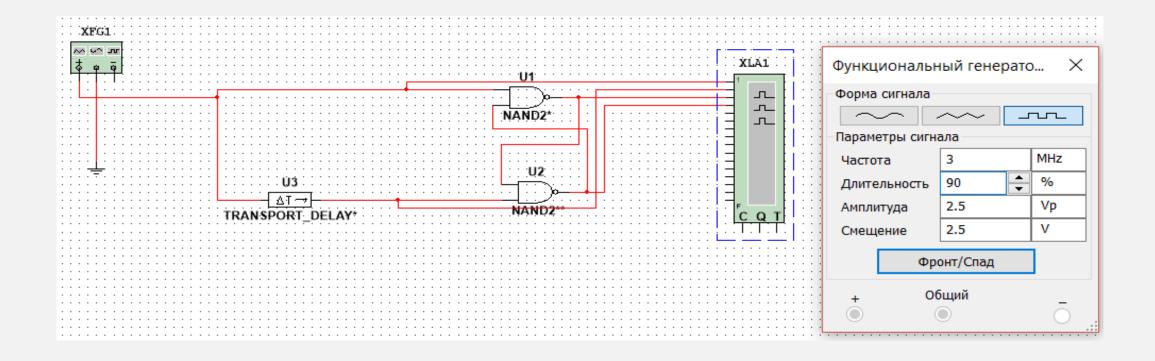


ЗАДАНИЕ 1 (СХЕМА СТАТ.РЕЖИМА)

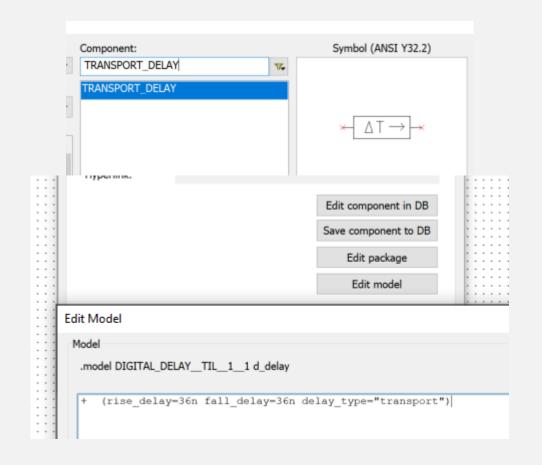


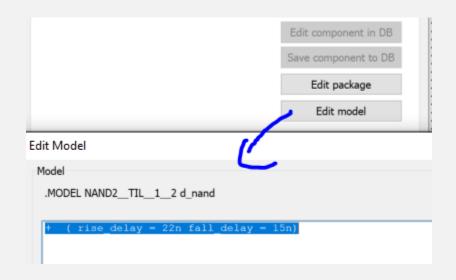
ЗАДАНИЕ 1 (ДИН РЕЖИМ)

Делаем по желанию. Плюсик в карму, если сделаете



ЗАДАНИЕ 1 (ДИН РЕЖИМ)





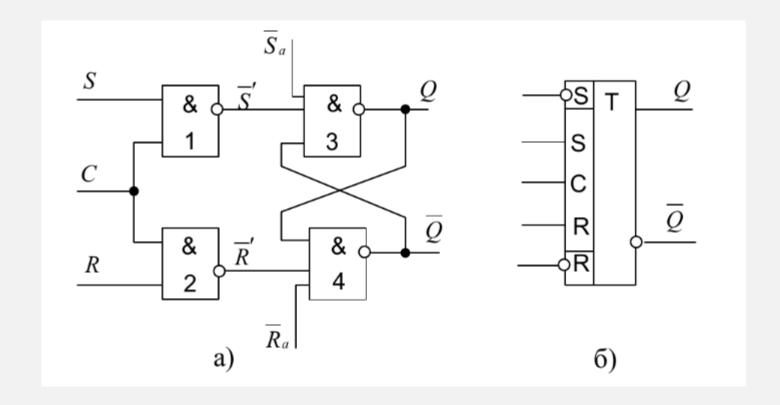
+ (rise_delay = 22n fall_delay = 15n)

Параметры модели логического элемента (задержка включения 22нс, выключения 15нс)

+ (rise_delay=5on fall_delay=5on delay_type="transport")
Параметры модели линии задержки

- 2. Исследовать работу синхронного RS-триггера (см. рис. 4) в статическом режиме. Для этого необходимо:
- собрать схему RS-триггера на ЛЭ И-НЕ (рис. 4);
- к выходам Q и \overline{Q} триггера подключить световые индикаторы;
- задавая через переключатели необходимые сигналы на входах S, R и C, протестировать и составить таблицу переходов триггера. В таблице теста каждому набору S, R и Q будет соответствовать 3 строки: сначала задать C=0 (момент времени t_n), затем при C=1 (момент времени t_{n+1}) определяется Q_{n+1} и снова при C=0 переход в режим хранения.

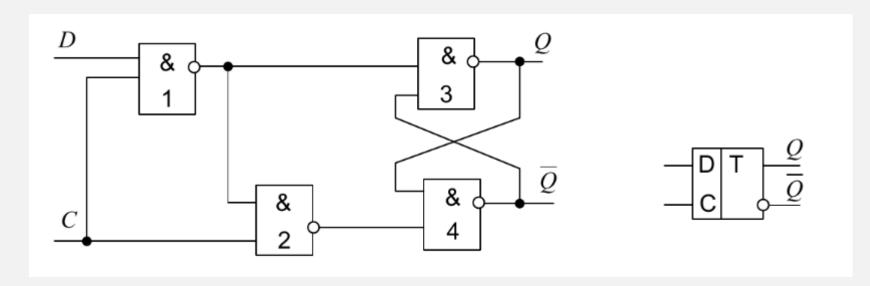
⁺ реализуем схему в динамическом режиме (по желанию)



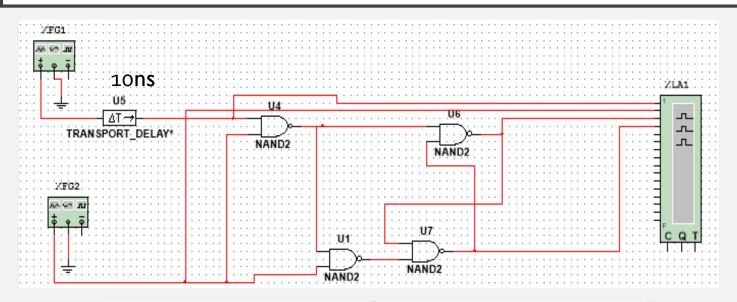
реализуем схему а). Сигналы ^Sa, ^Ra не реализуем на схеме

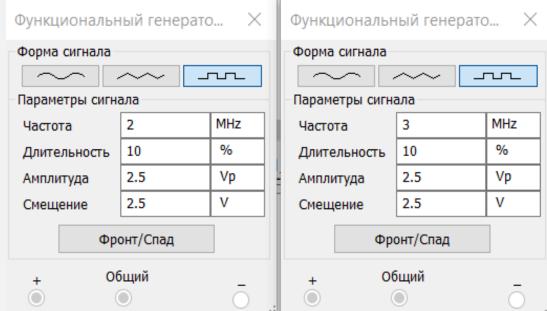
- 3. Исследовать работу синхронного D-триггера (см. рис. 5) в статическом режиме. Для этого необходимо:
- собрать схему D-триггера на ЛЭ И-НЕ (рис. 5); в приложении Multisim можно использовать макросхему D-триггера;
 - к выходам Q и \overline{Q} триггера подключить световые индикаторы;
- задавая через переключатели необходимые сигналы на входах D и C, протестировать и составить таблицу переходов триггера. В таблице теста каждому набору D и Q будет

соответствовать 3 строки: сначала задать C=0 (момент времени t_n), затем при C=1 (момент времени t_{n+1}) определяется Q_{n+1} и снова при C=0 происходит переход в режим хранения.

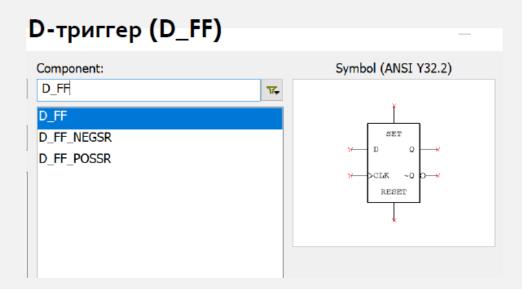


ЗАДАНИЕ З (ДИН РЕЖИМ)

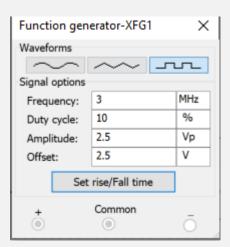




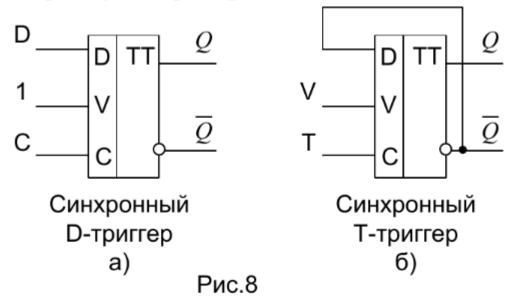
- 4. Исследовать схему синхронного D-триггера с динамическим управлением записью (рис. 6) в статическом режиме. В приложениях Electronics Workbench и Multisim имеются макросхемы такого триггера. Для этого необходимо:
 - к выходам Q и \bar{Q} триггера подключить световые индикаторы;
- задавая через переключатели необходимые сигналы на входах D и C, протестировать и составить таблицу переходов триггера. В таблице теста следует отметить реакцию триггера на изменения сигнала D при C=0 и при C=1, а также способность триггера принимать сигнал D только по перепаду 0/1 сигнала C.



- 5. Исследовать схему синхронного DV-триггера с динамическим управлением записью в динамическом режиме. Для этого необходимо:
- построить схему синхронного DV-триггера на основе синхронного D-триггера и мультиплексора MS 2-1 (выход MS 2-1 соединить с D-входом триггера, вход 0 MS 2-1 соединить с выходом Q триггера. Тогда вход 1 MS 2-1 будет D-входом, адресный вход A MS 2-1 входом V синхронного DV-триггера), вход С D-триггера входом С DV-триггера;
 - подать сигнал генератора на вход счетчика и на С-вход DV-триггера;
 - подать на входы D и V триггера сигналы с выходов 2-го и 3-го разрядов счетчика;
 - снять временные диаграммы синхронного DV-триггера;
 - объяснить работу синхронного DV-триггера по временным диаграммам.



6. Исследовать работу DV-триггера, включенного по схеме TV-триггера (рис. 8).



Для этого необходимо:

- на вход D подать сигнал \overline{Q} , на вход C подать сигналы генератора, а на вход V с выхода 3-го разряда счетчика;
 - снять временные диаграммы Т-триггера;
 - объяснить работу синхронного Т-триггера по временным диаграммам.

ТРЕБОВАНИЯ К ОТЧЕТУ

- 1) Схема в статическом режиме, таблица переходов для нее Схема в динамическом режиме, временная диаграмма (задание со * (необязательное) экспериментально определить время, через которое триггер перестает реагировать на сигнал сброса)
- 2) Схема в статическом режиме, таблица переходов Схема в дин режиме, таблица переходов
- 3) Схема в статическом режиме, таблица переходов
- 4) Схема в дин режиме, временная диаграмма, таблица переходов,
- 5) Схема в дин режиме, временная диаграмма, объяснить работу DV-триггера (письменные рассуждения)
- 6) Схема в дин режиме, временная диаграмма, объяснить работу Т-триггера (письменные рассуждения)