



Министерство науки и высшего образования Российской Федерации
Федеральное государственное бюджетное образовательное учреждение
высшего образования
«Московский государственный технический университет
имени Н.Э. Баумана
(национальный исследовательский университет)»
(МГТУ им. Н.Э. Баумана)

ФАКУЛЬТЕТ ИНФОРМАТИКА И СИСТЕМЫ УПРАВЛЕНИЯ

КАФЕДРА КОМПЬЮТЕРНЫЕ СИСТЕМЫ И СЕТИ (ИУ6)

НАПРАВЛЕНИЕ ПОДГОТОВКИ 09.03.01 Информатика и вычислительная техника

О Т Ч Е Т

по лабораторной работе № 2

Название: Проектирование цифровых устройств на основе
ПЛИС

Дисциплина: Основы проектирования устройств ЭВМ

Студент

ИУ6-62Б
(Группа)

(Подпись, дата)

И.С. Марчук
(И.О. Фамилия)

Преподаватель

(Подпись, дата)

(И.О. Фамилия)

Москва, 2022

Введение

Цель работы: закрепление на практике теоретических сведений, полученных при изучении методики проектирования цифровых устройств на основе программируемых логических интегральных схем (ПЛИС), получение необходимых навыков работы с системой автоматизированного проектирования ISE WebPack устройств на основе ПЛИС фирмы Xilinx, изучение аппаратных и программных средств моделирования, макетирования и отладки устройств на основе ПЛИС.

Задание:

В лабораторной работе необходимо разработать и реализовать на ПЛИС XC3S200 или XC3E-500 управляющий автомат схемного типа, обрабатывающий входное командное слово $C=\{A,B,C,D,E,F\}$, выдающий сигналы управления $M=\{M_0,...,M_{k-1}\}$ операционному блоку.

Таблица 1 - варианты диаграмм и активных сигналов

Вариант	Диаграмма переходов	Активные сигналы M в состоянии					
		S1	S2	S3	S4	S5	S6
37	1	2	0	1,7	5,6	3	4

Таблица 2 - Условия переходов и наименование отладочной платы

(«@» - иначе, «_X» - НЕ X, «+» - ИЛИ, 1- безусловный переход)

Вариант	Название платы	Активные сигналы в M состоянии														
		Y1	Y2	Y3	Y4	Y5	Y6	Y7	Y8	Y9	Y10	Y11	Y12	Y13	Y14	Y15
37.	Spartan3	@	A BC	A_ B	@	E+ D	F	@	D_F	@	A+_ C	_A	AB	@	@	1

Таблица 3 - активные сигналы для переходов

Вариант	Активные сигналы в M состоянии														
	Y1	Y2	Y3	Y4	Y5	Y6	Y7	Y8	Y9	Y10	Y11	Y12	Y13	Y14	Y15
37	-	-	-	-	5,6	5,7	-	4	6,7	2	5	-	-	-	-

Ход работы:

На рисунке 1 показана схема отладки устройства управления с помощью отладочного набора XC3S200.

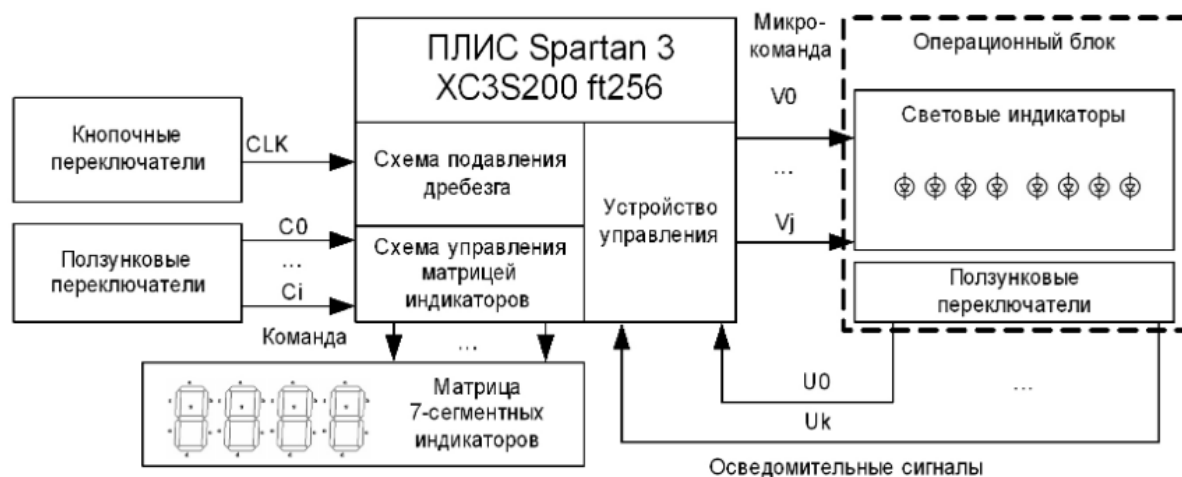


Рисунок 1 - схема отладки устройства управления

Схема переходов/состояний цифрового автомата, лежащего в основе устройства управления, схема отладки устройства управления приведена на рисунке 2.

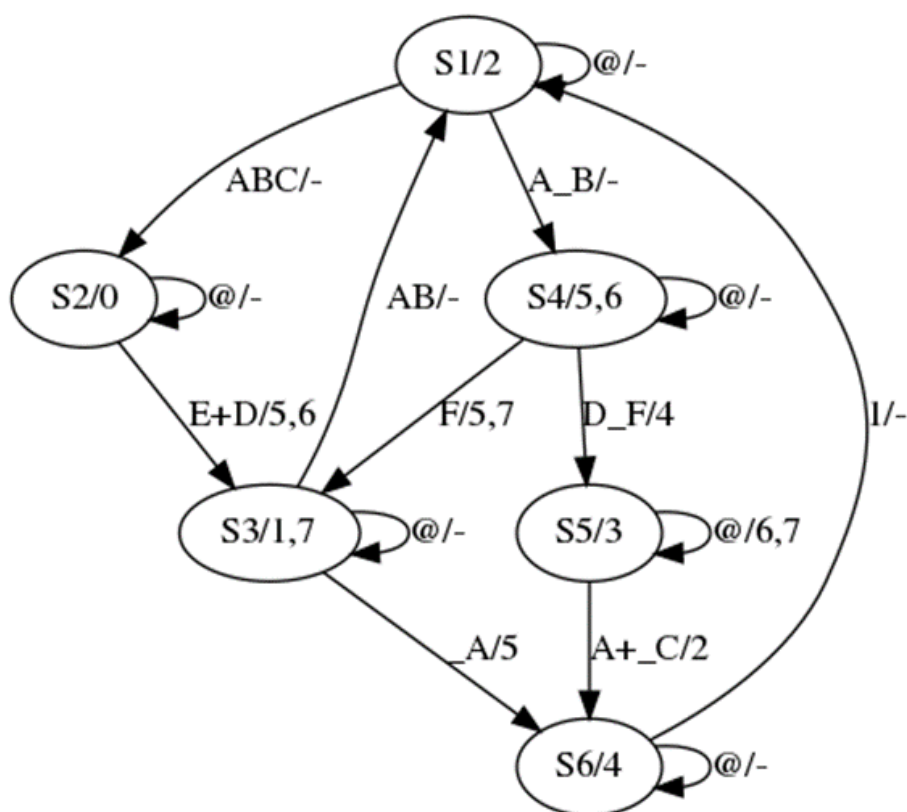


Рисунок 2 - схема переходов/состояний автомата

Результаты моделирования модуля, реализующего цифровой автомат, приведены на рисунках 3. Из них следует, что он работает корректно.

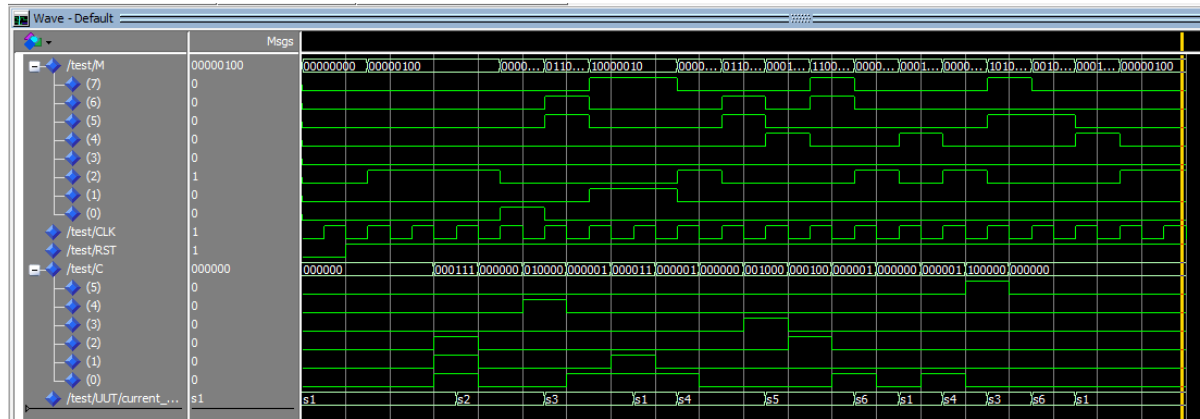


Рисунок 3 – временная диаграмма тестирования

Исходный код модуля верхнего уровня разрабатываемого устройства приведен в листинге 1.

Листинг 1 – описание устройства

```

LIBRARY IEEE;
USE IEEE.STD_LOGIC_1164.ALL;
USE IEEE.STD_LOGIC_ARITH.ALL;
USE IEEE.STD_LOGIC_UNSIGNED.ALL;
ENTITY control_unit IS
PORT (
    C : IN std_logic_vector (5 DOWNT0 0);
    CLK : IN std_logic; RST : IN std_logic;
    M : OUT std_logic_vector (7 DOWNT0 0) );
END control_unit;
ARCHITECTURE arch_control_unit OF control_unit IS
    TYPE STATE_TYPE IS (s1, s2, s3, s4, s5, s6);
    SIGNAL current_state: STATE_TYPE := s1;
BEGIN
    PROCESS (clk, rst)
    BEGIN
        IF (rst='1') THEN
            M <= "00000000";
            current_state <= s1;
        
```

```

ELSIF (CLK'EVENT AND CLK='1') THEN
    CASE current_state IS
    WHEN S1 =>
        M <= "00000100";
        IF (C(0)='1' AND C(1)='1' AND C(2)='1') THEN
            current_state <= S2;
        ELSIF (C(0)='1' AND C(1)='0') THEN
            current_state <= S4;
        ELSE
            current_state <= S1;
        END IF;
    WHEN S2 =>
        M <= "00000001";
        IF (C(4)='1') OR (C(3)='1') THEN
            M <= "01100000";
            current_state <= S3;
        ELSE
            current_state <= S2;
        END IF;
    WHEN S3 =>
        M <= "10000010";
        IF (C(0)='1' AND C(1)='1') THEN
            current_state <= S1;
        ELSIF (C(0)='0') THEN
            M <= "00100000";
            current_state <= S6;
        ELSE
            current_state <= S3;
        END IF;
    WHEN S4 =>
        M <= "01100000";
        IF (C(3)='1' AND C(5)='0') THEN
            M <= "00010000";
            current_state <= S5;
        ELSIF (C(5)='1') THEN

```

```

        M <= "10100000";
        current_state <= S3;
    ELSE
        current_state <= S4;
    END IF;
WHEN S5 =>
    M <= "00001000";
    IF (C(0)='1') OR (C(2)='0') THEN
        M <= "00000100";
        current_state <= S6;
    ELSE
        M <= "11000000";
        current_state <= S5;
    END IF;
WHEN S6 =>
    M <= "00010000";
    current_state <= S1;
END CASE;
END IF;
END PROCESS;
END arch_control_unit;

```

Вывод: в ходе выполнения лабораторной работы были закреплены на практике навыки разработки устройств управления на языке VHDL (в данном случае – устройства управления с жесткой логикой на основе цифровых автоматов).