

## Физическое представление цифр и чисел в ЭВМ

Цифра и числа в ЭВМ представлены 0 и 1 в памяти. Если рассматривать полупроводниковую память, то запоминающей ячейкой является триггер, его состояние (включен или выключен) соответствует значению разряда числа.

При этом значение представлено потенциалом на выходе триггера, например 5 В — 1, 0 В — 0. Если рассматривать магнитные носители, то значение определяется намагниченностью небольшой части дорожки на диске.

Так или иначе числа представлены в двоичном представлении. Для представления отрицательных чисел используют так называемый дополнительный код.

Так же, по способу представления входных и выходных сигналов:

- потенциальные (высокий/низкий уровень напряжения);
- импульсные (наличие/отсутствие импульса);
- импульсно-потенциальные.

Данные могут быть представлены в последовательном (представления данных используются одиночные шины или линии передачи, в которых сигналы, соответствующие отдельным разрядам данных, разнесены во времени.) или параллельном коде (отображения и передачи информации предполагает параллельную и одновременную фиксацию всех разрядов данных на различных шинах)

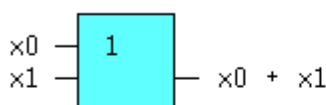
Если в триггере можно хранить один разряд числа, то в регистре — совокупности триггеров — можно хранить все число целиком.

## Взаимное соответствие функций алгебры логики и логических схем

Функция F1 "И" (конъюнкция)

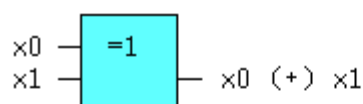


Функция F7 "ИЛИ" (дизъюнкция)

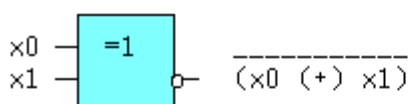


Функция F6 "ИСКЛЮЧАЮЩЕЕ ИЛИ", называемая также для двух аргументов ф-ей "НЕ-РАВНОЗНАЧНОСТИ" или "СУММА ПО МОДУЛЮ ДВА", имеет следующее схемное обозначение. Логическая операция (+) называется суммой по модулю два.

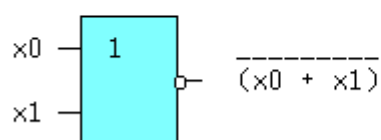
Функция F6 "ИСКЛЮЧАЮЩЕЕ ИЛИ"



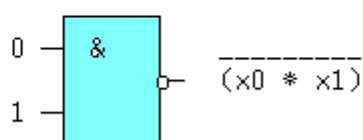
Функция F9 "ИСКЛЮЧАЮЩЕЕ ИЛИ - НЕ"



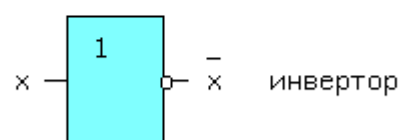
Функция F8 "ИЛИ - НЕ"



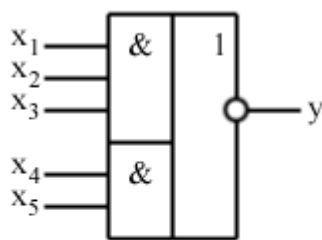
Функция F14 "И - НЕ" и



Функция F12 "НЕ" (инверсия)

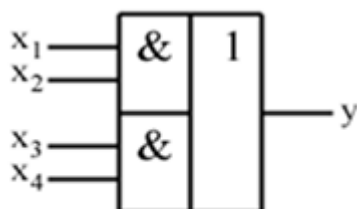


Более сложные логические операции могут быть представлены в виде комбинированной схемы



$$y = x_1 x_2 x_3 + x_4 x_5$$

**3-2И-ИЛИ-НЕ**



**2И-ИЛИ**

## Классификация элементов и типовых функциональных узлов ЭВМ

### Классификация элементов:

По функциональному назначению элементы ЭВМ могут быть разделены на:

- логические (реализующие одну из функций алгебры логики);
- запоминающие (для хранения одноразрядного двоичного числа);
- вспомогательные (для формирования и генерации импульсов, таймеры, элементы индикаторов, преобразователи уровней и т.п.).

По типу сигналов:

- аналоговые;
- цифровые.

По способу представления входных и выходных сигналов:

- потенциальные (высокий/низкий уровень напряжения);
- импульсные (наличие/отсутствие импульса);
- импульсно-потенциальные.

Различают два типа **узлов** ЭВМ:

- комбинационные (сумматоры, схемы сравнения, шифраторы, дешифраторы и тд);
- накапливающие (с памятью: триггеры, регистры, счётчики и тд).

## Системы элементов ЭВМ. Основные требования к системам элементов

Системой логических элементов называется функционально полный набор логических элементов, объединенных общими электрическими, конструктивными и технологическими параметрами и использующих одинаковый тип межэлементных связей. Например, различают ТТЛ, КМОП, ЭСЛ типы интегральных схем

Требования:

- функционально полный набор с точки зрения выполнения логических операций
- совместимы по уровням сигналов
- совместимы по временным характеристикам
- совместимы по требованиям к источникам питания

## Соглашения положительной и отрицательной логики

При кодировании логических переменных уровнями электрических сигналов ( $U_v$  и  $U_n$ ) обычно логическую единицу кодируют верхним уровнем, а логический ноль – низким уровнем (соглашение положительной логики) и наоборот: единицу –  $U_n$ , а ноль –  $U_v$  (соглашение отрицательной логики).

Положительная логика удобней, т.к. высокий потенциал легче сопоставить с единицей, а низкий – с нулем

Однако у отрицательной логики есть технические преимущества — Например, потребление элементов ТТЛ, обслуживающих числовую магистраль (общую шину) машины, при высоком

уровне сигнала в магистрали меньше, чем при низком; поэтому, если шина большую часть времени находится в режиме ожидания, то именно неактивный логический нулевой сигнал рационально отождествлять с высоким уровнем напряжения в магистрали, т.е. выгодна отрицательная логика. Поэтому она чаще употребляется, чем положительная.

### Статические и динамические параметры и характеристики элементов ЭВМ

К статическим параметрам относятся токи, текущие по выводам схемы, и соответствующие напряжения. Отметим среди этих параметров следующие:

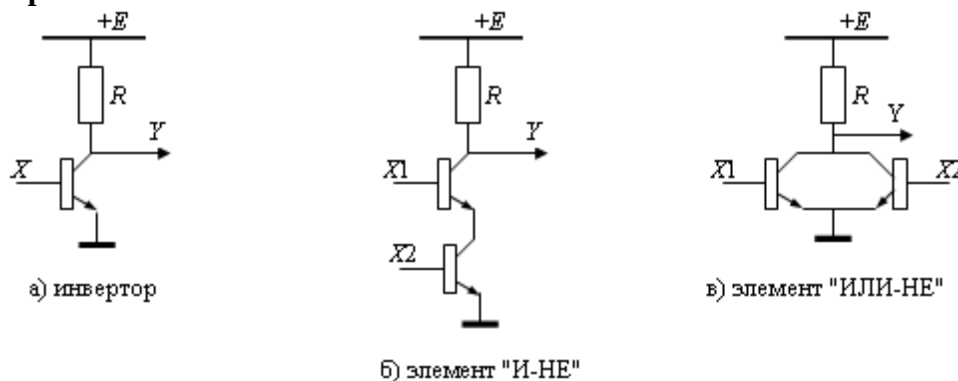
- ток потребления;
- напряжение источника питания;
- пороговое напряжение низкого уровня ( $U_0$ );
- пороговое напряжение высокого уровня ( $U_1$ );
- потребляемая мощность;
- нагрузочная способность (коэффициент разветвления);
- помехоустойчивость.

Среди многочисленных динамических параметров, характеризующих схему, выделим следующие:

- время перехода при включении ( $t_{10}$ ) (задний фронт);
- время перехода при выключении ( $t_{01}$ ) (передний фронт);
- время задержки распространения при включении ( $t_{зд01}$ );
- время задержки распространения при выключении ( $t_{зд10}$ );
- среднее время задержки распространения ( $t_{зд\text{ ср}}$ ) – интервал времени, равный

полусумме времен задержки распространения сигнала при включении и при выключении; в дальнейшем это время будем называть временем задержки элемента ( $t_{зд}$ ).

### Основные схемотехнические построения элементов ЭВМ в интегральной микроэлектронике



#### 1. Триггер

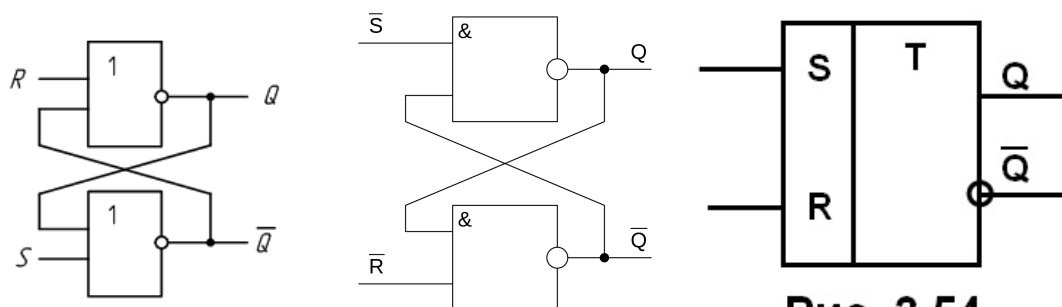


Рис. 3.54

## 2. Шифратор

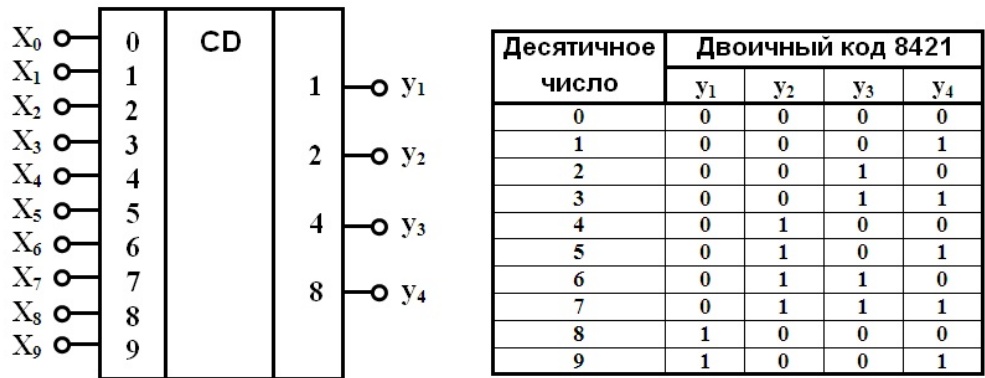
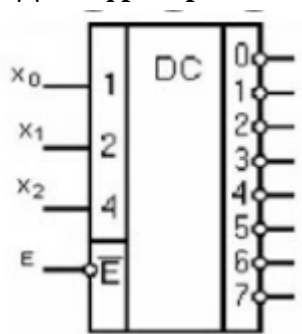
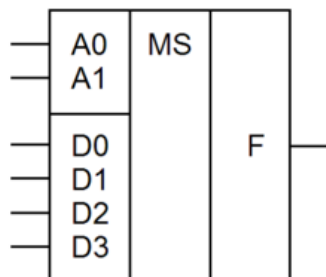


Рис. 3.35

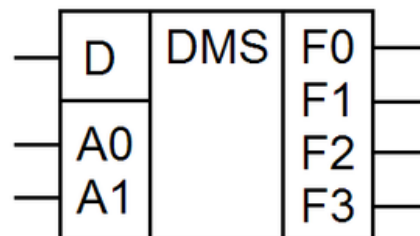
## 3. Дешифратор



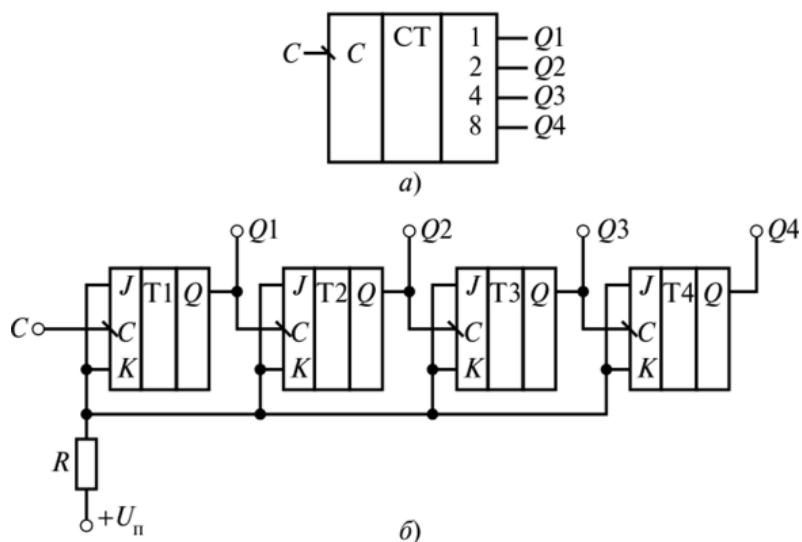
## 4. Мультиплексор



## 5. Демультимплексор



## 6. Счетчик



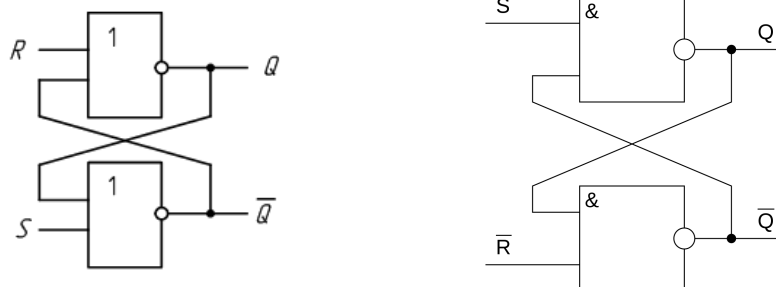
### Триггеры. Способы описания триггеров

Триггеры — это устройства с двумя состояниями. Они предназначены для запоминания двоичной информации.

Различают основные виды триггеров — RS, D, T, JK, DV, TV. Синхронные-асинхронные, статические-динамические.

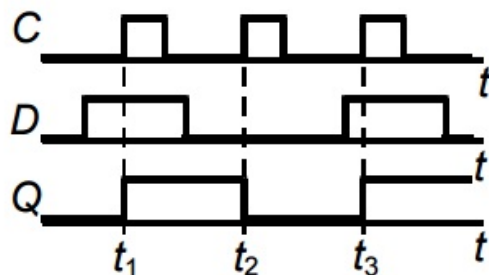
Но в основе всех лежит запоминающая ячейка простейшего триггера

или



Триггеры можно описать таблицей состояний, временной диаграммой, (например на D триггере)

| C | D | $Q^n$ | $Q^{n+1}$ |            |
|---|---|-------|-----------|------------|
| 0 | X | $Q^n$ | $Q^n$     | хранение   |
| 1 | 1 | X     | 1         | запись «1» |
| 1 | 0 | X     | 0         | запись «0» |



Или графом состояний



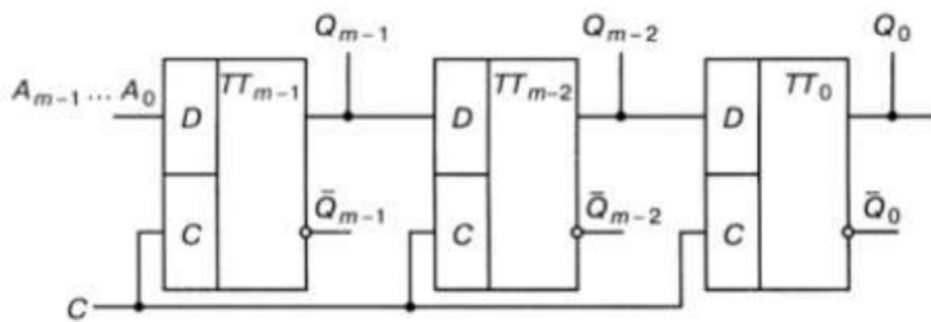


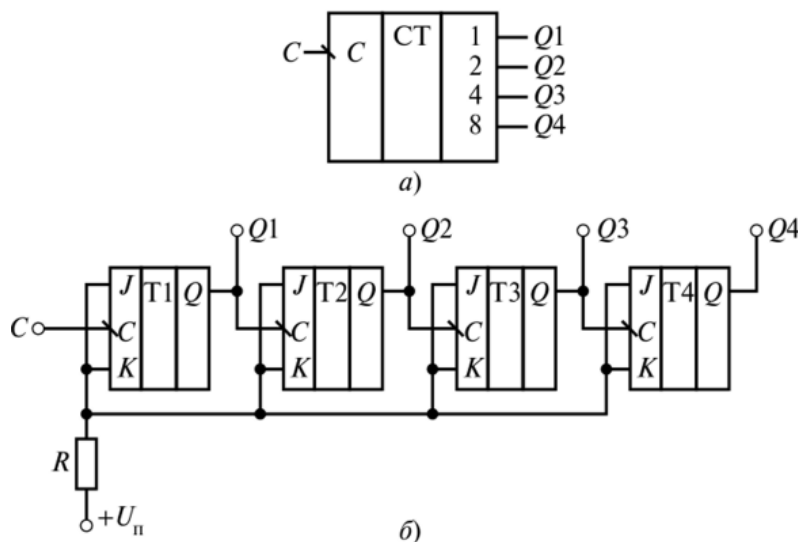
Рис. 16.16. Регистр сдвига на D-триггерах

### Счетчики. Методика синтеза синхронных счетчиков

Счетчик - операционный узел ЭВМ, предназначенный для выполнения счета, кодирования в определенной системе счисления и хранения числа сигналов импульсного типа, поступающих на его счетный вход.

Счетчики характеризуются модулем счета, максимальной частотой счета, минимальной длительностью импульсов счета и временем задержки распространения тактов.

Различают синхронные-асинхронные, с последовательным-параллельным-групповым переносом.



Синтез синхронных счетчиков основан на:

- 1 - Определение числа триггеров счетчика
- 2- Составление обобщенной таблицы переходов счетчика и функций возбуждения триггеров
- 3 - Минимизация функции возбуждения триггеров счетчика
- 4 - Перевод минимизированных функций возбуждения в заданный базис логических функций

### Системы синхронизации

По используемой системе синхронизации различают одноктактные (однофазные) и многотактные (многофазные) и двухфазные. Одноктактные управляются одной последовательностью синхронизирующих сигналов, многотактные — несколькими.

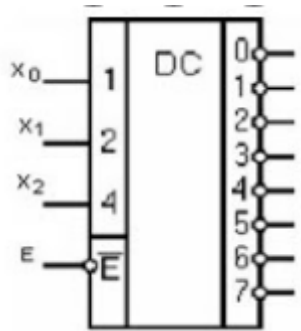
Однофазные системы синхронизации возможны только за счет инерции элементов (например в сдвиговом регистре, разряд одновременно и принимает и выдает данные, если бы инерции не было, данные бы просто пропадали). Выполнение требований для их работоспособности затруднительно. Такую систему обычно используют всхмах с двуступенчатыми или динамическими триггерами.

Достоинством двухфазной системы является возможность применения простых одноступенчатых триггеров с управлением уровнем.

## ИС оперативных и постоянных запоминающих устройств

### Дешифраторы

Дешифратором называется комбинационный узел с  $p$  входами и  $N$  выходами, преобразующий каждый набор двоичных входных сигналов в активный сигнал на выходе, соответствующий этому набору

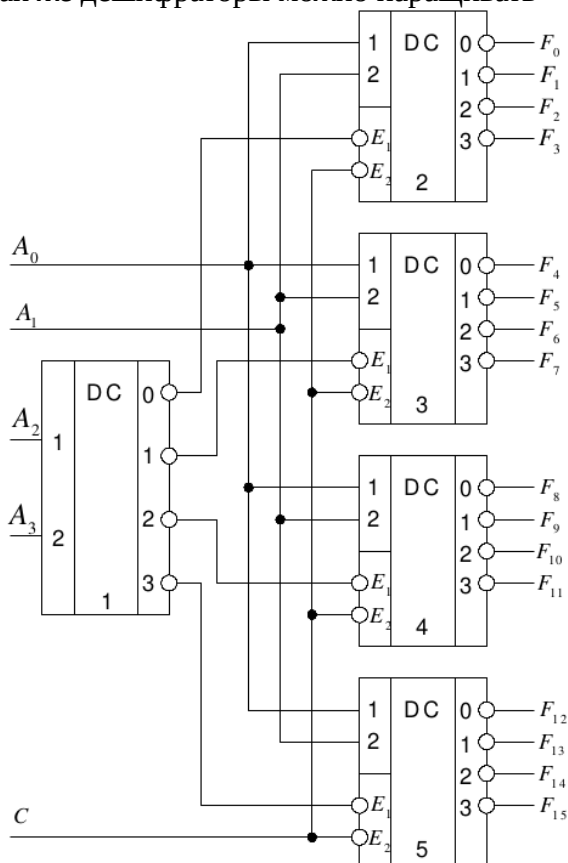


К основным параметрам дешифратора относятся:

- количество входов, определяемое разрядностью преобразуемого двоичного слова,
- количество выходов,
- и другие общие для всех элементов статические и динамические параметры

Различают линейную и пирамидальный принцип построения.

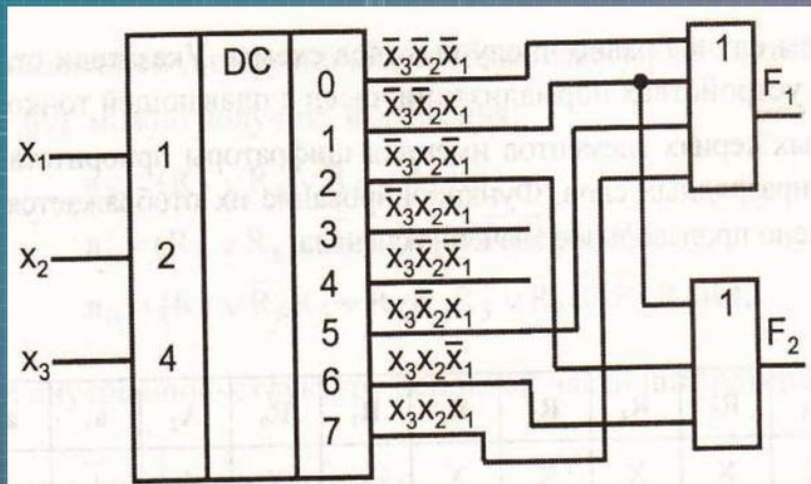
Так же дешифраторы можно наращивать





## Воспроизведение логических функций

- На выходах дешифратора вырабатываются все минтермы, которые можно составить из данного числа аргументов. Собирая минтермы по схеме ИЛИ можно получить любую функцию данного числа аргументов.

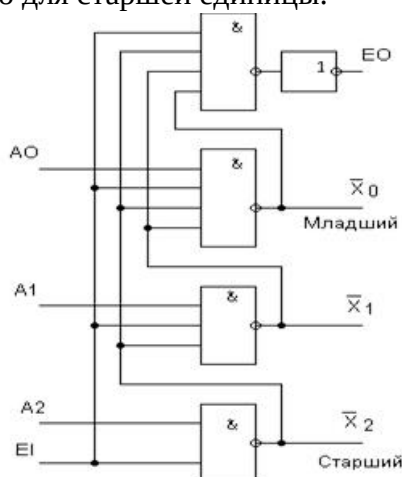


## Шифраторы. Приоритетные шифраторы

Шифратор (англ. encoder) — логическая схема, имеющая  $2^n$  входов  $s_0, s_1, \dots, s_{2^n-1}$  и  $n$  выходов  $z_0, z_1, \dots, z_{n-1}$ . Если на  $i$ -ый вход  $s_i$  подать 1, а на остальные входы — 0, то выходы  $z_0, z_1, \dots, z_{n-1}$  будут кодировать число  $i$ .

| $S_0$ | $S_1$ | $S_2$ | $S_3$ | $Z_0$ | $Z_1$ |
|-------|-------|-------|-------|-------|-------|
| 1     | 0     | 0     | 0     | 0     | 0     |
| 0     | 1     | 0     | 0     | 0     | 1     |
| 0     | 0     | 1     | 0     | 1     | 0     |
| 0     | 0     | 0     | 1     | 1     | 1     |

В приоритетных шифраторах используется схема выделения старшей единицы, которая позволяет игнорировать случаи, когда на вход шифратора подается некорректная комбинация, подавая на вывод сигналы только для старшей единицы.



## Методика синтеза шифраторов. Нарращивание шифраторов

Рассмотрим пример построения шифратора для преобразования десятиразрядного единичного кода (десятичных чисел от 0 до 9) в двоичный код. При этом предполагается, что сигнал, соответствующий логической единице, в каждый момент времени подается только на один вход. Условное обозначение такого шифратора и таблица соответствия кода приведены на рис. 3.35.



Рис. 3.35

Используя данную таблицу соответствия, запишем логические выражения, включая в логическую сумму те входные переменные, которые соответствуют единице некоторой выходной переменной. Так, на выходе  $y_1$  будет логическая «1» тогда, когда логическая «1» будет или на входе  $X_1$ , или  $X_3$ , или  $X_5$ , или  $X_7$ , или  $X_9$ , т. е.  $y_1 = X_1 + X_3 + X_5 + X_7 + X_9$

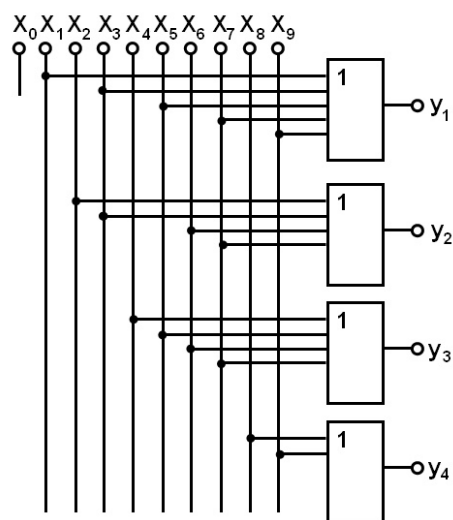
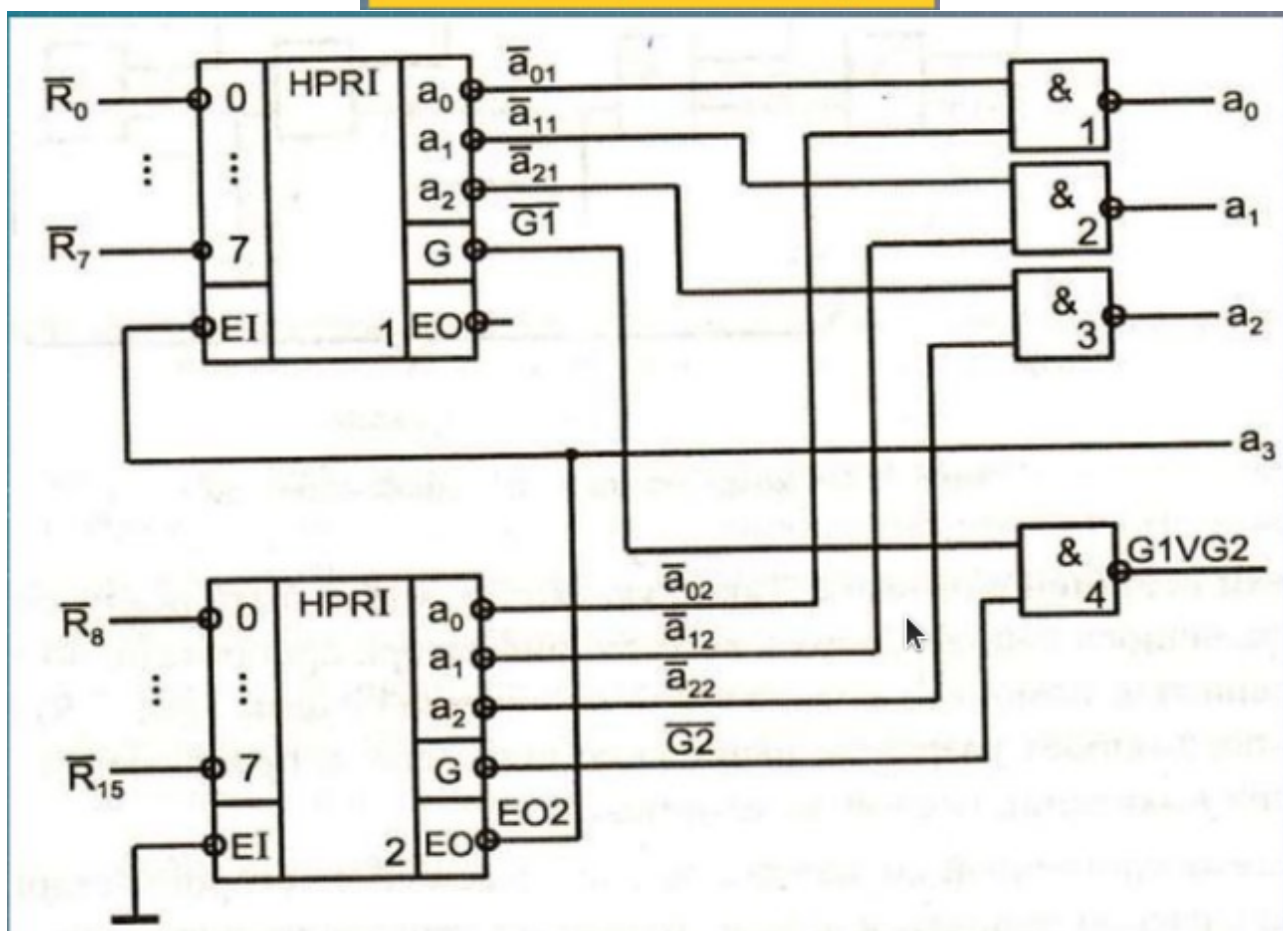


Рис. 3.36

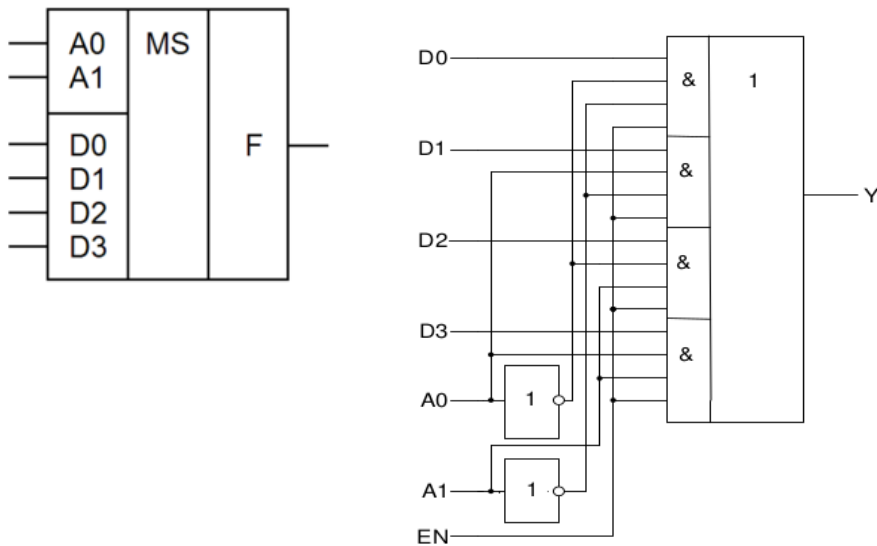
При наращивании используются сигналы

EO – нет сигналов на входе.  
EI – разрешение работы.  
G – есть запросы на входе.

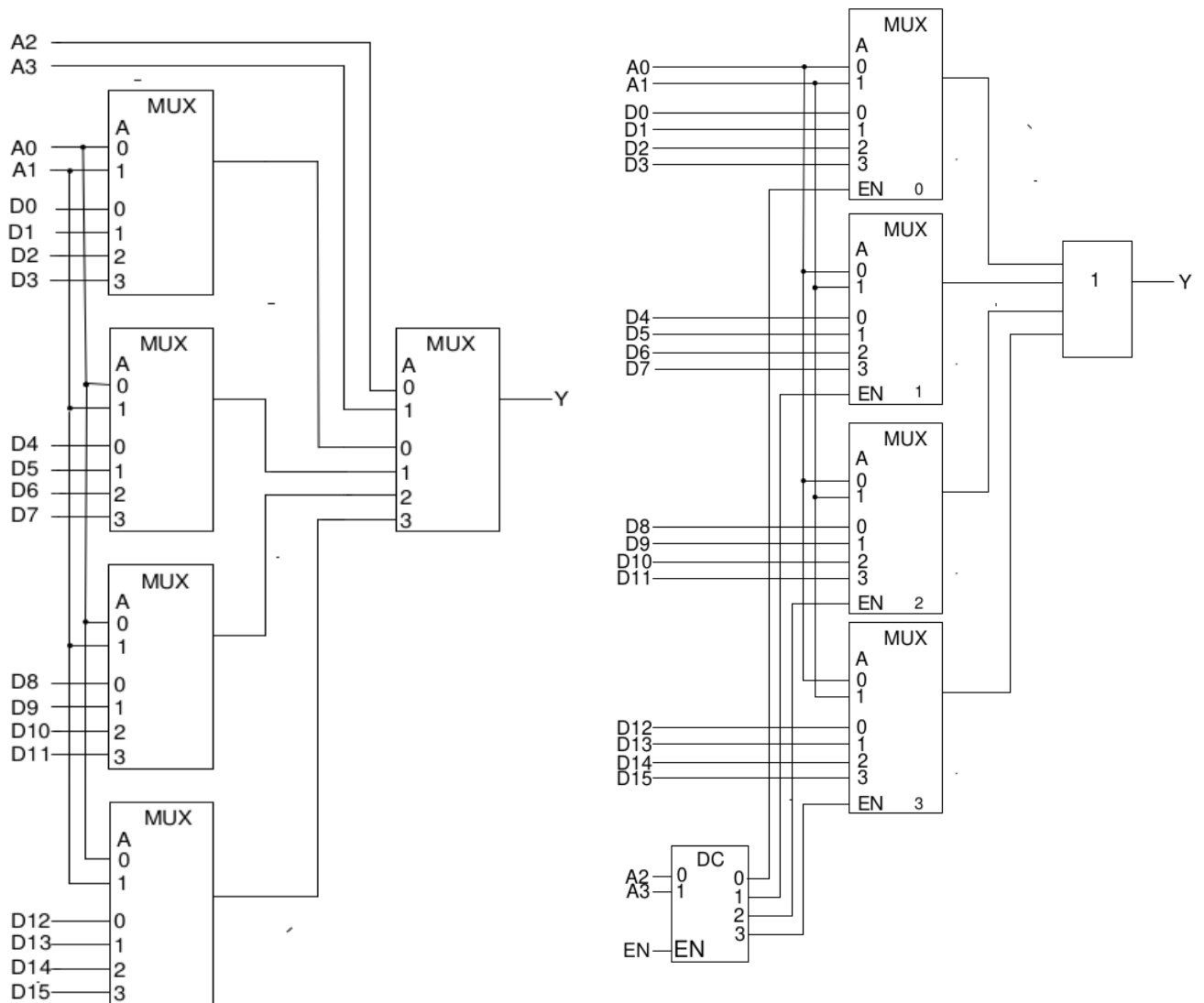


## Мультиплексоры. Способы увеличения размерности мультиплексоров. Реализация ФАЛ

Мультиплексор – это функциональный узел, имеющий  $n$  адресных входов и  $N=2^n$  информационных входов и выполняющий коммутацию на выход того информационного сигнала, адрес (т. е. номер) которого установлен на адресных входах.



### Наращивание



ФАЛ

| N  | X3 | X2 | X1 | X0 | F | D         |
|----|----|----|----|----|---|-----------|
| 0  | 0  | 0  | 0  | 0  | 0 | D0 = X0   |
| 1  | 0  | 0  | 0  | 1  | 1 |           |
| 2  | 0  | 0  | 1  | 0  | 1 | D1 = 1    |
| 3  | 0  | 0  | 1  | 1  | 1 |           |
| 4  | 0  | 1  | 0  | 0  | 0 | D2 = X0   |
| 5  | 0  | 1  | 0  | 1  | 1 |           |
| 6  | 0  | 1  | 1  | 0  | 0 | D3 = 0    |
| 7  | 0  | 1  | 1  | 1  | 0 |           |
| 8  | 1  | 0  | 0  | 0  | 1 | D4 = 1    |
| 9  | 1  | 0  | 0  | 1  | 1 |           |
| 10 | 1  | 0  | 1  | 0  | 0 | D5 = X0   |
| 11 | 1  | 0  | 1  | 1  | 1 |           |
| 12 | 1  | 1  | 0  | 0  | 1 | D6 = noX0 |
| 13 | 1  | 1  | 0  | 1  | 0 |           |
| 14 | 1  | 1  | 1  | 0  | 0 | D7 = X0   |
| 15 | 1  | 1  | 1  | 1  | 1 |           |

