

# III. Организация памяти ЭВМ

- Классификация памяти ЭВМ. Характеристики памяти.
- Методы организации доступа в запоминающие устройства.
- Состав, устройство и принцип действия основной памяти.
- Статические и динамические запоминающие устройства. Организация кэш-памяти.
- Постоянные запоминающие устройства (ПЗУ).
- Виртуальная память.

Памятью ЭВМ называется совокупность устройств, служащих для запоминания, хранения и выдачи информации.

Характеристики памяти ЭВМ:

- Назначение.
- Информационная емкость.
- Информационная емкость читаемого слова.
- Способ доступа.
- Быстродействие.
- Физический способ хранения информации.

# Классификация запоминающих устройств по способу доступа.

- Адресные ЗУ

  - Постоянные ЗУ, ПЗУ (ROM)

  - ЗУ с произвольным доступом (RAM)

- Ассоциативные ЗУ

  - Полностью ассоциативные ЗУ

  - Ассоциативные ЗУ с прямым размещением

  - Наборно-ассоциативные ЗУ

- Последовательные ЗУ

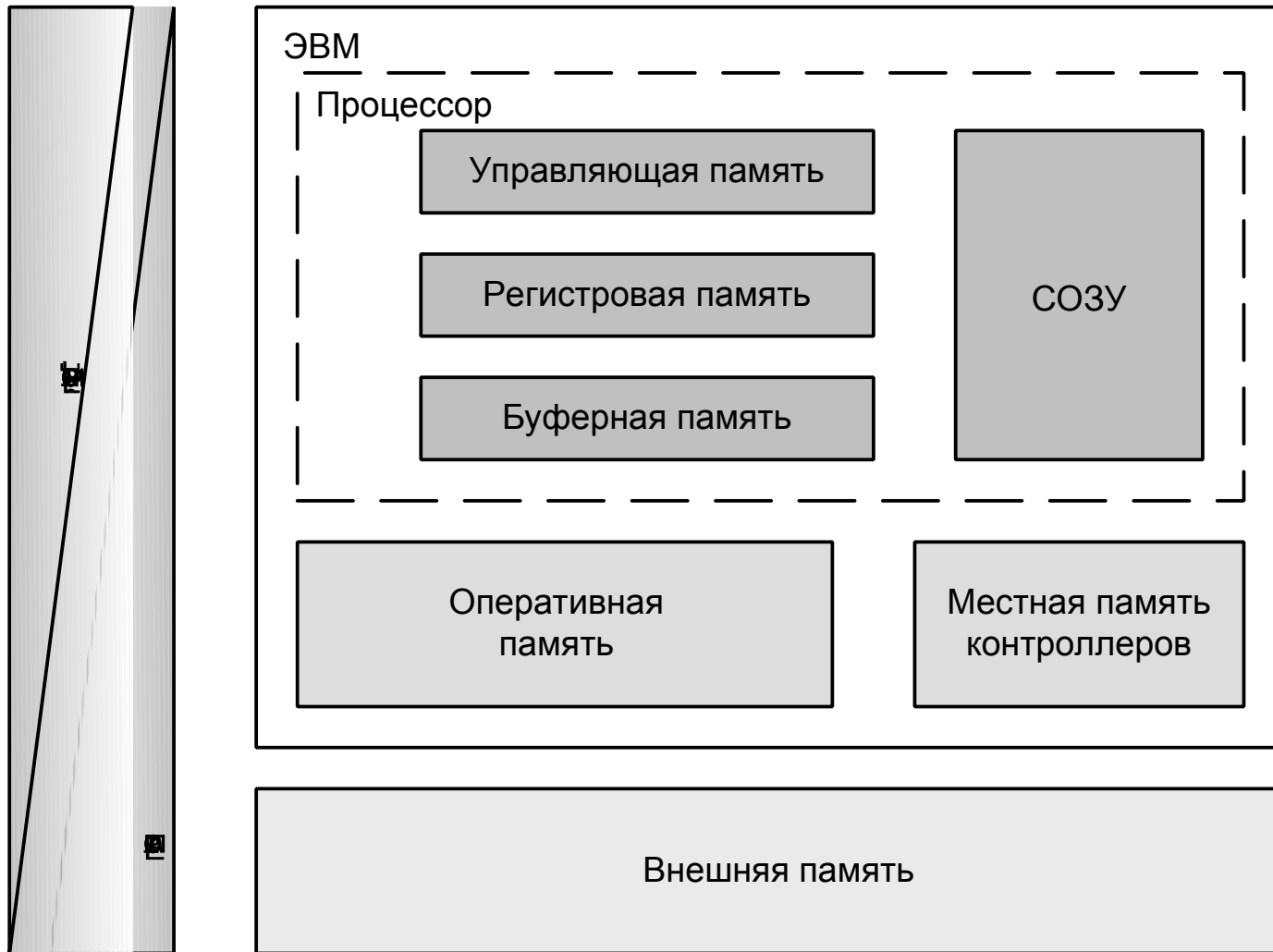
  - FIFO

  - LIFO

  - Файловые

  - Циклические

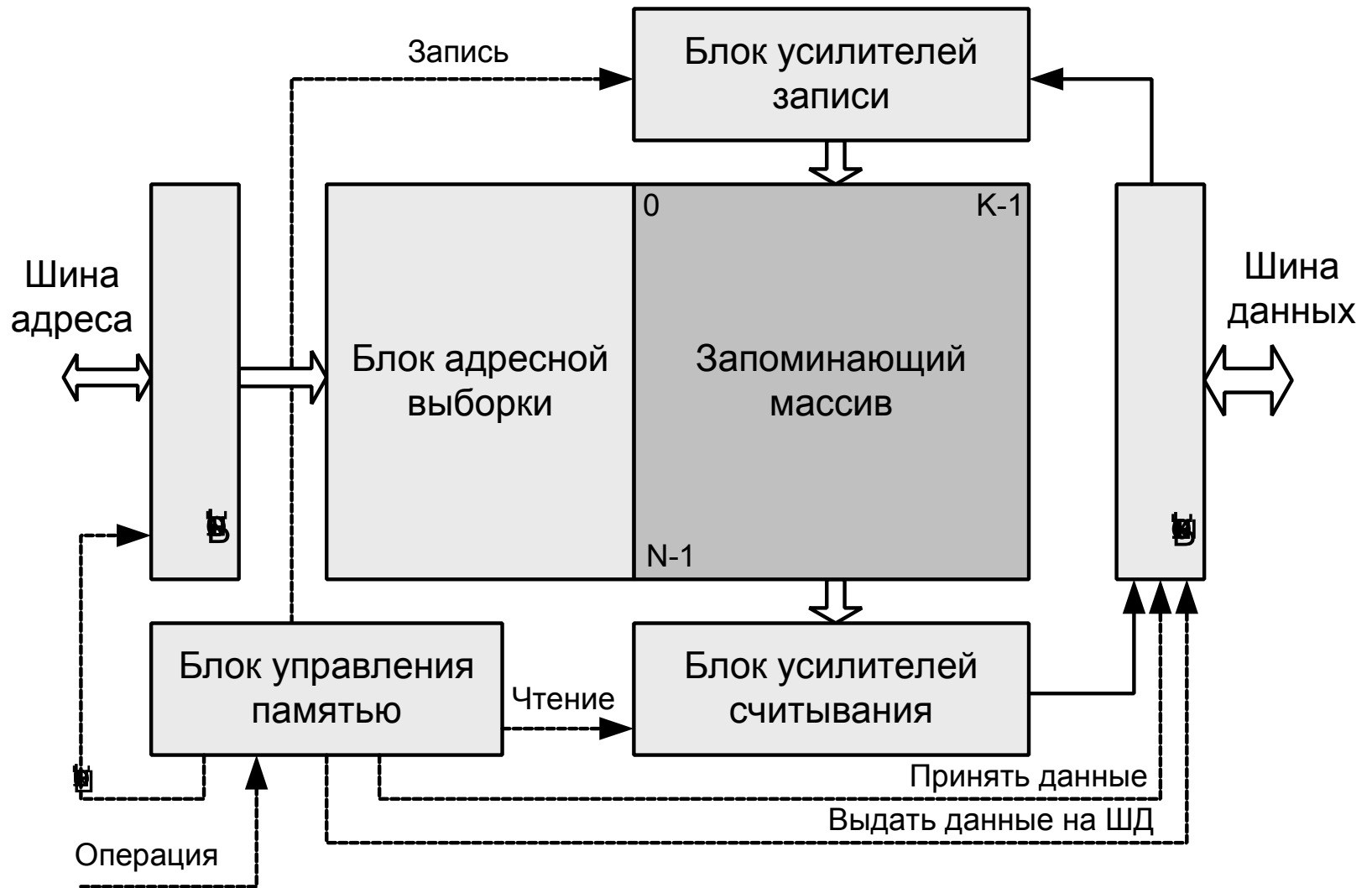
# Классификация запоминающих устройств по назначению.



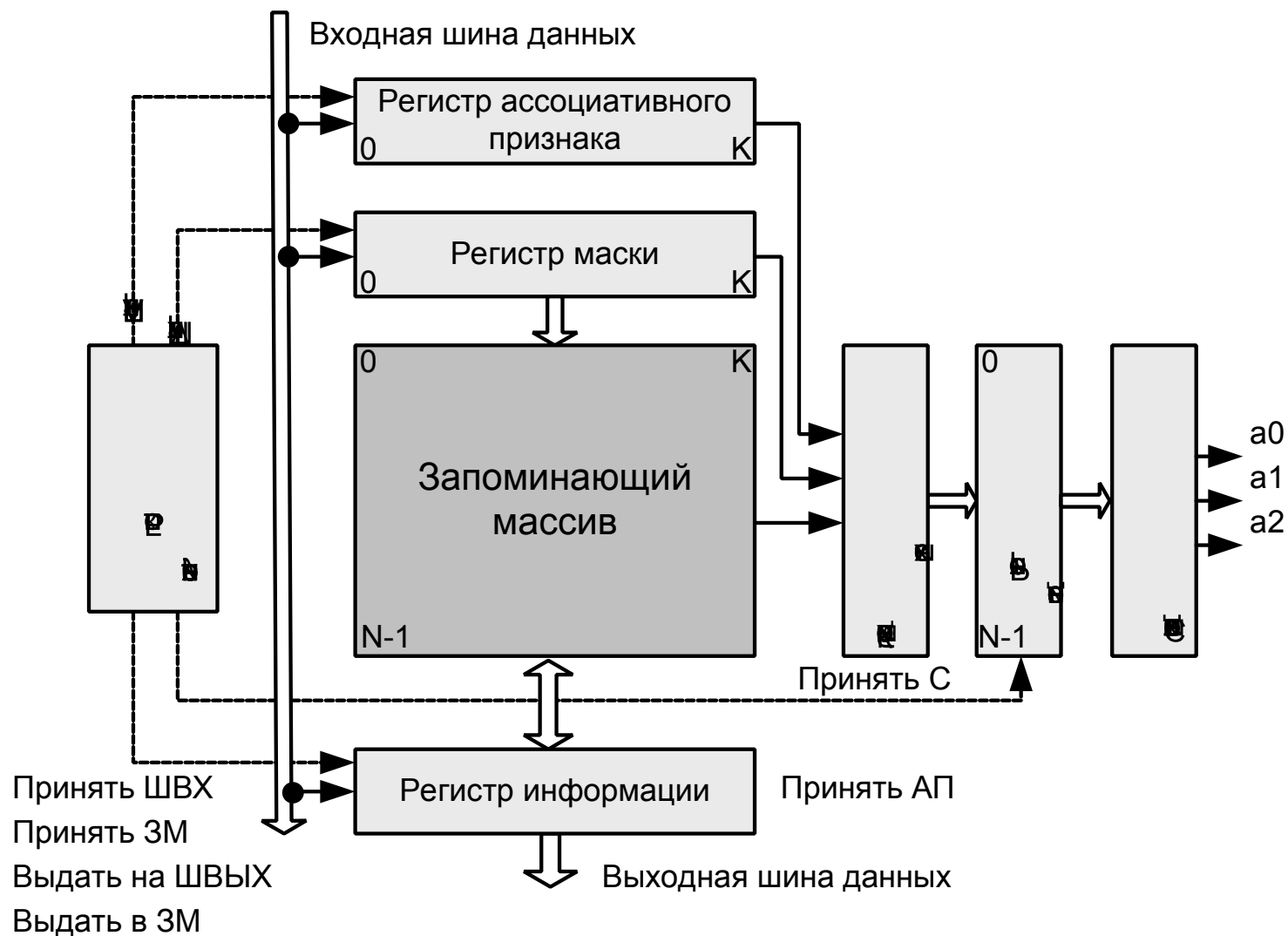
## Латентность при обращении к подсистеме памяти

Тип обращения к памяти	Объем памяти, байт	Латентность, такты процессора
Регистры процессора	$2^6 \dots 2^{10}$	1
Кэш первого уровня	$2^{14} \dots 2^{16}$	2..4
Кэш второго уровня	$2^{15} \dots 2^{22}$	10..12
Кэш третьего уровня	$2^{21} \dots 2^{26}$	15..50
ОЗУ на одном кристалле с процессором при попадании в TLB (доступ по случайным адресам)	$2^{14} \dots 2^{24}$	10..75
Внешнее ОЗУ при попадании в TLB (доступ по случайным адресам)	$2^{20} \dots 2^{40}$	200..400
Внешнее ОЗУ при промахе в TLB (доступ по случайным адресам)	$2^{20} \dots 2^{40}$	2000..2500
Внешнее ОЗУ при выгруженной во внешний Flash диск странице	$2^{30} \dots 2^{42}$	$1 \cdot 10^5 \dots 1 \cdot 10^6$
Внешнее ОЗУ при выгруженной во внешний жесткий диск странице	$2^{30} \dots 2^{50}$	$1 \cdot 10^6 \dots 1 \cdot 10^8$

# Обобщенная схема адресного ЗУ

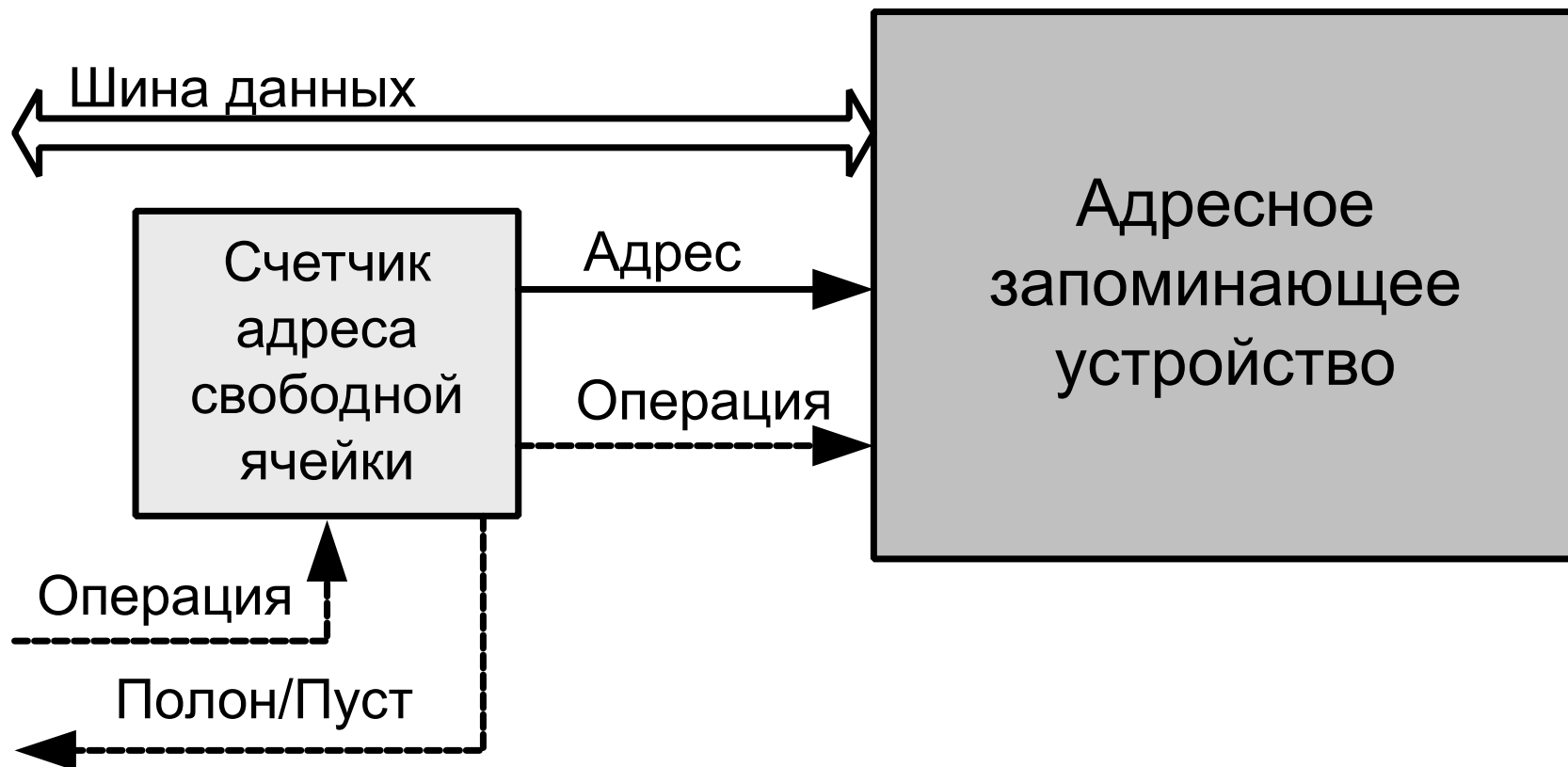


# Обобщенная схема ассоциативного ЗУ



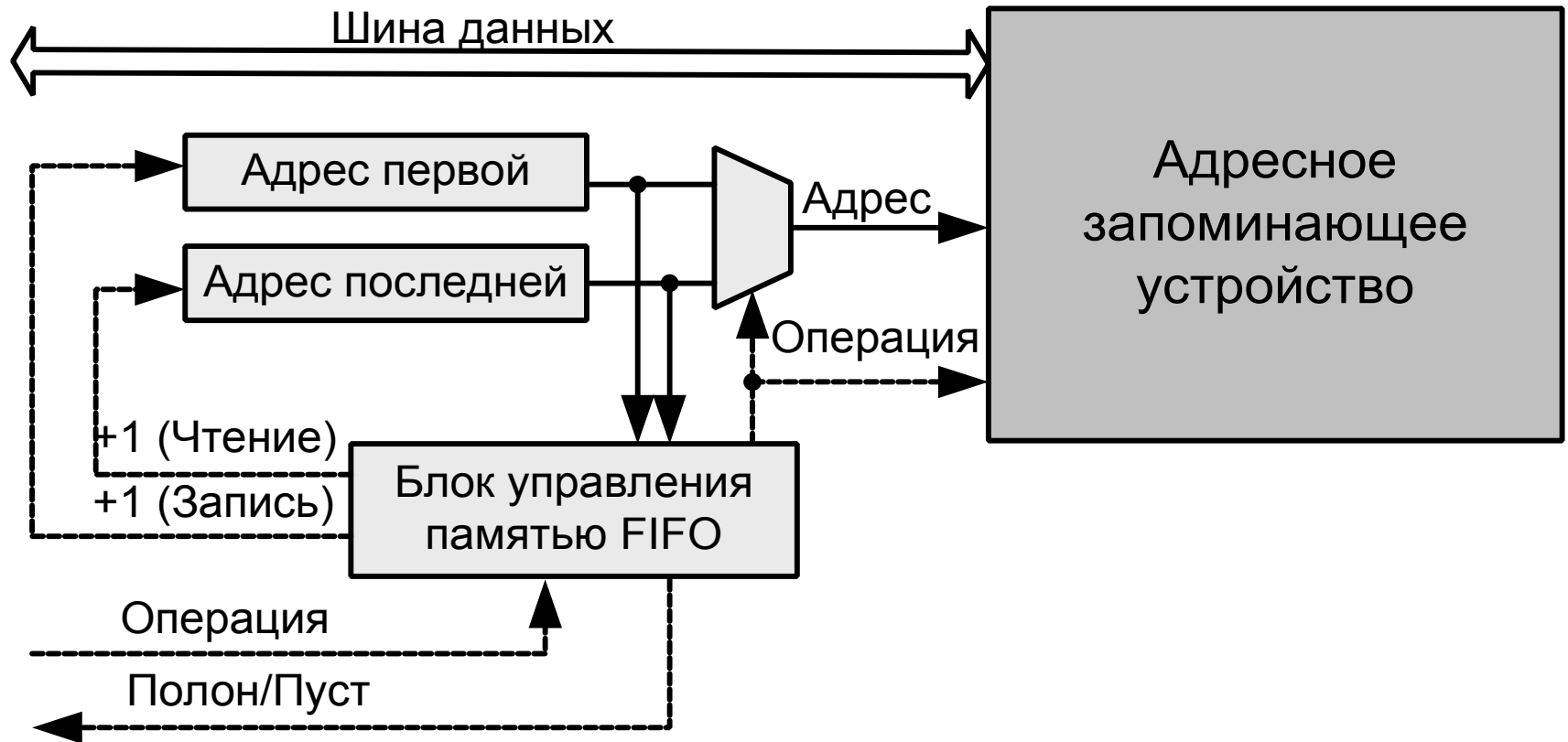
# Обобщенная схема последовательного ЗУ

Стек (память типа LIFO)





## Буфер (память типа FIFO)



# Адресные запоминающие устройства

## Постоянные ЗУ, ПЗУ (ROM)

МПЗУ (MROM)

ППЗУ (PROM)

РПЗУ-УФ (EPROM)

ОПРПЗУ-УФ (EPROM-ОТР)

РПЗУ-ЭС (EEPROM)

FLASH

## ЗУ с произвольным доступом (RAM)

### Динамические ЗУПД (DRAM)

Использующие кучность  
адресов

FPM DRAM

EDO DRAM

BEDO DRAM

SDRAM

DDR SDRAM

RDRAM

Не использующие кучность  
адресов

DRAM

RLDRAM

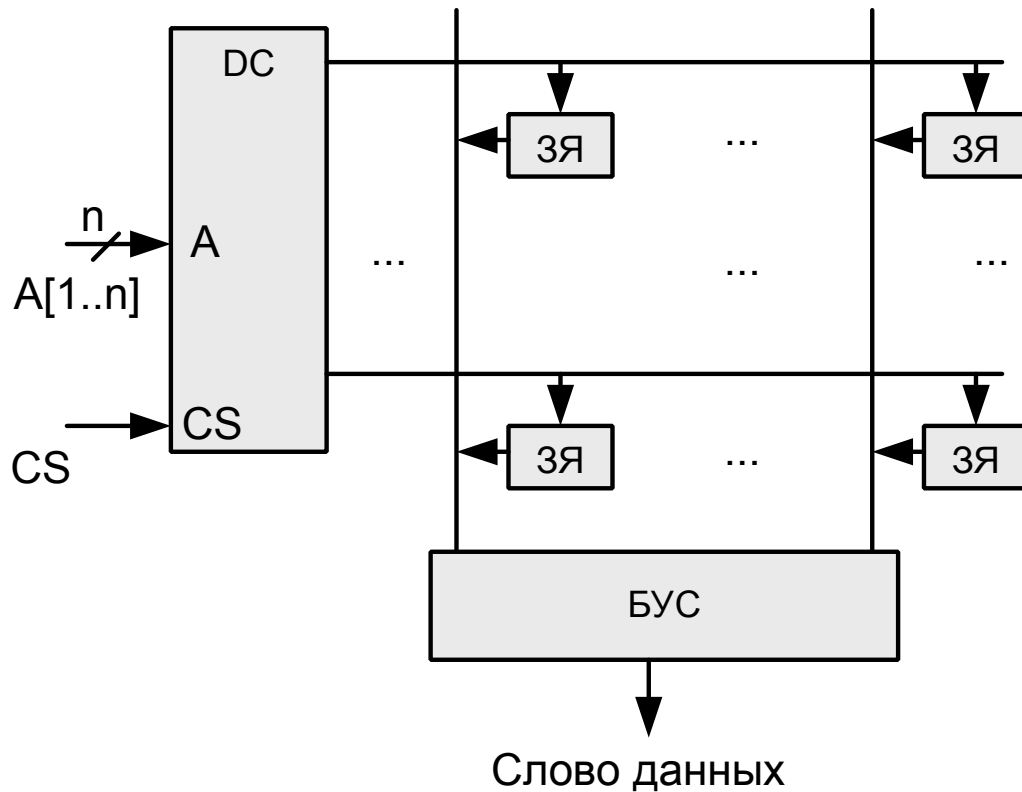
### Статические ЗУПД (SRAM)

Асинхронные

Синхронные

# Организация запоминающих массивов адресных ЗУ

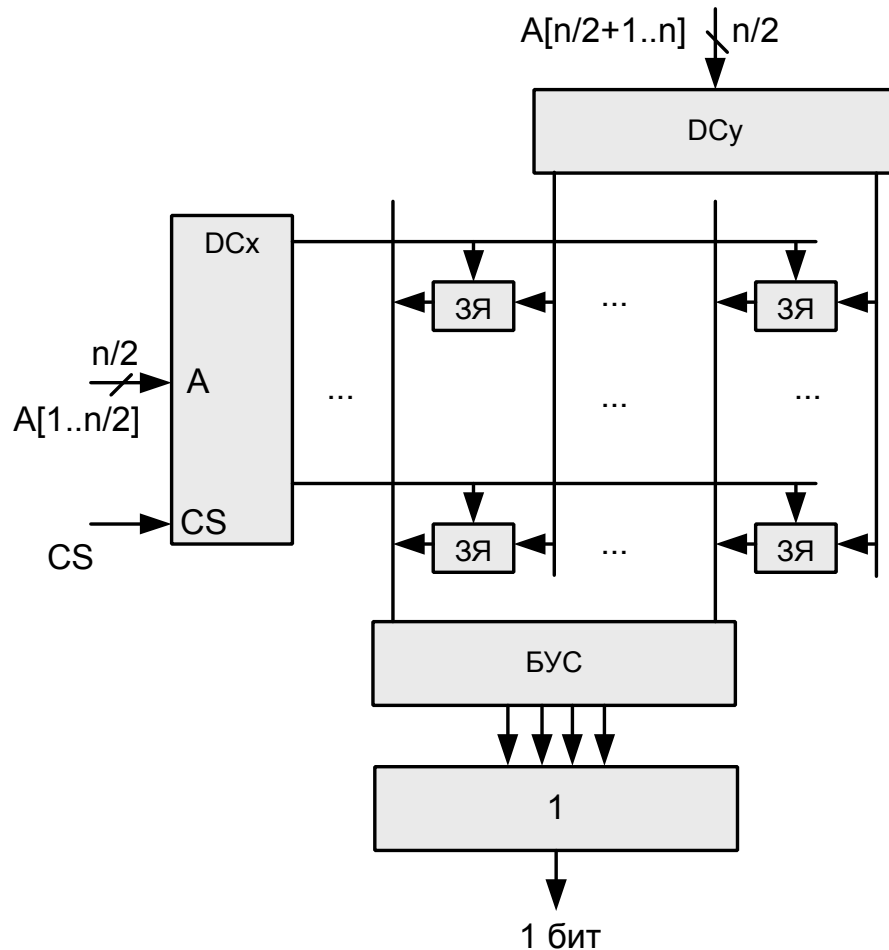
## Структура ЗМ типа 2D



Количество выходов  
дешифратора равно  
количеству слов в  
памяти ( $2^n$ )

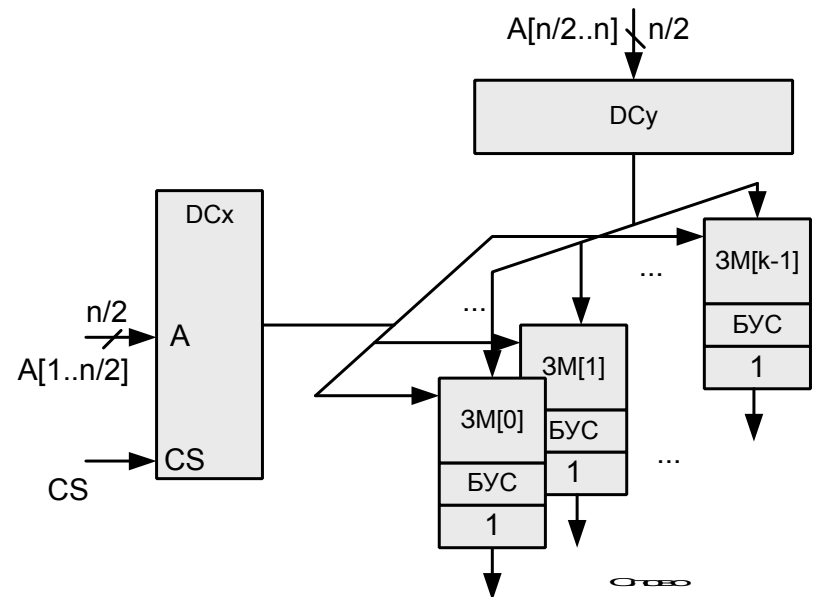
Структура применима  
только для  
малоразмерных ЗУ

# Структура 3М типа 3D

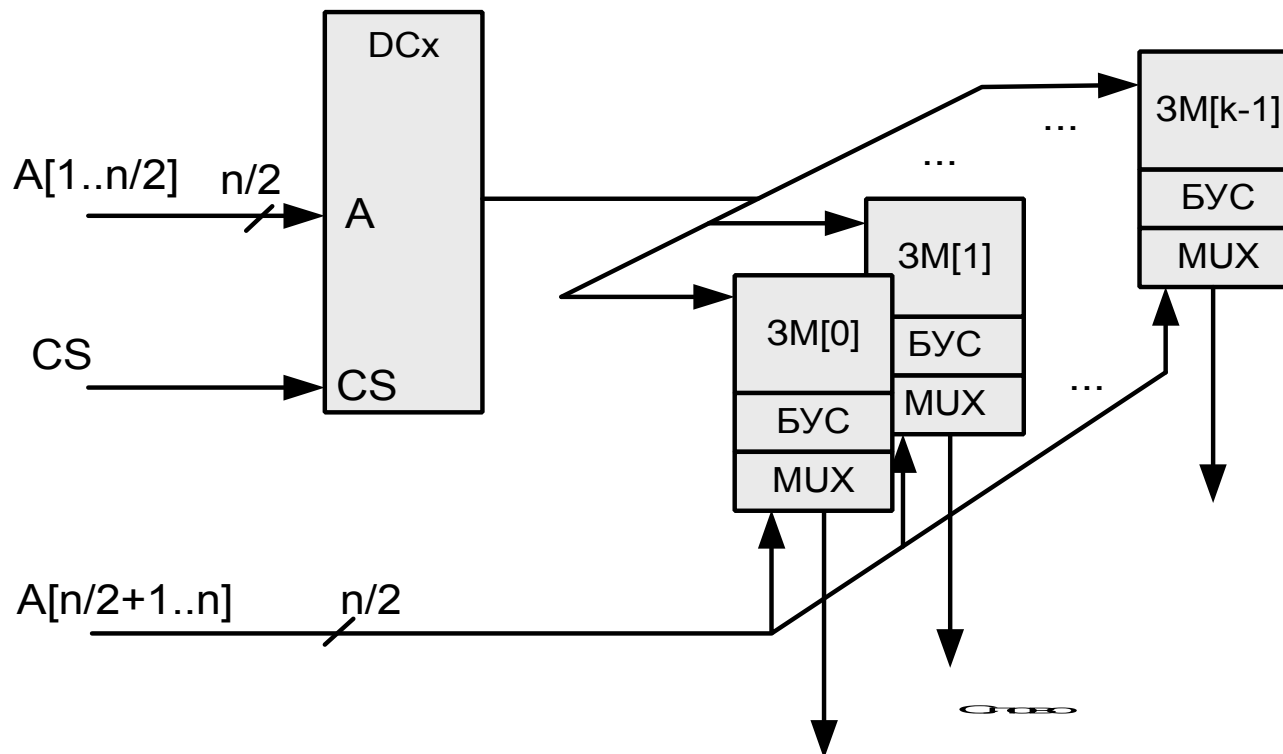


Адрес делится на две части (двухкоординатная выборка).

Количество выходов дешифраторов:  $2^{n/2} + 2^{n/2}$



## Структура 3М типа 2DM

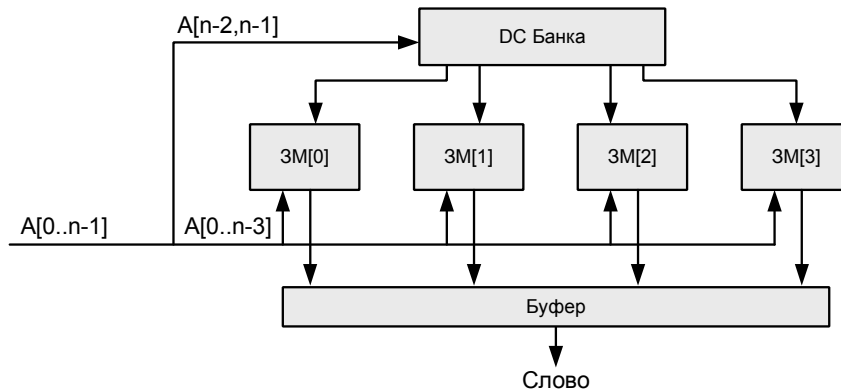


Мультиплексоры позволяют выбрать один из  $2^{n/2}$  разрядов каждом из запоминающих массивов

- Размеры массивов близки к оптимальным.
- Количество линий записи/считывания минимально.

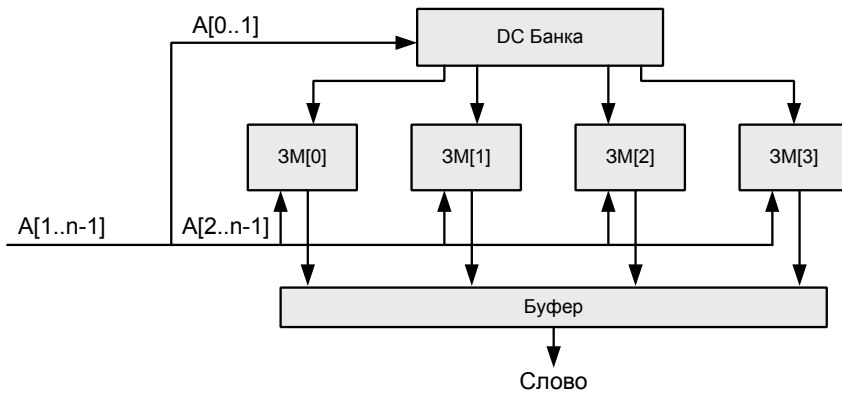
# Расслоение памяти

## Блочное разделение адреса



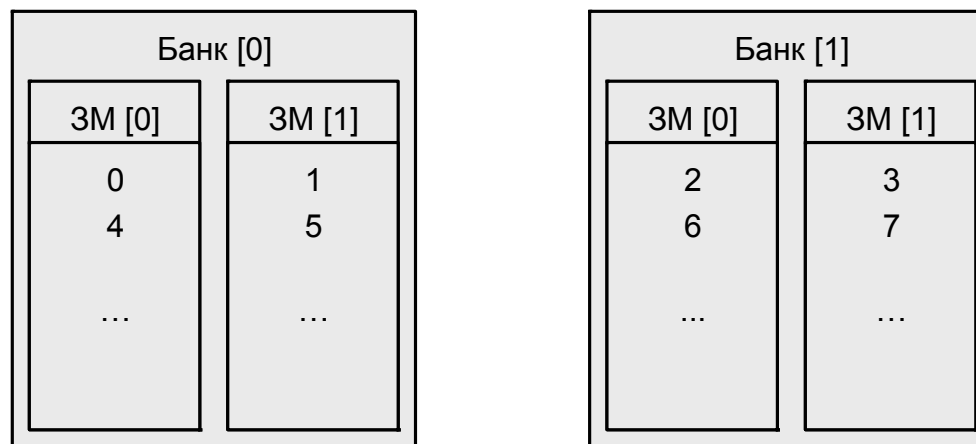
Номер банка определяется старшей частью адреса.

## Циклическое разделение адреса



Номер банка определяется младшей частью адреса

# Блочное-циклическое разделение адреса



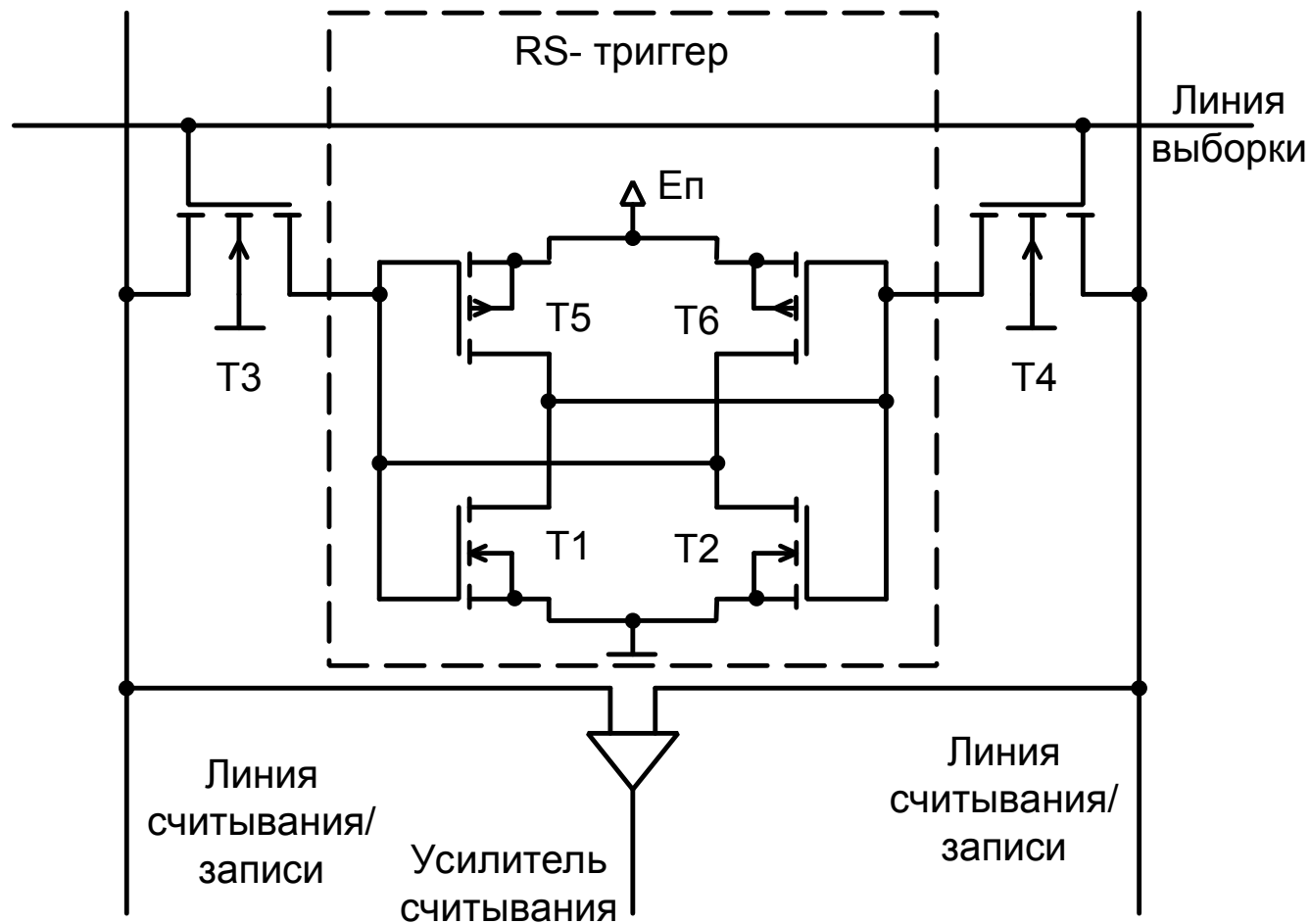
Блочное-циклический способ обеспечивает возможность пакетной передачи и ускоряет доступ при кучности адресов

## Пример разделения адреса в SDRAM (PIII, P4)



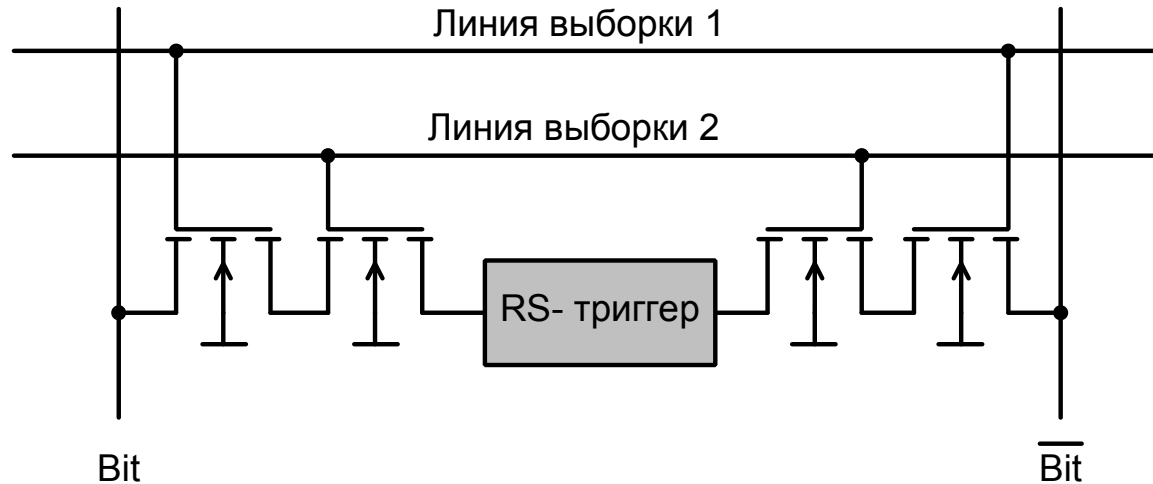
# Статические ЗУ с произвольной выборкой (SRAM)

## Запоминающая ячейка статической памяти

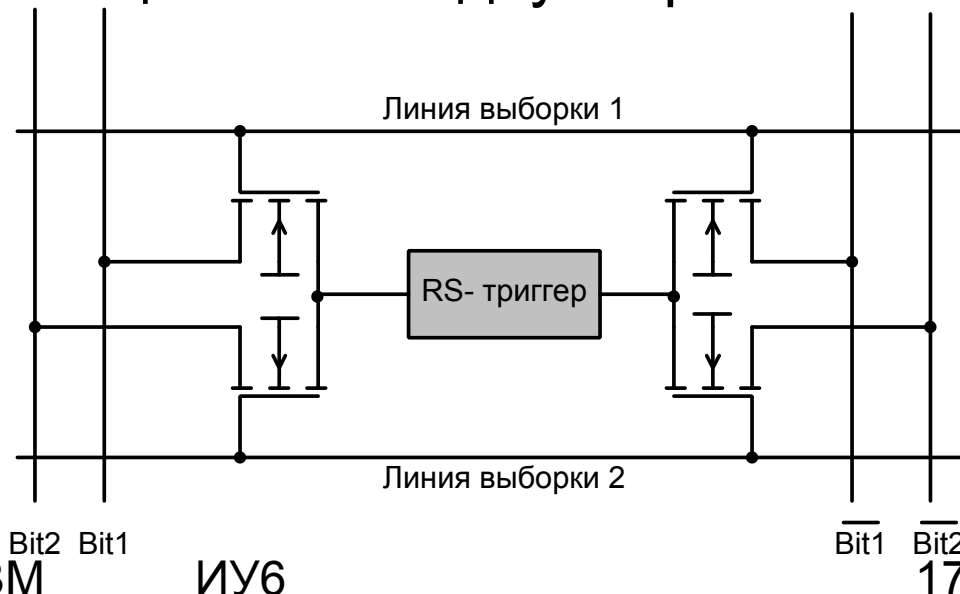




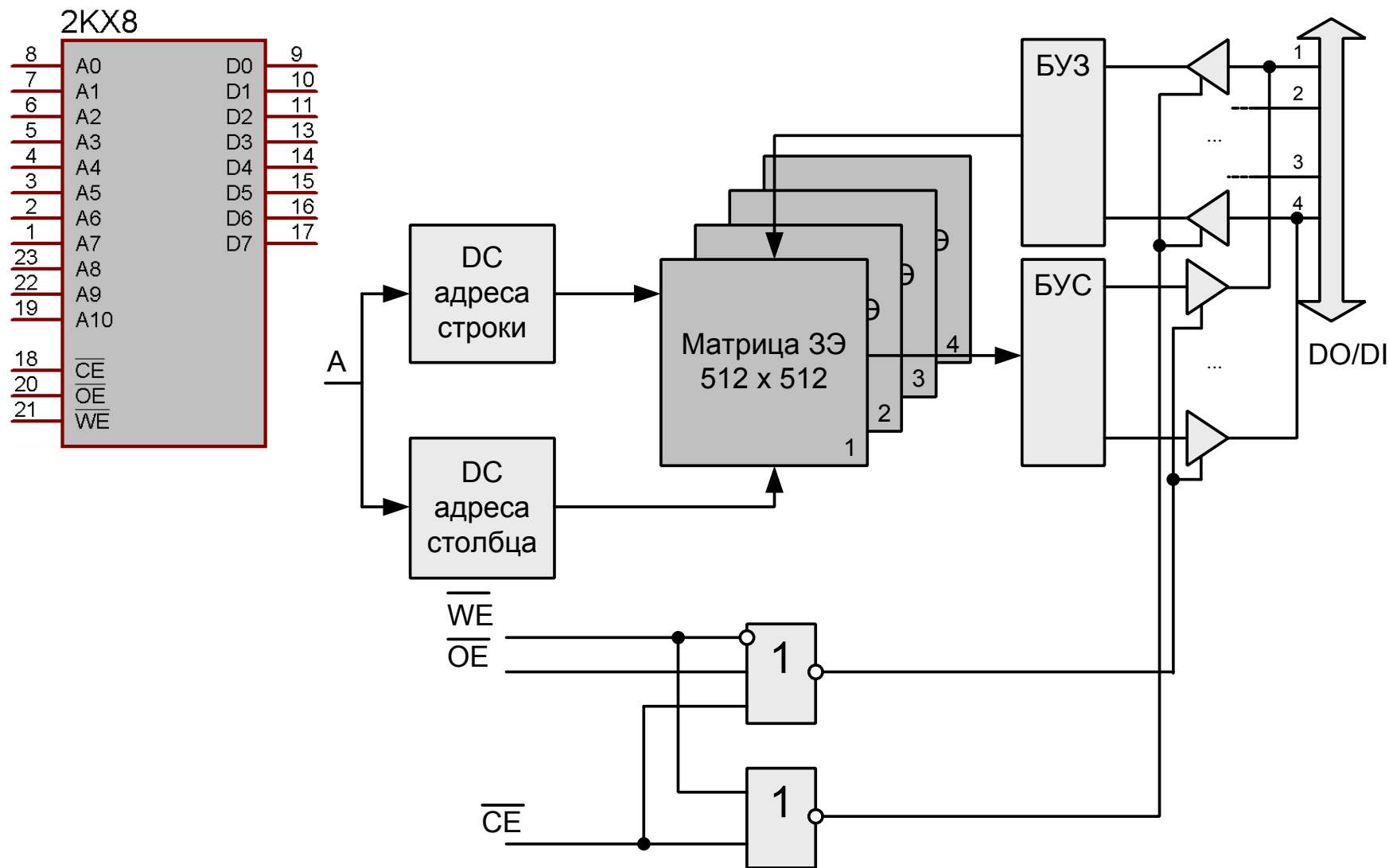
# Запоминающая ячейка с двухкоординатной выборкой



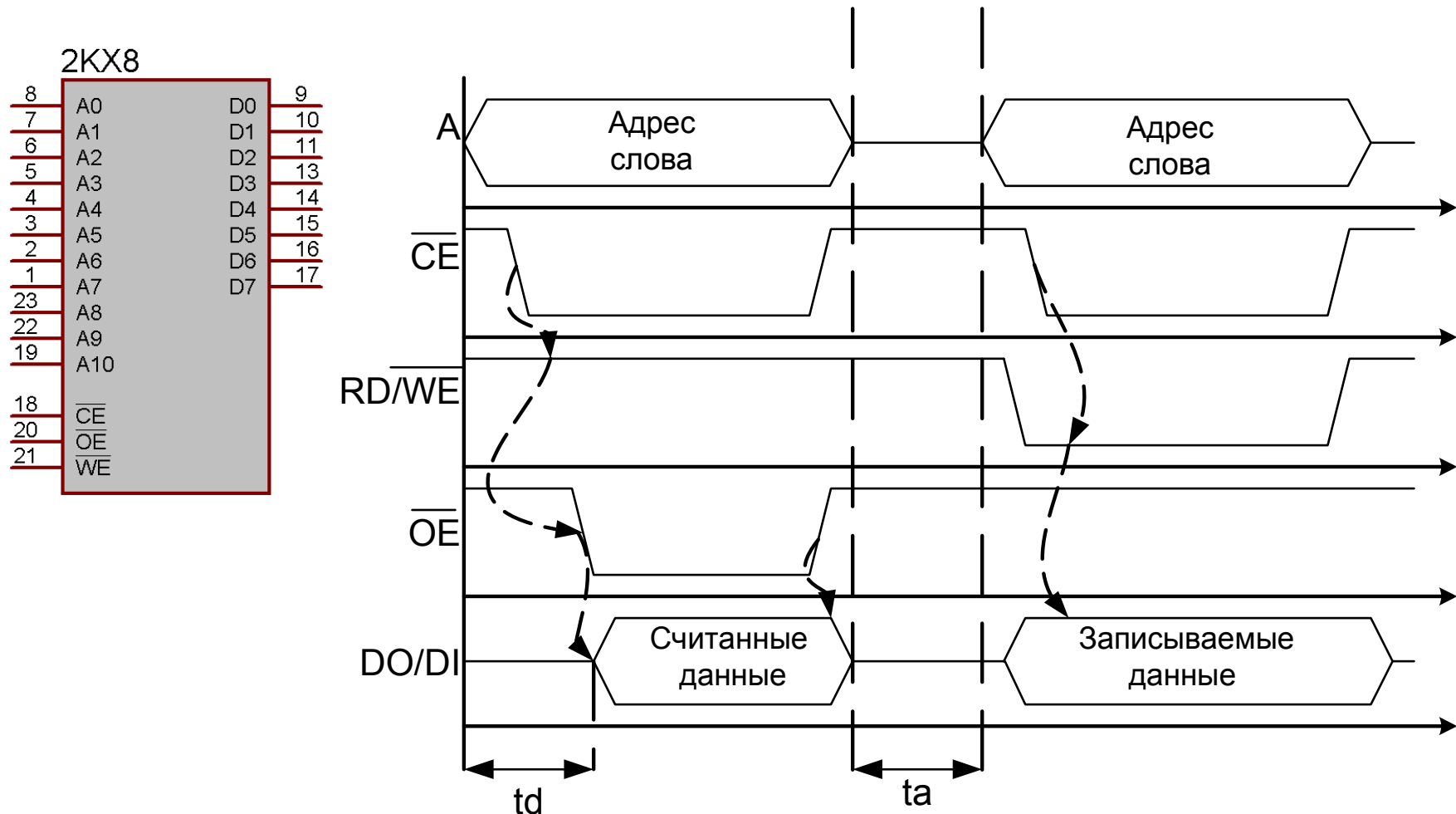
# Запоминающая ячейка двухпортовой выборкой



# Микросхема статической памяти

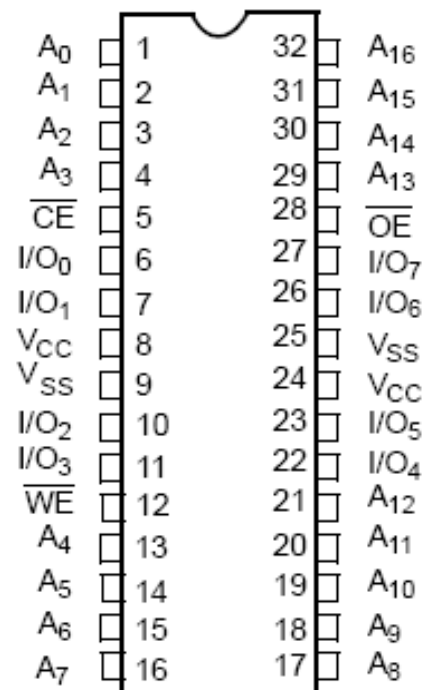
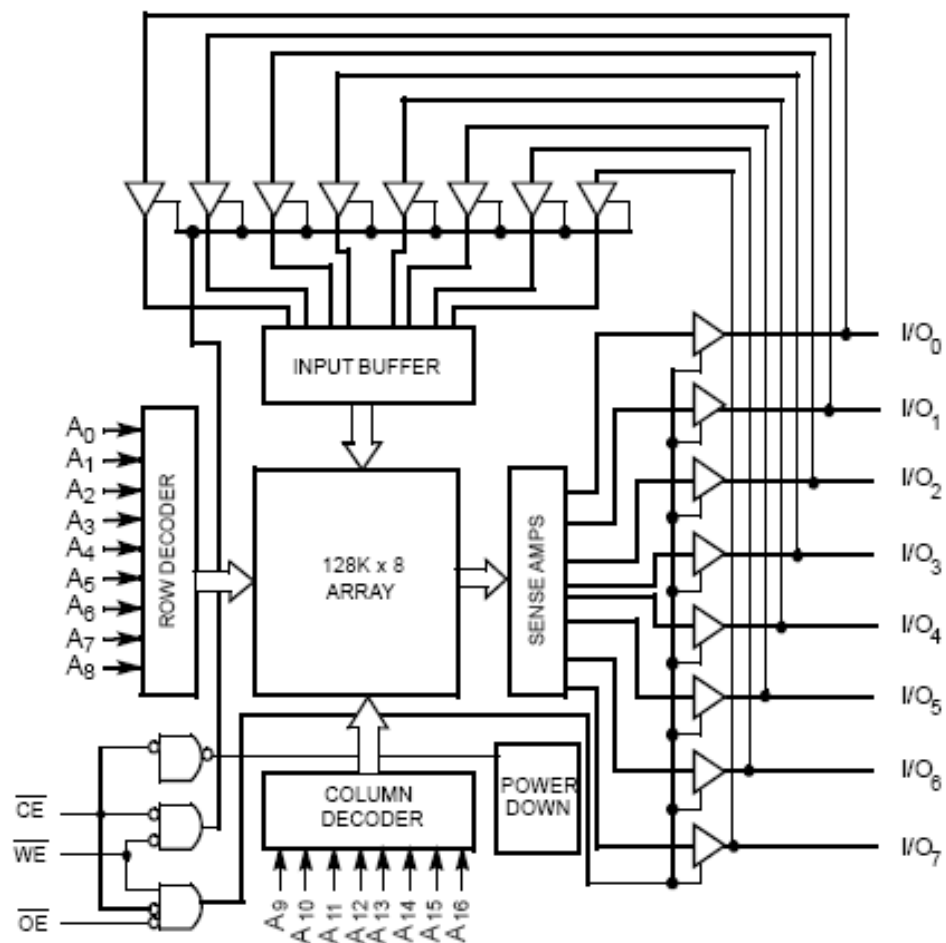


# Диаграмма работы статической памяти



SOJ/TSOP II

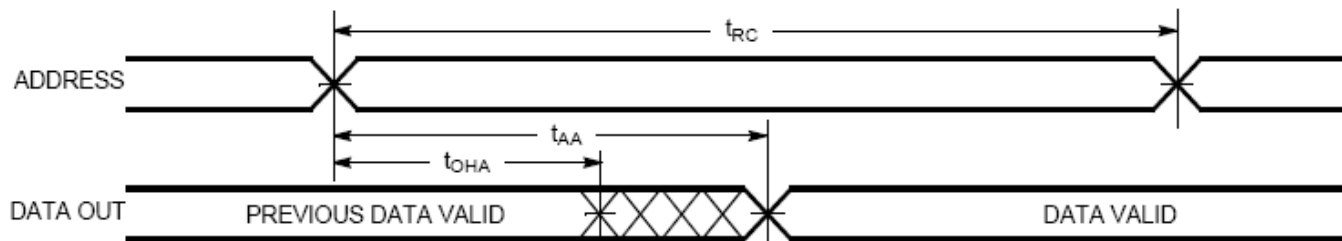
Top View

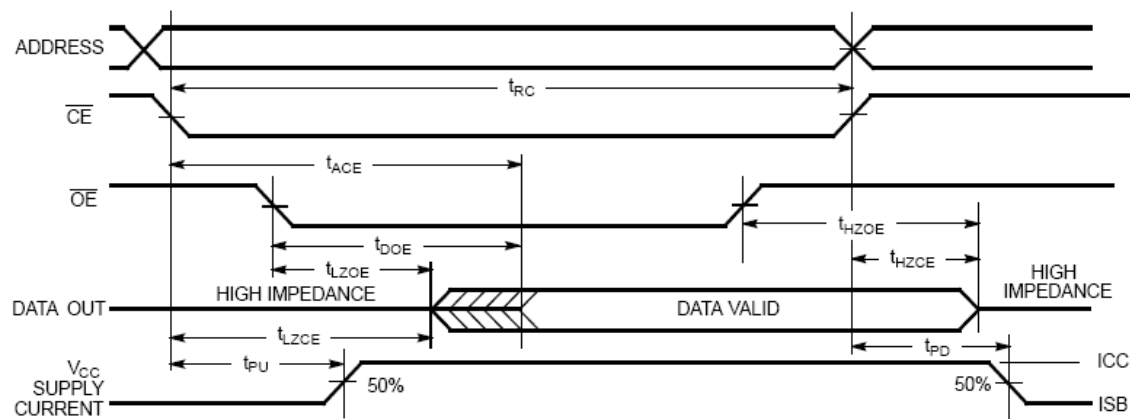
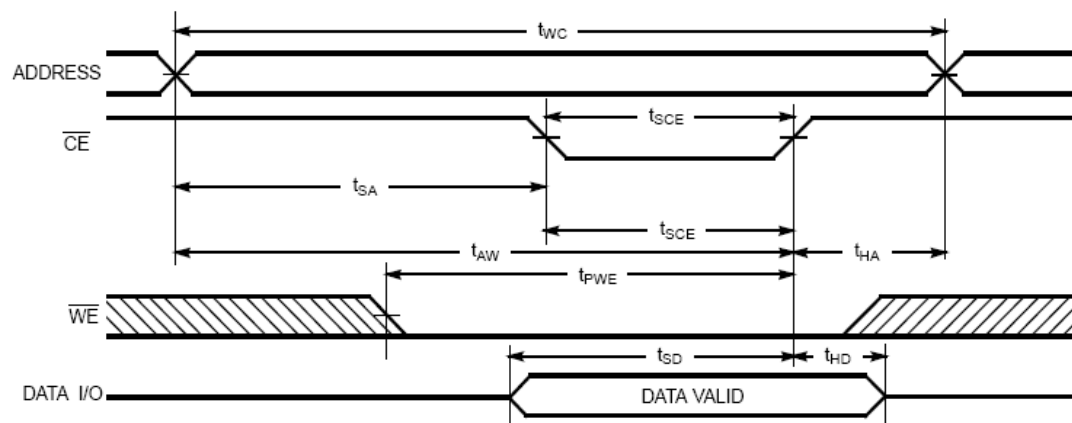


### Truth Table

$\overline{\text{CE}}$	$\overline{\text{OE}}$	$\overline{\text{WE}}$	I/O <sub>0</sub> –I/O <sub>7</sub>	Mode	Power
H	X	X	High Z	Power-Down	Standby ( $I_{\text{SB}}$ )
L	L	H	Data Out	Read	Active ( $I_{\text{CC}}$ )
L	X	L	Data In	Write	Active ( $I_{\text{CC}}$ )
L	H	H	High Z	Selected, Outputs Disabled	Active ( $I_{\text{CC}}$ )

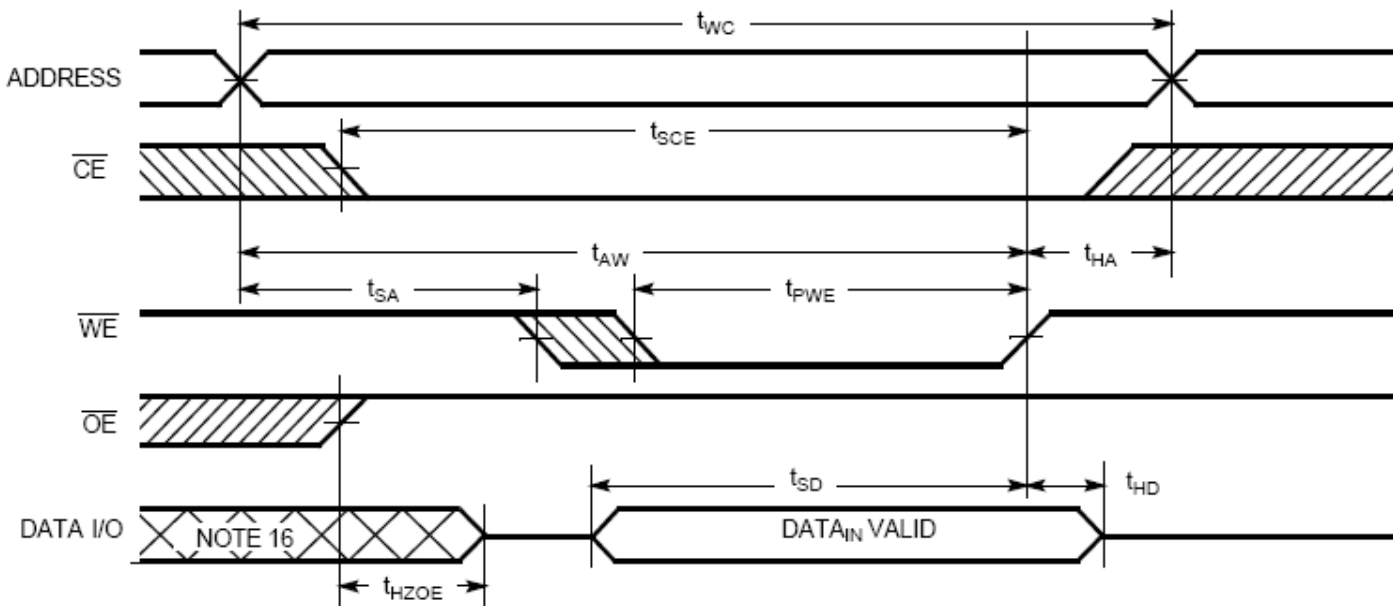
### Read Cycle No. 1<sup>[11, 12]</sup>



Read Cycle No. 2 ( $\overline{OE}$  Controlled)<sup>[12, 13]</sup>Write Cycle No. 1 ( $\overline{CE}$  Controlled)<sup>[14, 15]</sup>**Notes:**

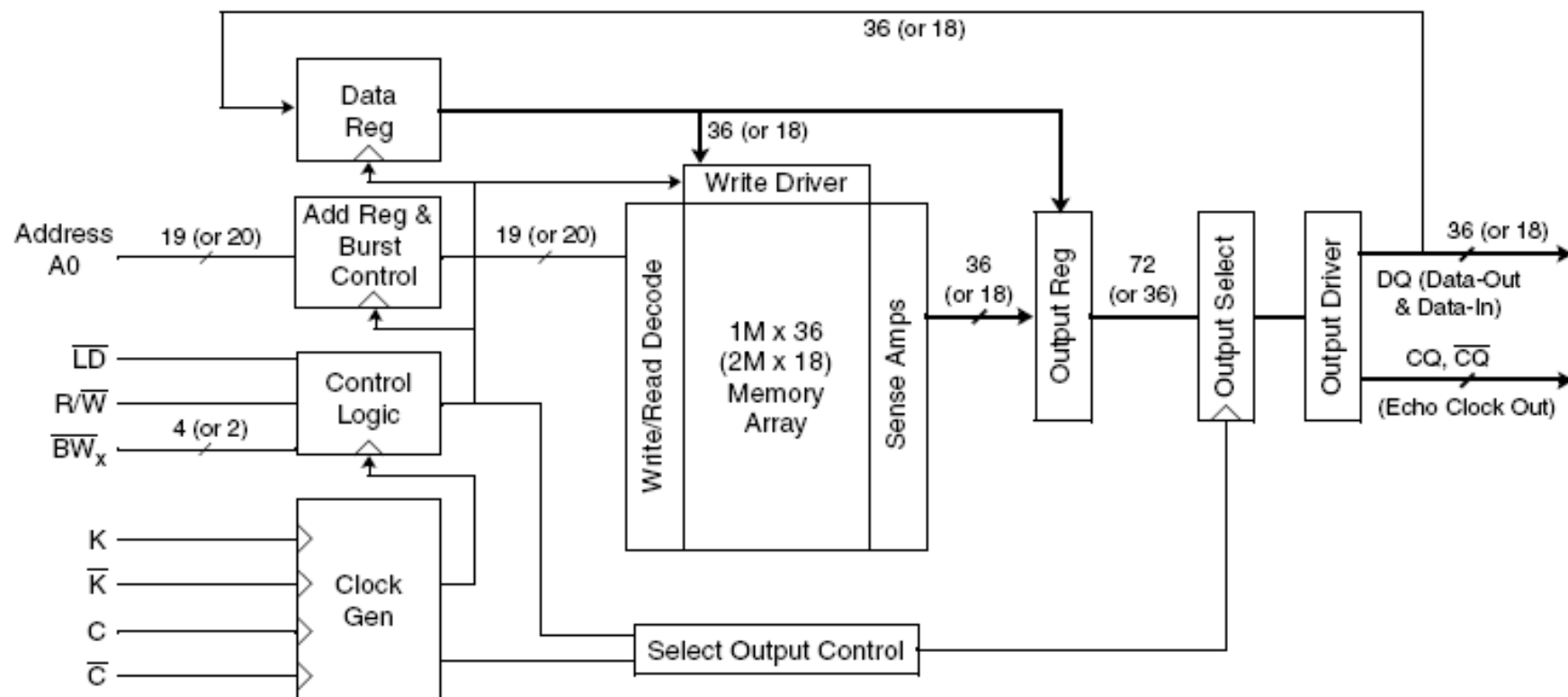
11. Device is continuously selected.  $\overline{OE}$ ,  $\overline{CE}$  =  $V_{IL}$ .
12.  $\overline{WE}$  is HIGH for read cycle.
13. Address valid prior to or coincident with  $\overline{CE}$  transition LOW.
14. Data I/O is high impedance if  $\overline{OE}$  =  $V_{IL}$ .
15. If  $\overline{CE}$  goes HIGH simultaneously with  $\overline{WE}$  going HIGH, the output remains in a high-impedance state.

Write Cycle No. 2 ( $\overline{\text{WE}}$  Controlled,  $\overline{\text{OE}}$  HIGH During Write)<sup>[14, 15]</sup>



# 36 Mb (1M x 36 & 2M x 18) DDR-II (Burst of 2) CIO Synchronous SRAMs

**ISSI®**





# 36 Mb (1M x 36 & 2M x 18) DDR-II (Burst of 2) CIO Synchronous SRAMs

**ISSI<sup>®</sup>**

## Features

- 1M x 36 or 2M x 18.
- On-chip delay-locked loop (DLL) for wide data valid window.
- Common data input/output bus.
- Synchronous pipeline read with self-timed late write operation.
- Double data rate (DDR-II) interface for read and write input ports.
- Fixed 2-bit burst for read and write operations.
- Clock stop support.
- Two input clocks (K and  $\overline{K}$ ) for address and control registering at rising edges only.
- Two input clocks (C and  $\overline{C}$ ) for data output control.
- Two echo clocks (CQ and  $\overline{CQ}$ ) that are delivered simultaneously with data.
- +1.8V core power supply and 1.5, 1.8V  $V_{DDQ}$ , used with 0.75, 0.9V  $V_{REF}$
- HSTL input and output levels.
- Registered addresses, write and read controls, byte writes, data in, and data outputs.
- Full data coherency.
- Boundary scan using limited set of JTAG 1149.1 functions.
- Byte write capability.
- Fine ball grid array (FBGA) package
  - 15mm x 17mm body size
  - 1mm pitch
  - 165-ball (11 x 15) array
- Programmable impedance output drivers via 5x user-supplied precision resistor.

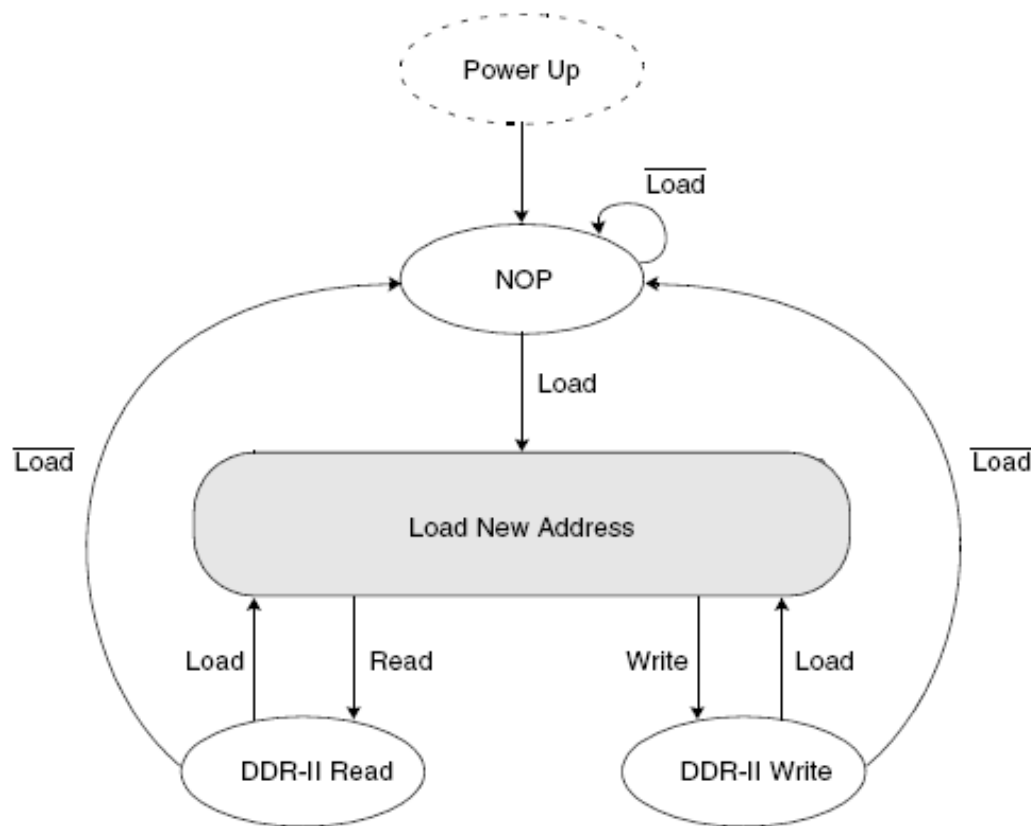
# 36 Mb (1M x 36 & 2M x 18) DDR-II (Burst of 2) CIO Synchronous SRAMs

**ISSI<sup>®</sup>**

Symbol	Pin Number	Description
K, $\overline{K}$	6B, 6A	Input clock.
C, $\overline{C}$	6P, 6R	Input clock for output data control.
CQ, $\overline{CQ}$	11A, 1A	Output echo clock.
$\overline{Doff}$	1H	DLL disable when low.
SA <sub>0</sub>	6C	Burst count address input.
SA	9A, 4B, 8B, 5C, 7C, 5N, 6N, 7N, 4P, 5P, 7P, 8P, 3R, 4R, 5R, 7R, 8R, 9R	1M x 36 address inputs.
SA	3A, 9A, 4B, 8B, 5C, 7C, 5N, 6N, 7N, 4P, 5P, 7P, 8P, 3R, 4R, 5R, 7R, 8R, 9R	2M x 18 address inputs.
DQ0–DQ8 DQ9–DQ17 DQ18–DQ26 DQ27–DQ35	11P, 11M, 11L, 11K, 11J, 11F, 11E, 11C, 11B 10P, 11N, 10M, 10K, 10J, 11G, 10E, 11D, 10C 3B, 3D, 3E, 3F, 3G, 3K, 3L, 3N, 3P 2B, 3C, 2D, 2F, 2G, 3J, 2L, 3M, 2N	1M x 36 DQ pins
DQ0–DQ8 DQ9–DQ17	11P, 10M, 11L, 11K, 10J, 11F, 11E, 10C, 11B 2B, 3D, 3E, 2F, 3G, 3K, 2L, 3N, 3P	2M x 18 DQ pins
R/ $\overline{W}$	4A	Read/write control. Read when active high.
$\overline{LD}$	8A	Synchronizes load. Loads new address when low.
$\overline{BW}_0, \overline{BW}_1, \overline{BW}_2, \overline{BW}_3$	7B, 7A, 5A, 5B	1M x 36 byte write control, active low.
$\overline{BW}_0, \overline{BW}_1$	7B, 5A	2M x 18 byte write control, active low.

# 36 Mb (1M x 36 & 2M x 18) DDR-II (Burst of 2) CIO Synchronous SRAMs

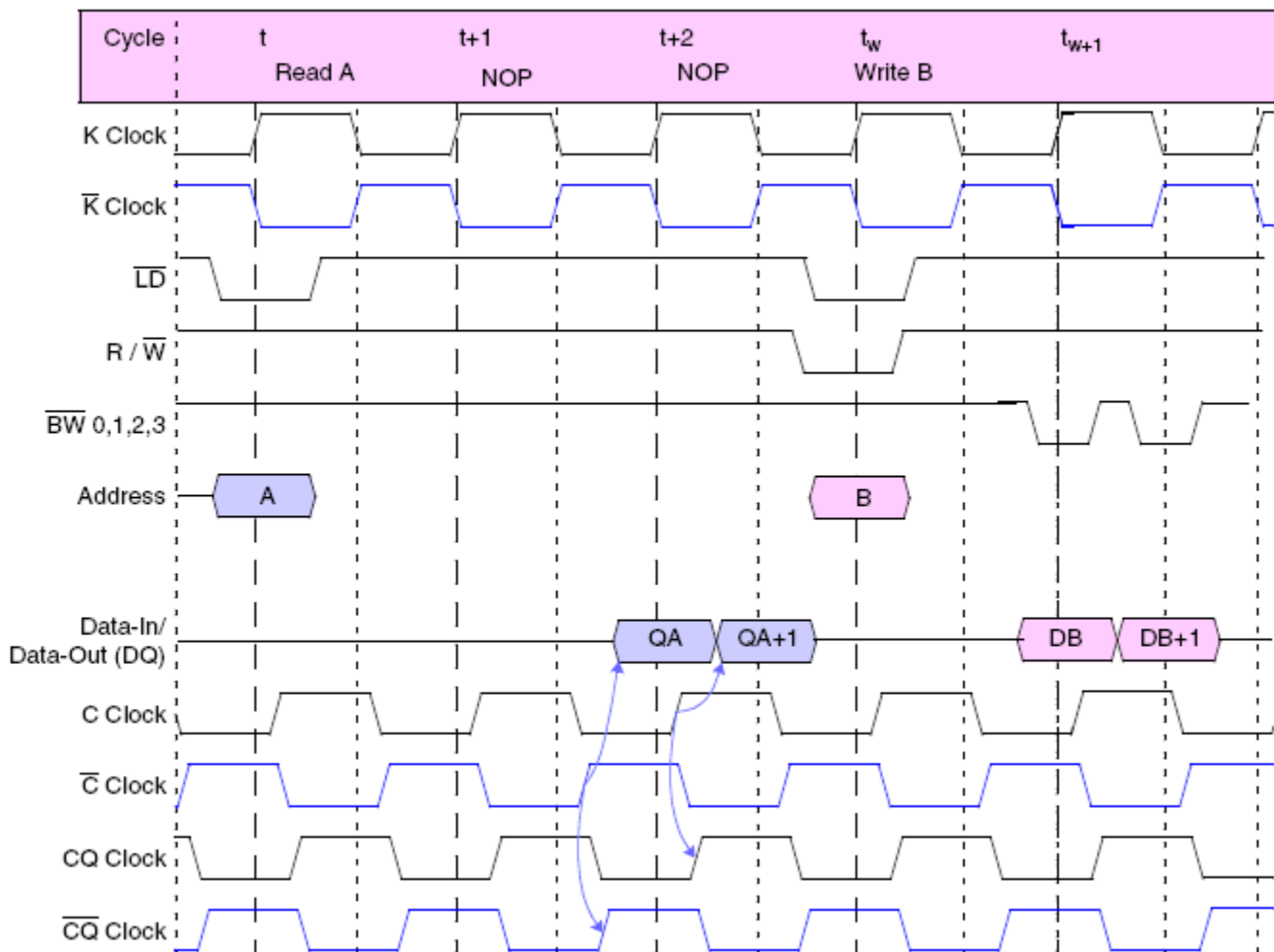
ISSI®



- Notes:** 1. Internal burst counter is fixed as two-bit linear; that is, when first address is A0+0, next internal burst address is A0+1.  
2. *Read* refers to read active status with  $R/\overline{W}$  = high.  
3. *Write* refers to write active status with  $R/\overline{W}$  = low.  
4. *Load* refers to read new address active status with  $\overline{LD}$  = low.  
5. *Load* is read new address inactive status with  $\overline{LD}$  = high.

# 36 Mb (1M x 36 & 2M x 18) DDR-II (Burst of 2) CIO Synchronous SRAMs

**ISSI<sup>®</sup>**



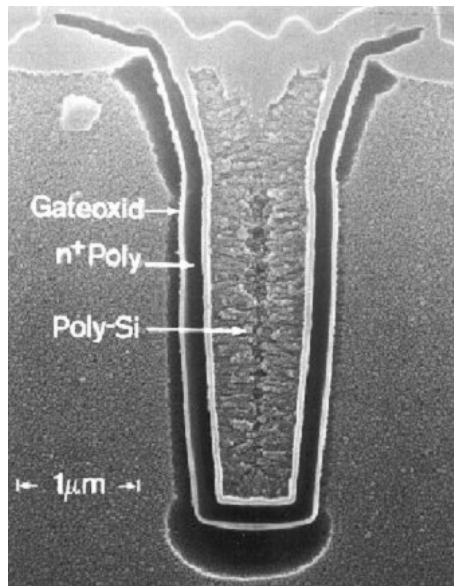
# Динамические ЗУ с произвольной выборкой (DRAM)

DRAM для обращения по произвольным адресам

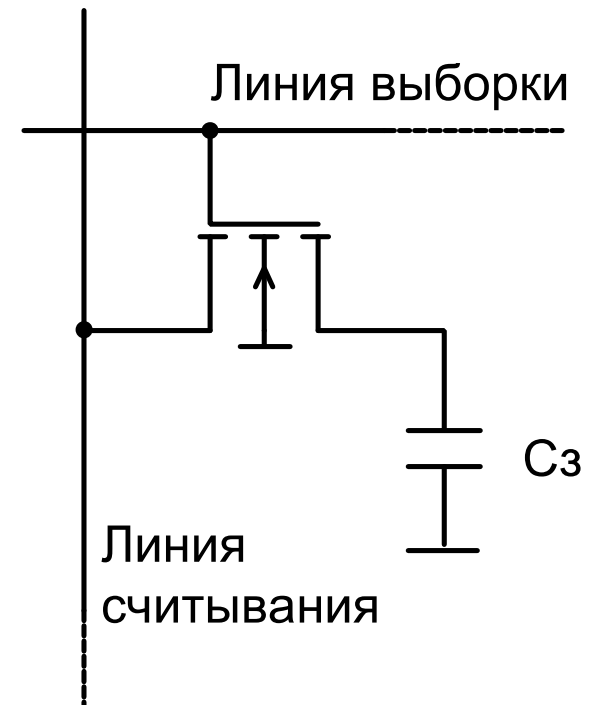
DRAM, RLD RAM

DRAM, оптимизированные для обращения по последовательным адресам:

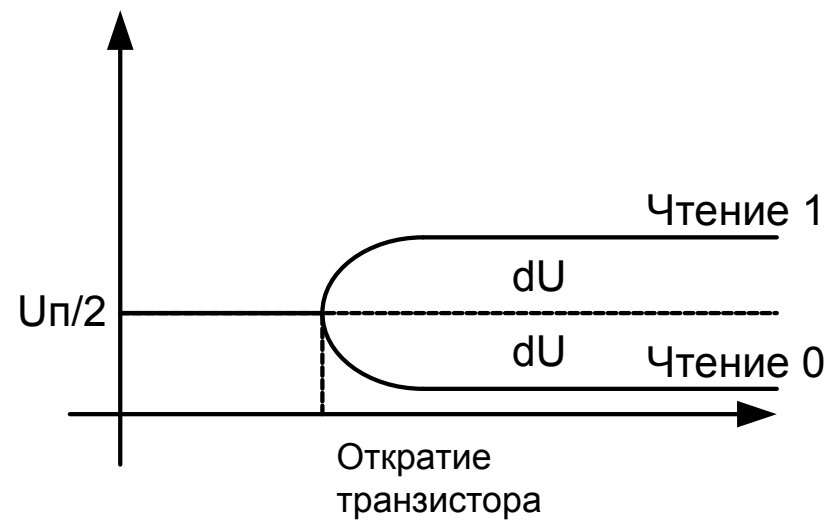
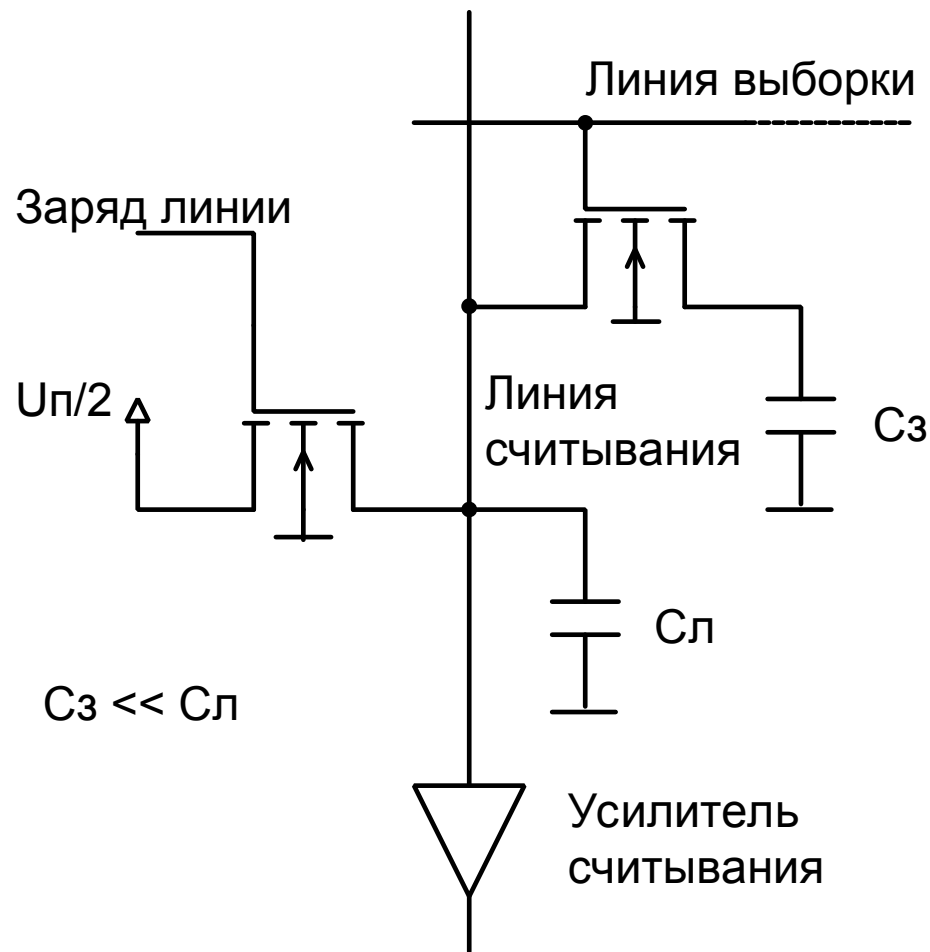
FPM DRAM, EDO DRAM, BEDO DRAM, SDRAM, DDR SDRAM, RDRAM



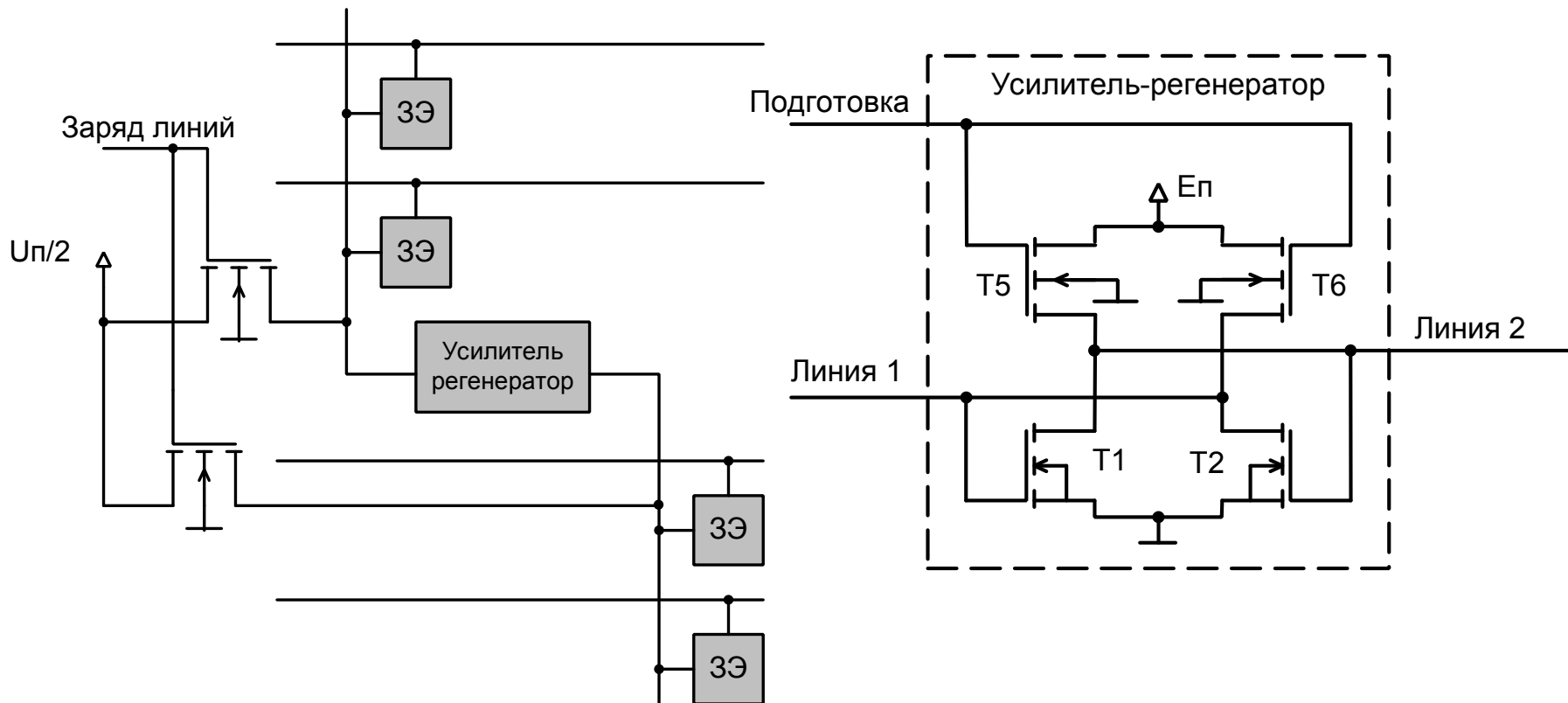
При выборке строки все  $C_3$  подключаются к линиям считывания. После считывания необходимо произвести обратную запись информации – регенерацию. Заряд до  $10^5 - 10^6$  электронов.



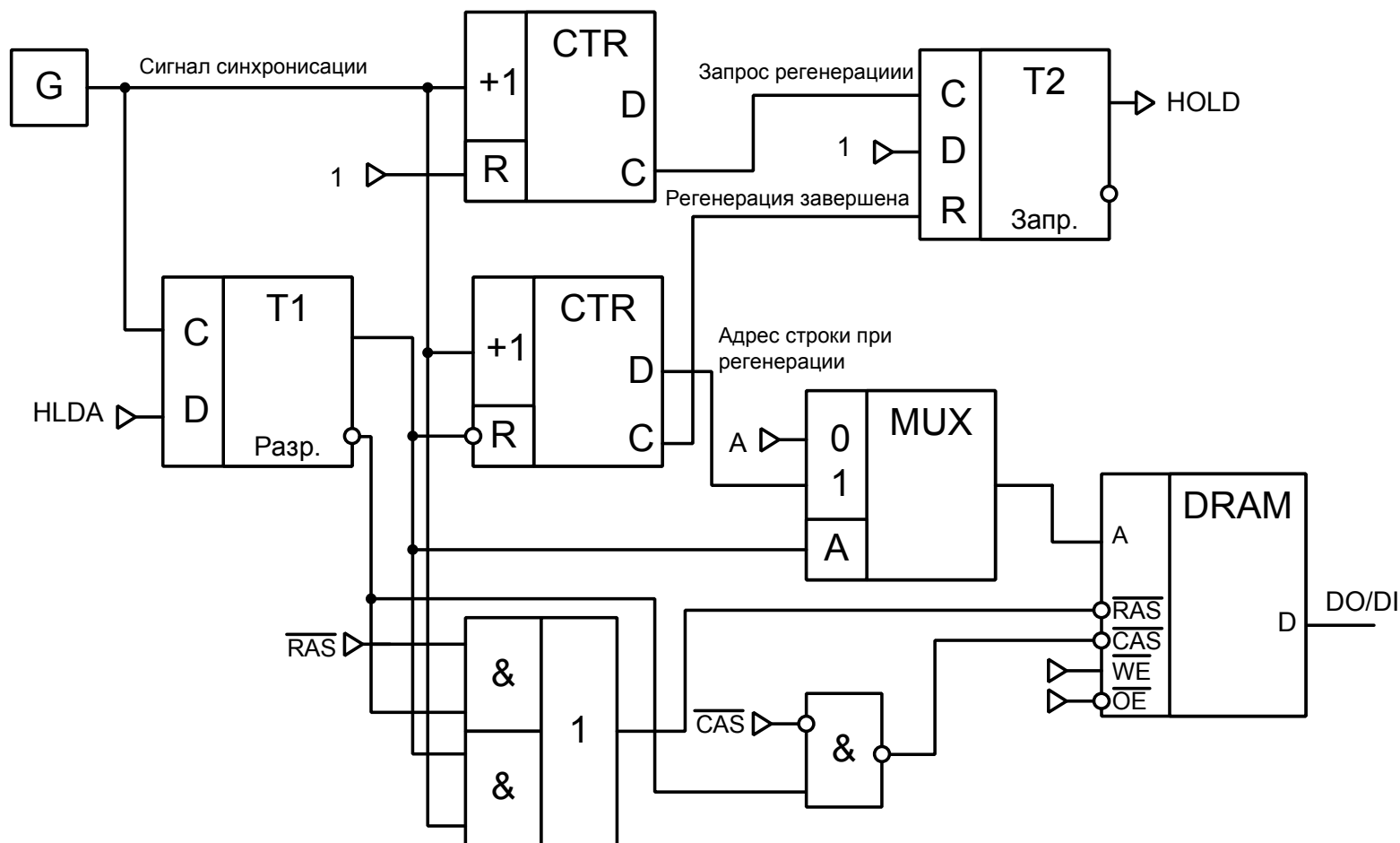
# Процесс считывания в DRAM



# Принцип действия усилителя-регенератора

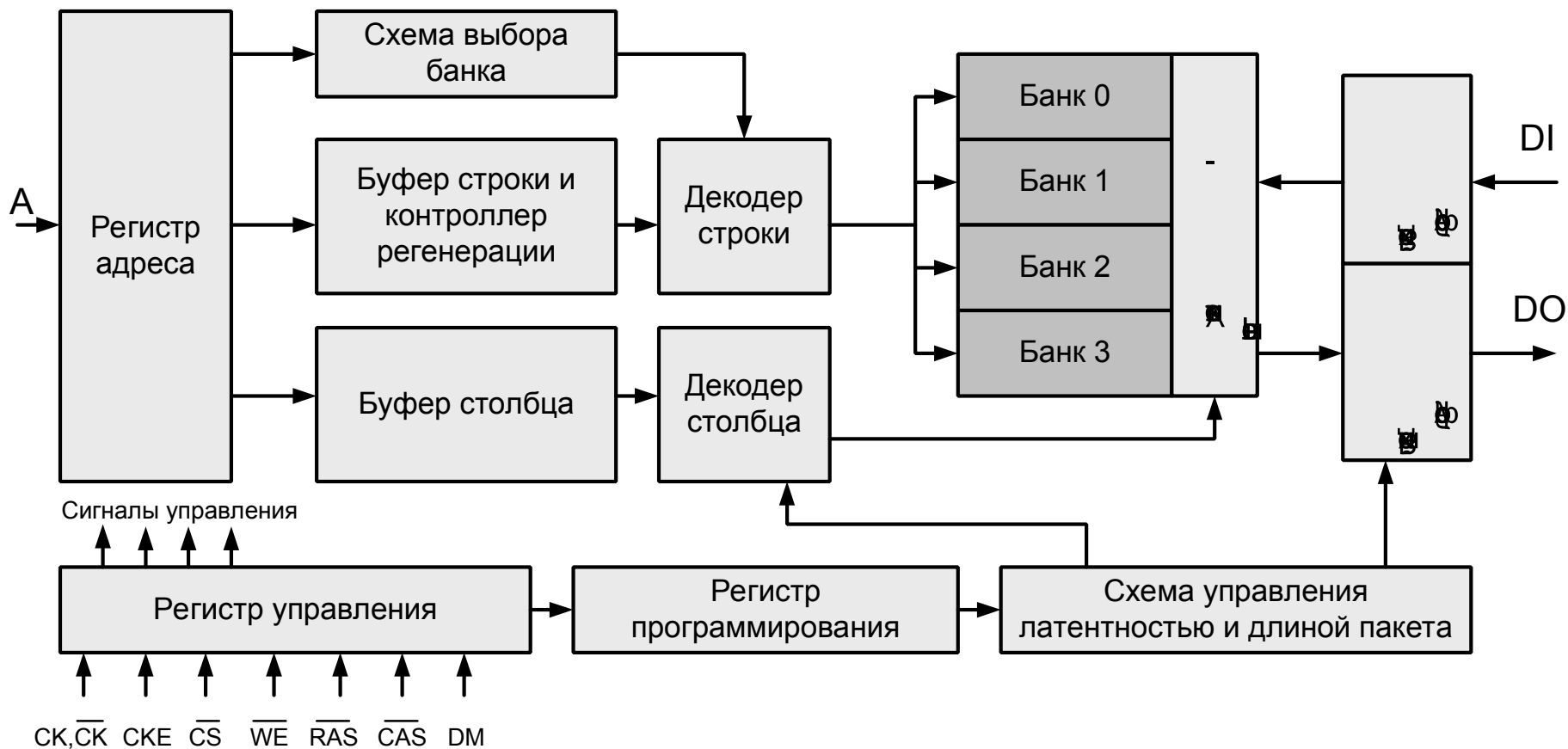


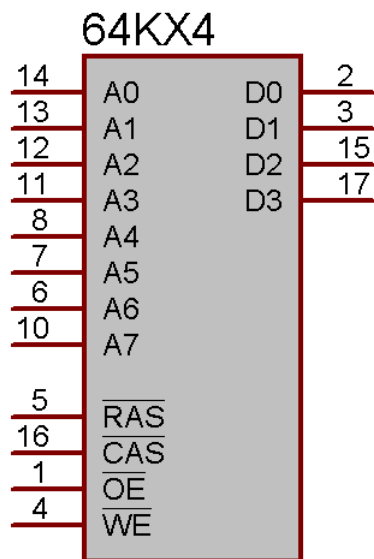
# Контроллер динамической памяти





# Микросхема динамической памяти

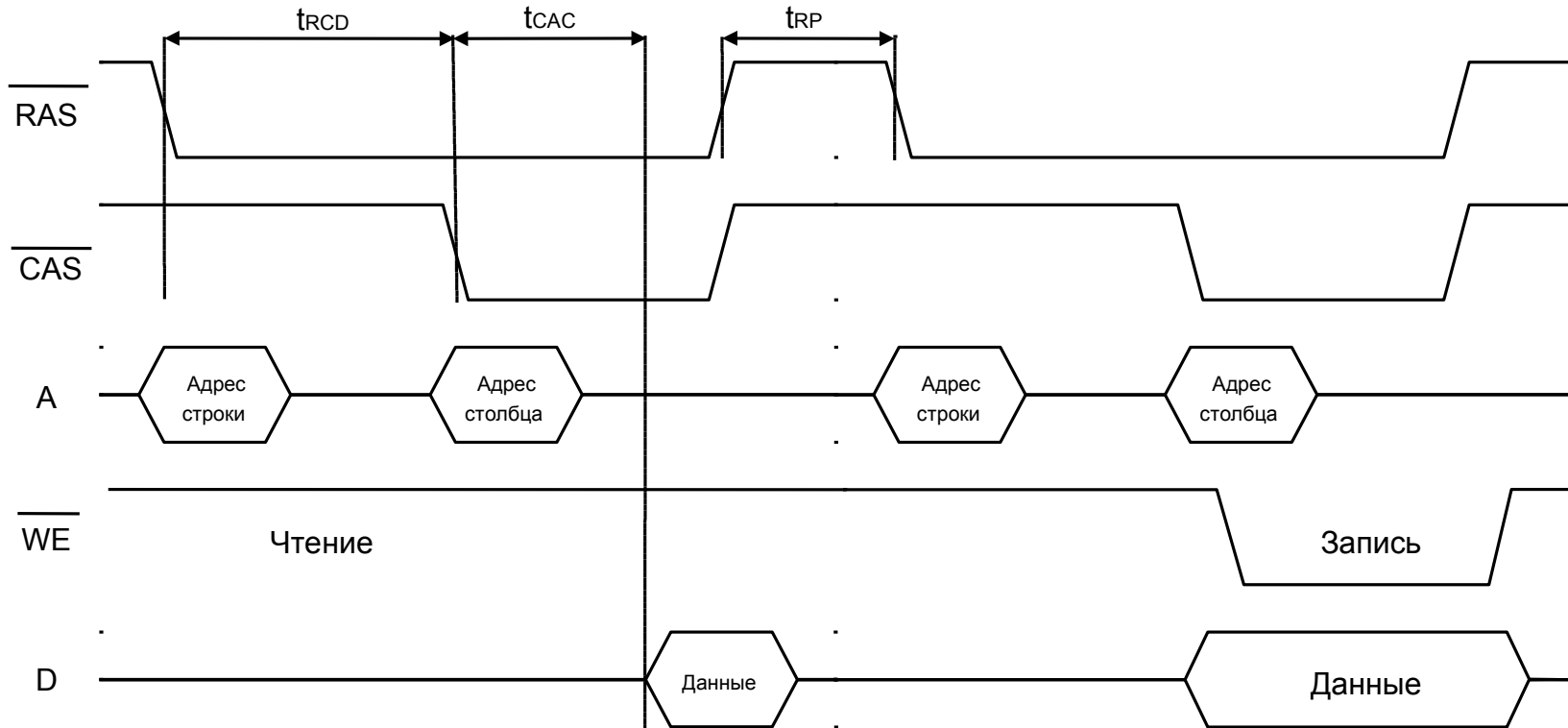




## Функциональные возможности SDRAM памяти:

- Многобанковая организация.
- Командный режим работы.
- Команды пакетного чтения/записи.
- Использование чередования банков при последовательном увеличении адресов.
- Команды пакетного чтения/записи с авторегенерацией.
- Возможность останова чтения/записи по режиму регенерации.
- Возможность останова чтения/записи по новому запросу чтения/записи.
- Управление маскированием шины данных по сигналу DQM.
- Минимальное время (1 CLK) между последовательными командами.
- Команда PrechargeAll.
- CAS латентность 2 и 3 CLK.
- Длина пакета 1, 2 и 4 слова.
- Команда саморегенерации.
- Режим энергосбережения.

# Диаграмма работы DRAM памяти



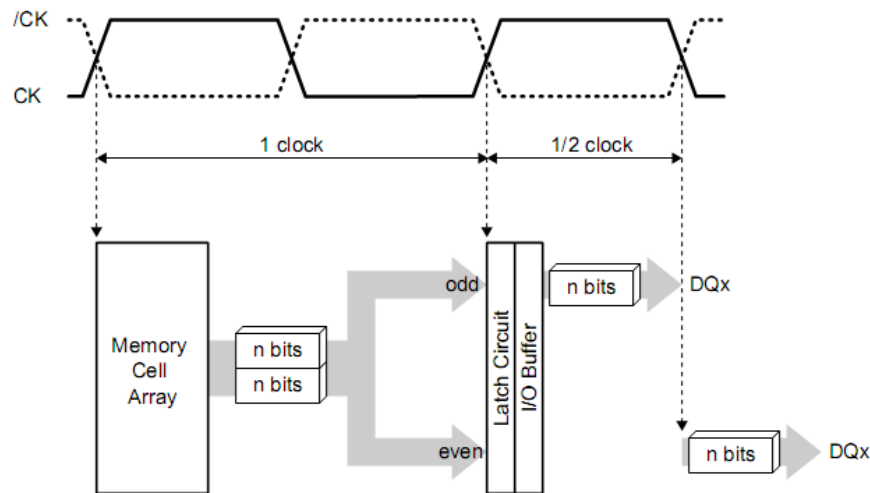
$t_{RCD}$  – RAS to CAS Delay.

$t_{RP}$  – RAS Precharge.

$t_{CAC}$  – CAS Delay.

# Способы повышения производительности RAM

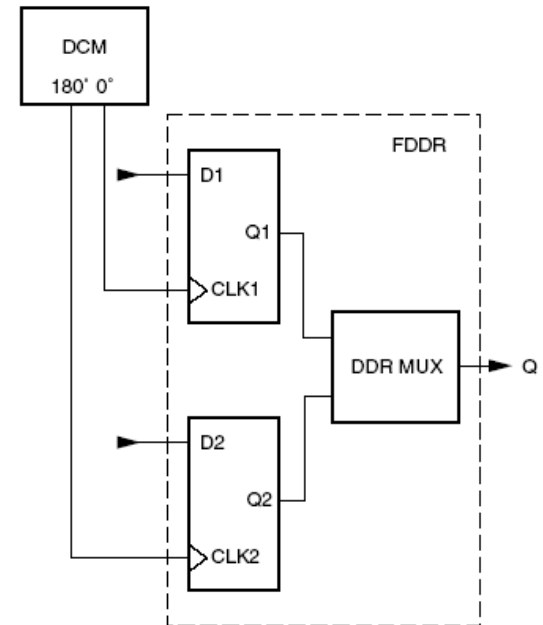
- Синхронизация.
- Конвейеризация.
- Пакетный режим обмена.
- Ускорение реверса шины.
- Чередование банков при обращении по последовательным адресам.
- Удвоение скорости.



Организация ЭВМ

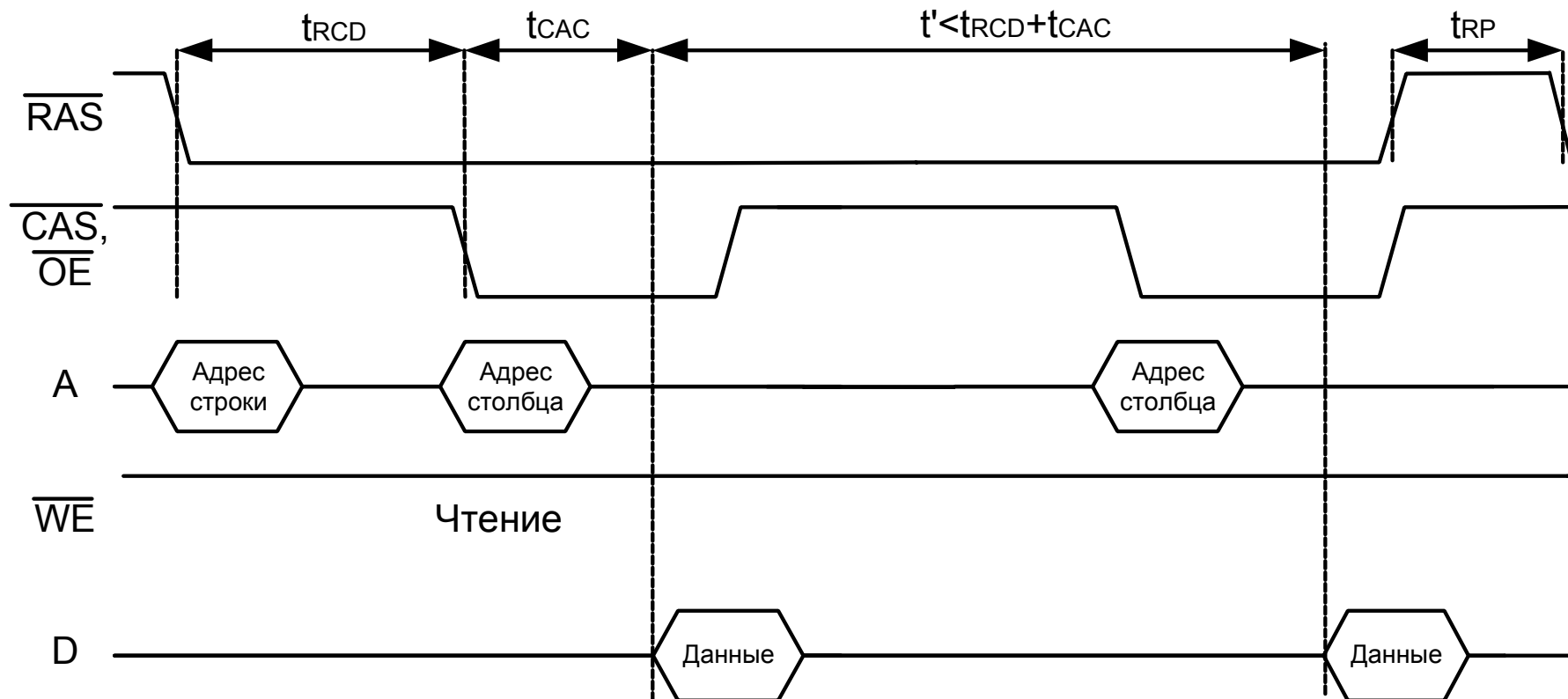
ИУ6

## Регистр DDR

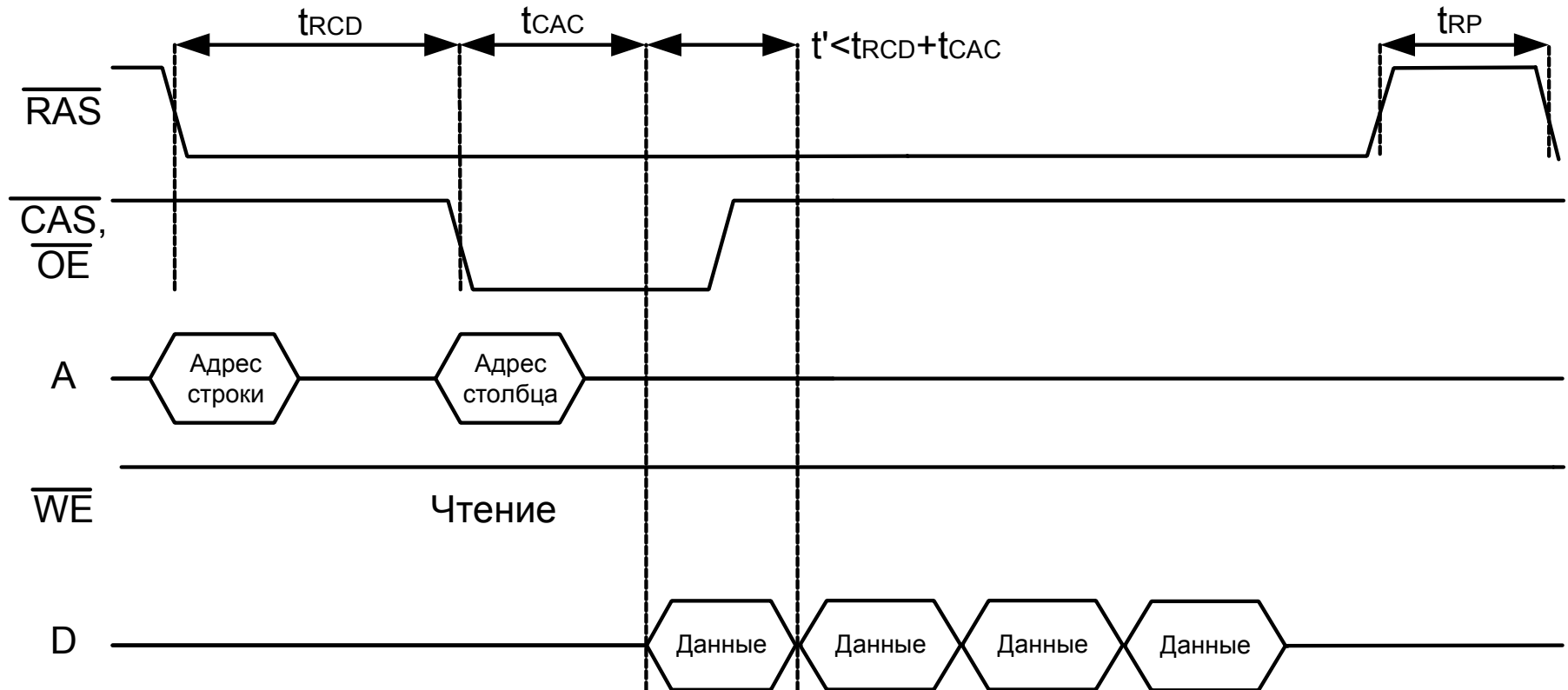


36

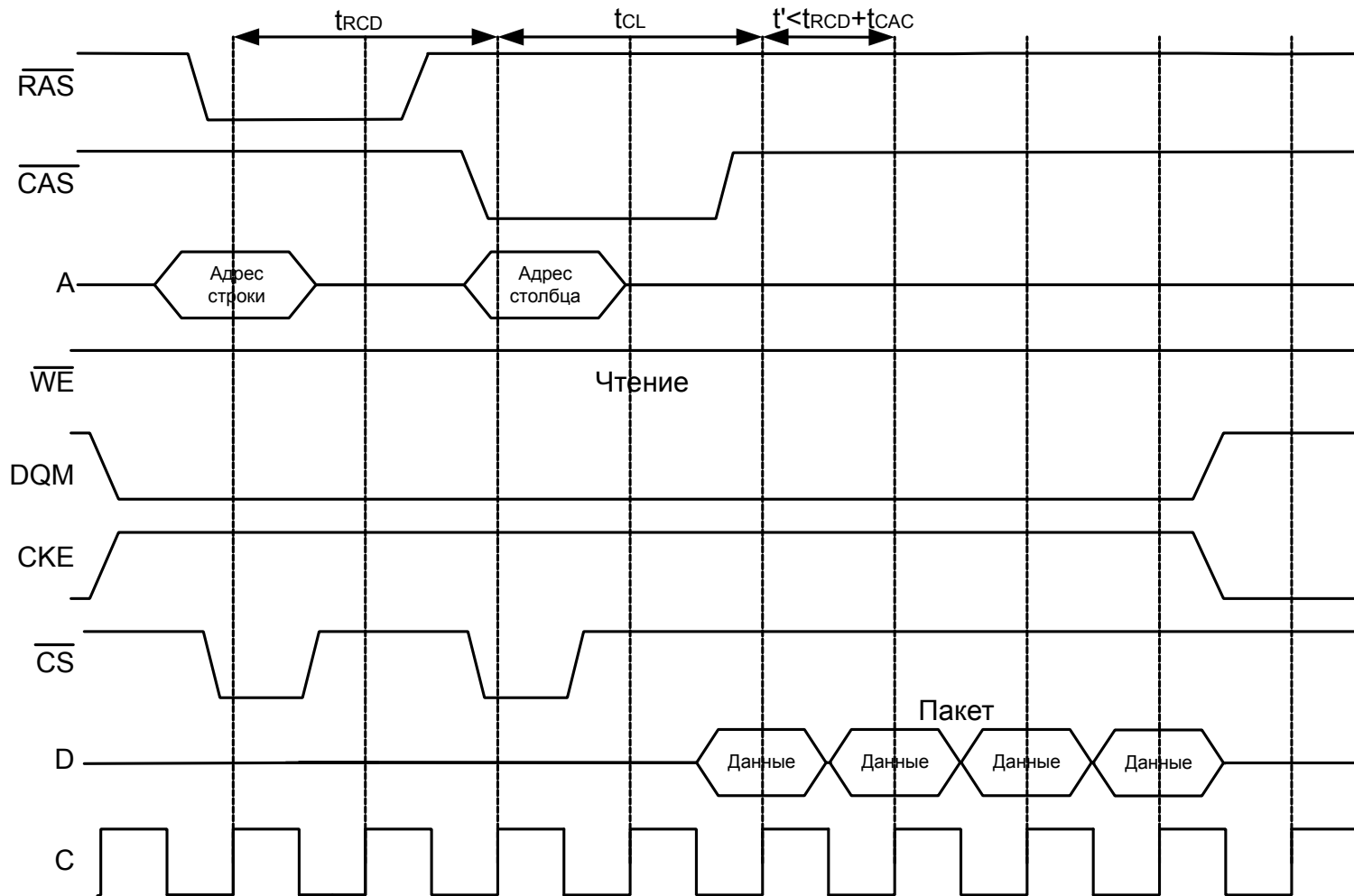
# Диаграмма работы FPM DRAM памяти



# Диаграмма работы BEDO DRAM памяти

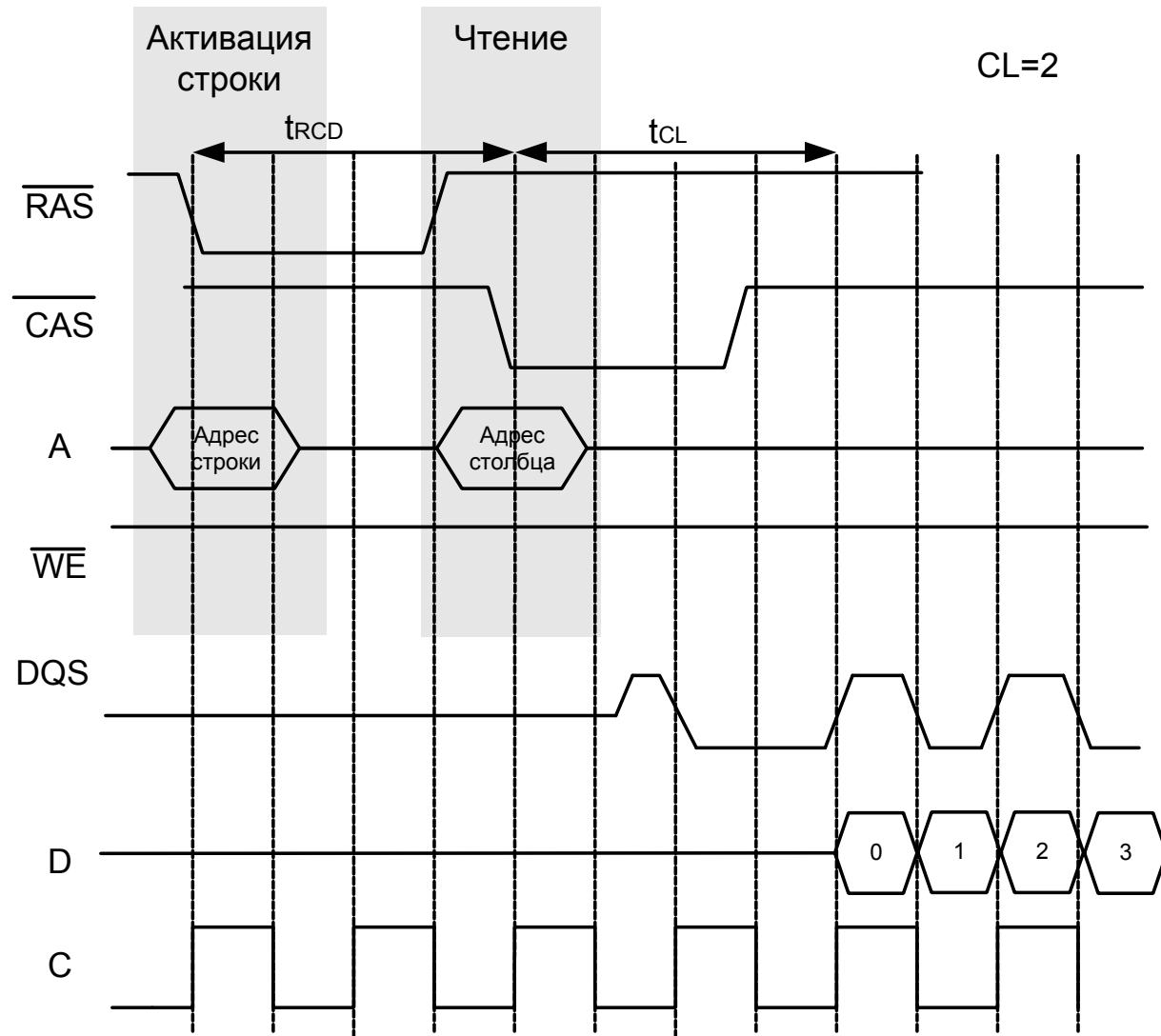


# Диаграмма работы SDRAM памяти



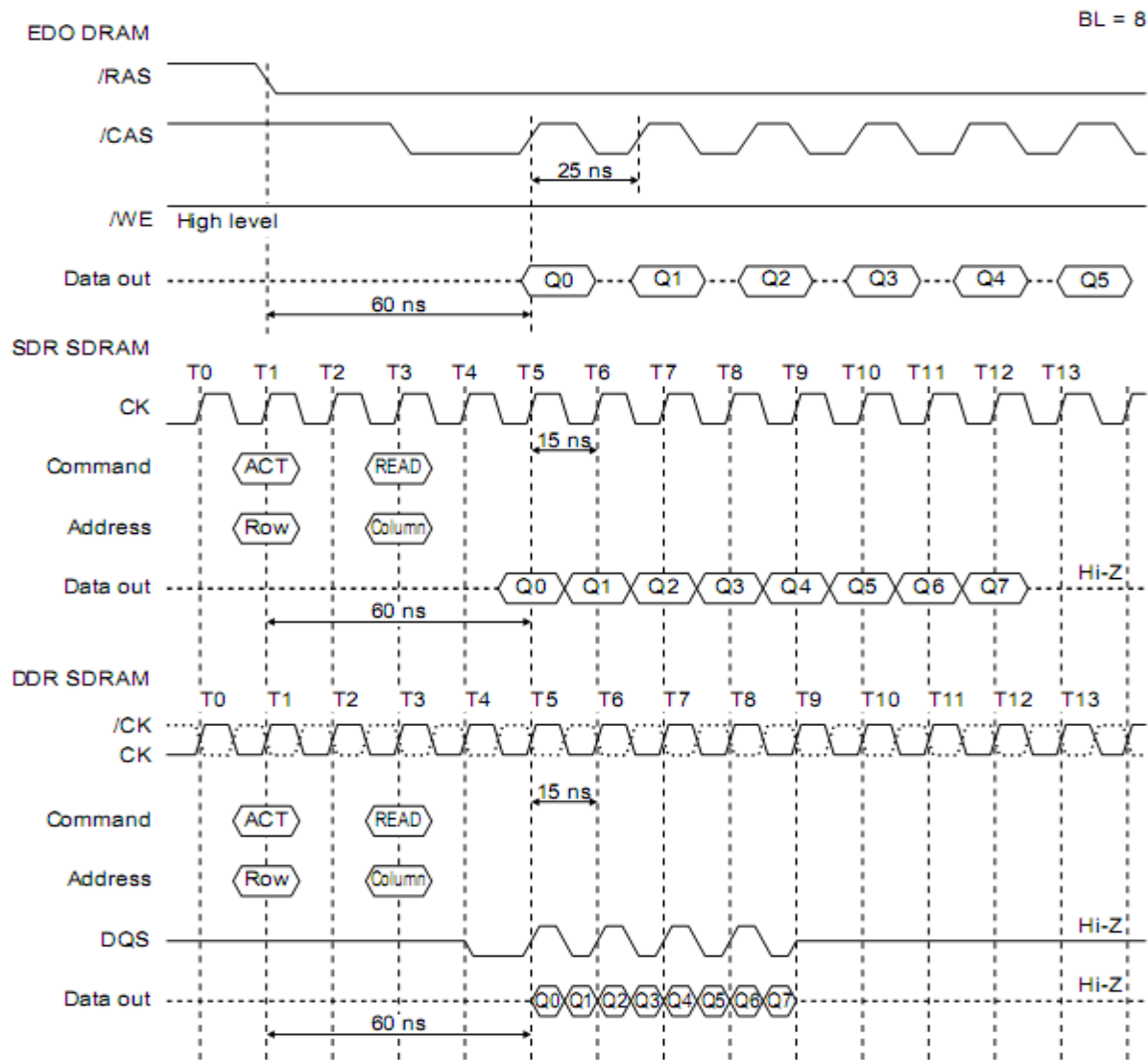
Формула памяти: 4-1-1-1

# Диаграмма работы DDR SDRAM памяти





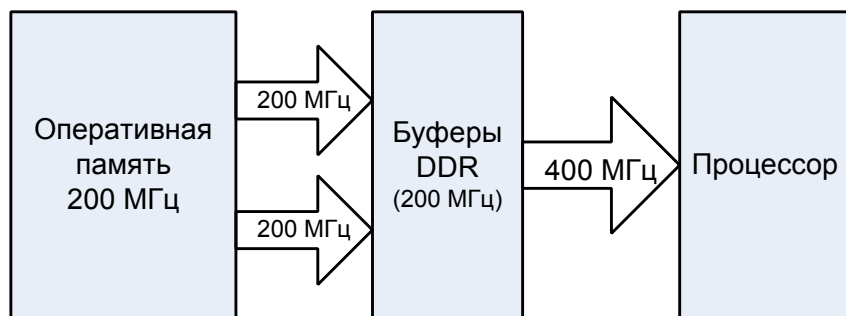
# Сравнение EDO RAM, SDRAM, DDR SDRAM



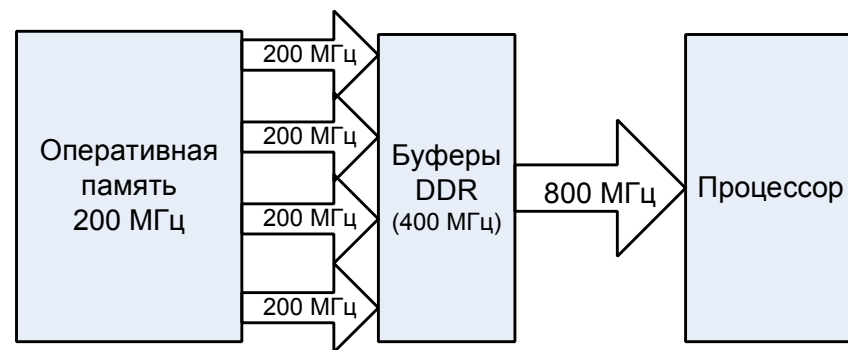
Document No. E0234E30 (Ver.3.0)  
Date Published: April 2002 (K) Japan  
URL: <http://www.elpida.com>

# Сравнение DDR и DDR2

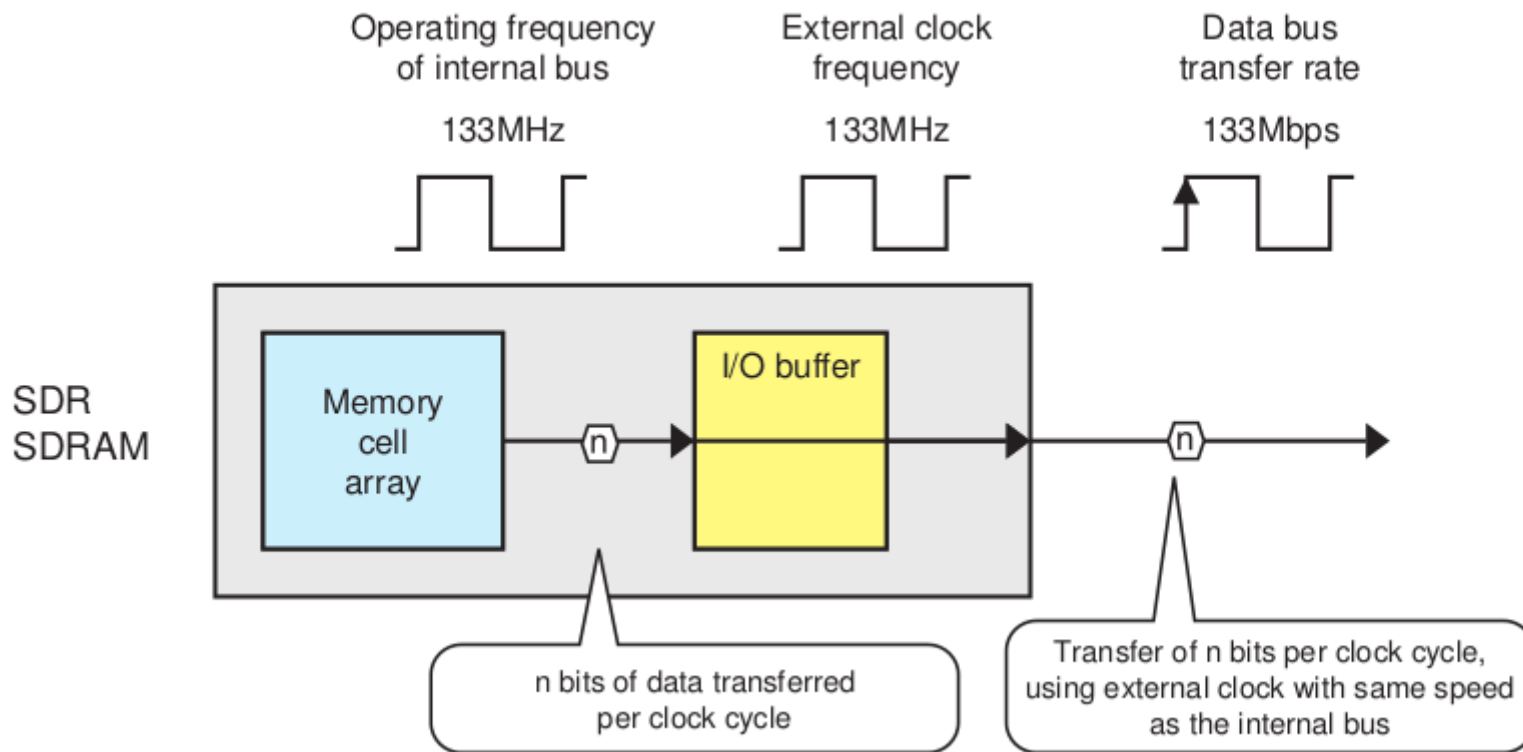
## DDR память



## DDR2 память

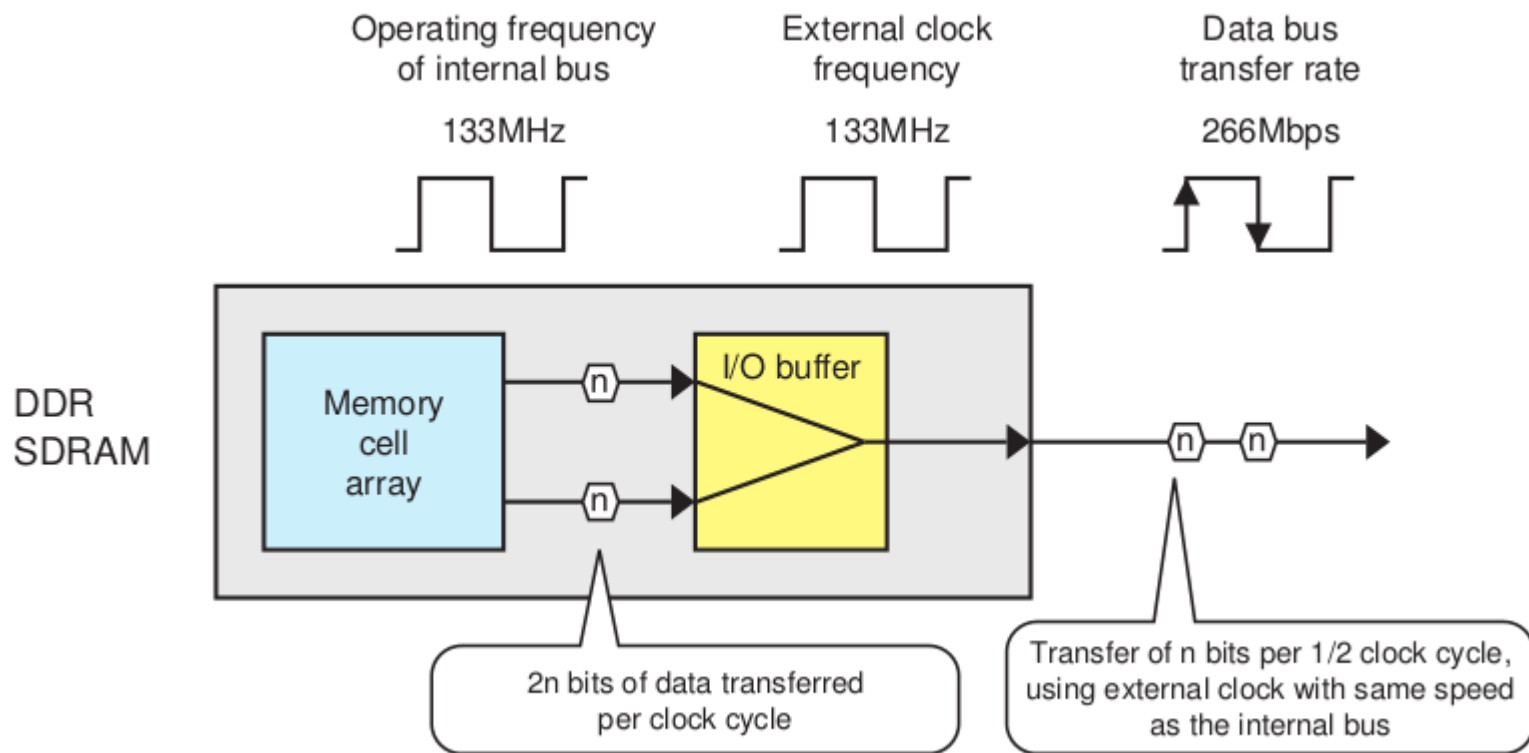


# Сравнение DDR и DDR2: SDR SDRAM



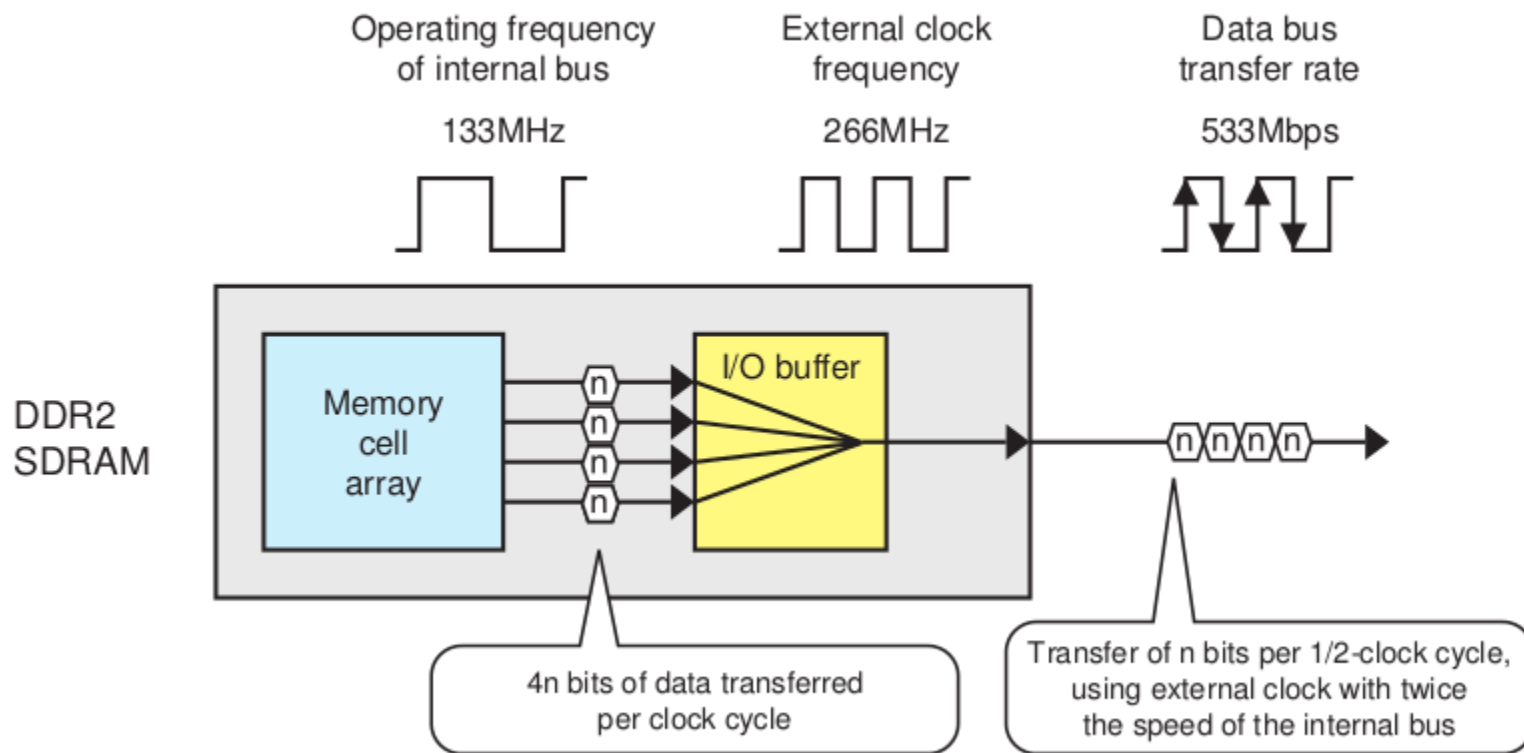
Document No. E0437E40 (Ver.4.0)  
Date Published September 2007 (K) Japan  
URL: <http://www.elpida.com>

# Сравнение DDR и DDR2: DDR SDRAM



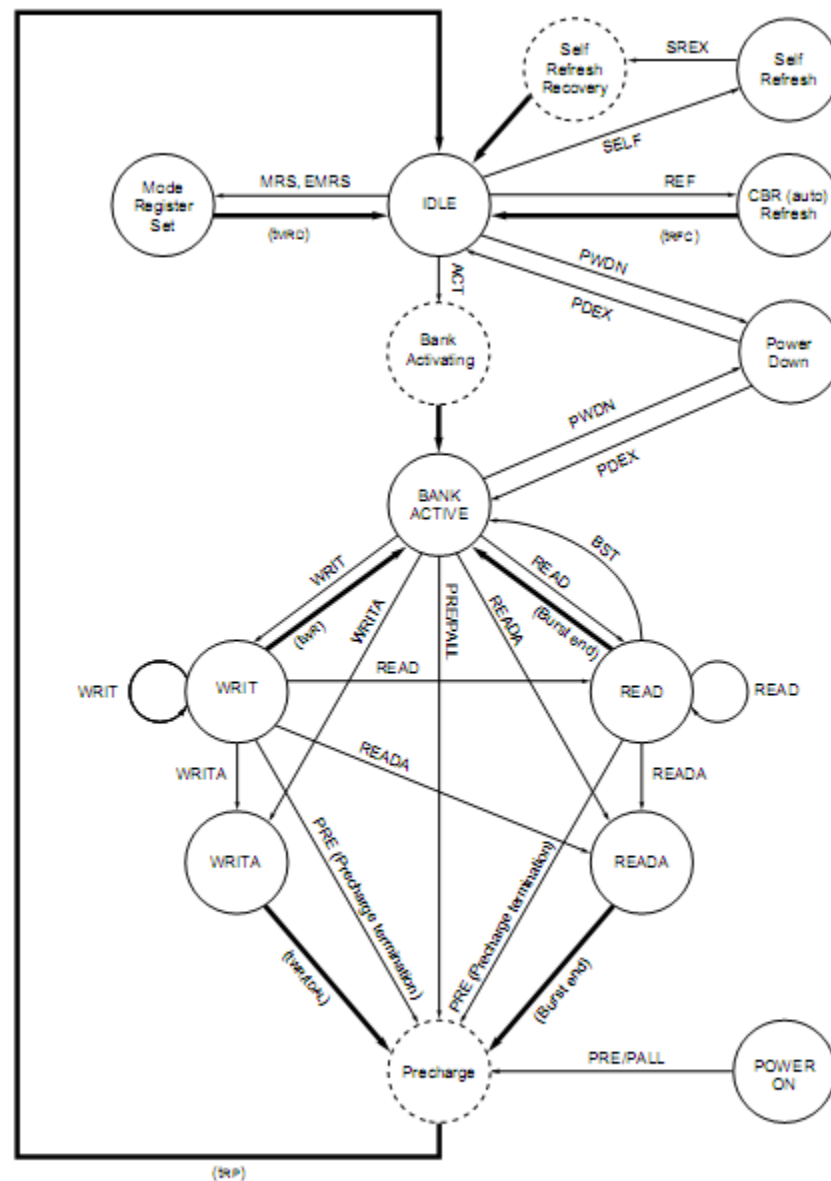
Document No. E0437E40 (Ver.4.0)  
Date Published September 2007 (K) Japan  
URL: <http://www.elpida.com>

# Сравнение DDR и DDR2: DDR2 SDRAM



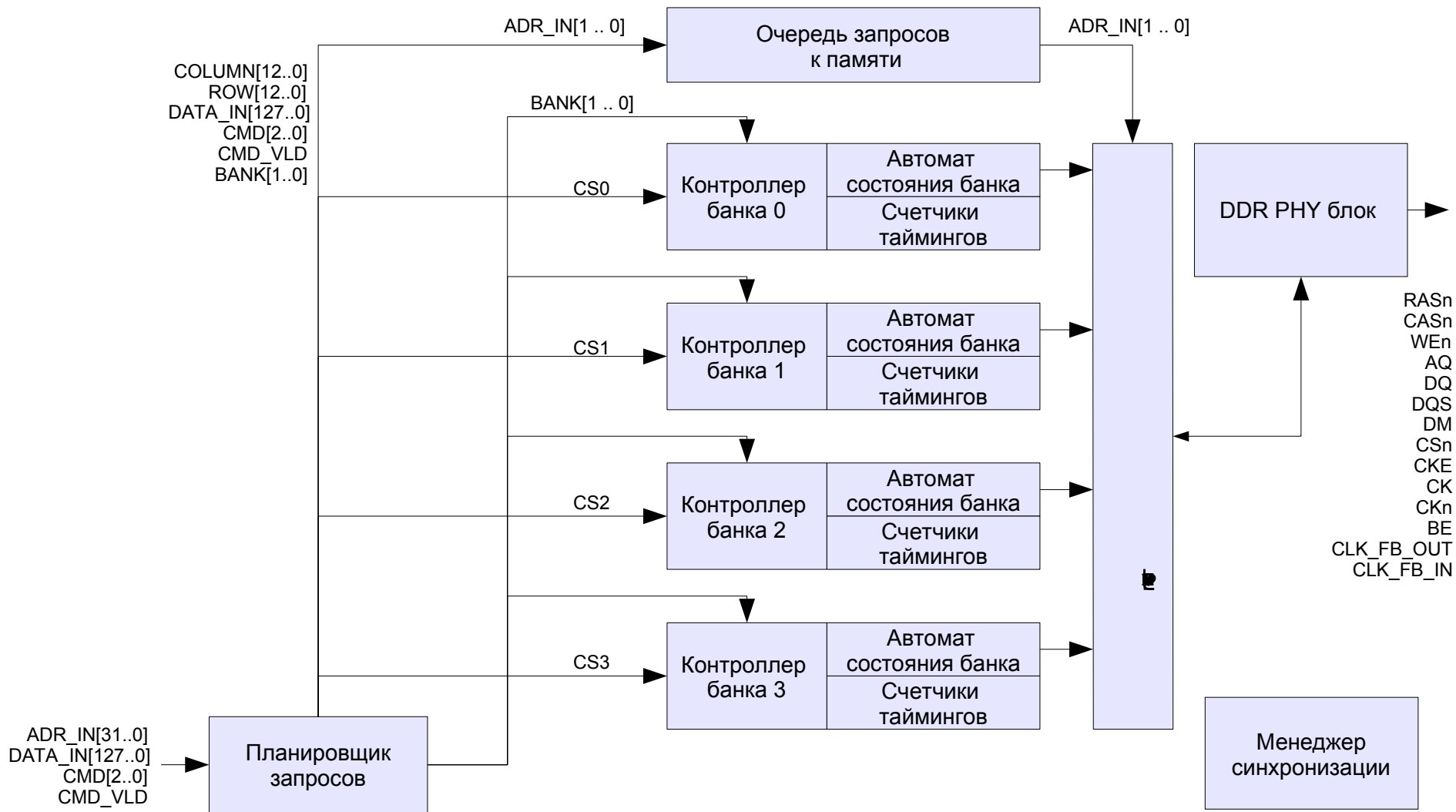
Document No. E0437E40 (Ver.4.0)  
Date Published September 2007 (K) Japan  
URL: <http://www.elpida.com>

# Диаграмма состояний YA DDR SDRAM



Document No. E0234E30 (Ver.3.0)  
 Date Published April 2002 (K) Japan  
 URL: <http://www.elpida.com>

# Контроллер DDR/DDR2



# Отличие DDR и SDR DRAM

Item	DDR SDRAM	SDR SDRAM
Data transfer frequency	Twice the operation frequency	Same as the operation frequency
Data rate	$2/t_{CK}$	$1/t_{CK}$
Clock input	Differential clock	Single clock
Data strobe signal (DQS)	Essential	Not supported
Interface	SSTL_2	LVTTL
Supply voltage	2.5 V	3.3 V
/CAS read latency	2, 2.5	2, 3
/CAS write latency	1	0
Burst length	2, 4, 8	1, 2, 4, 8, full-page (256) <sup>Note</sup>
Burst sequence	Sequential/Interleave	Sequential/Interleave
Use of DLL	Essential	Option
Data mask	Write mask only	Write mask/Read mask

Document No. E0234E30 (Ver.3.0)  
 Date Published April 2002 (K) Japan  
 URL: <http://www.elpida.com>



# Тайминг памяти:

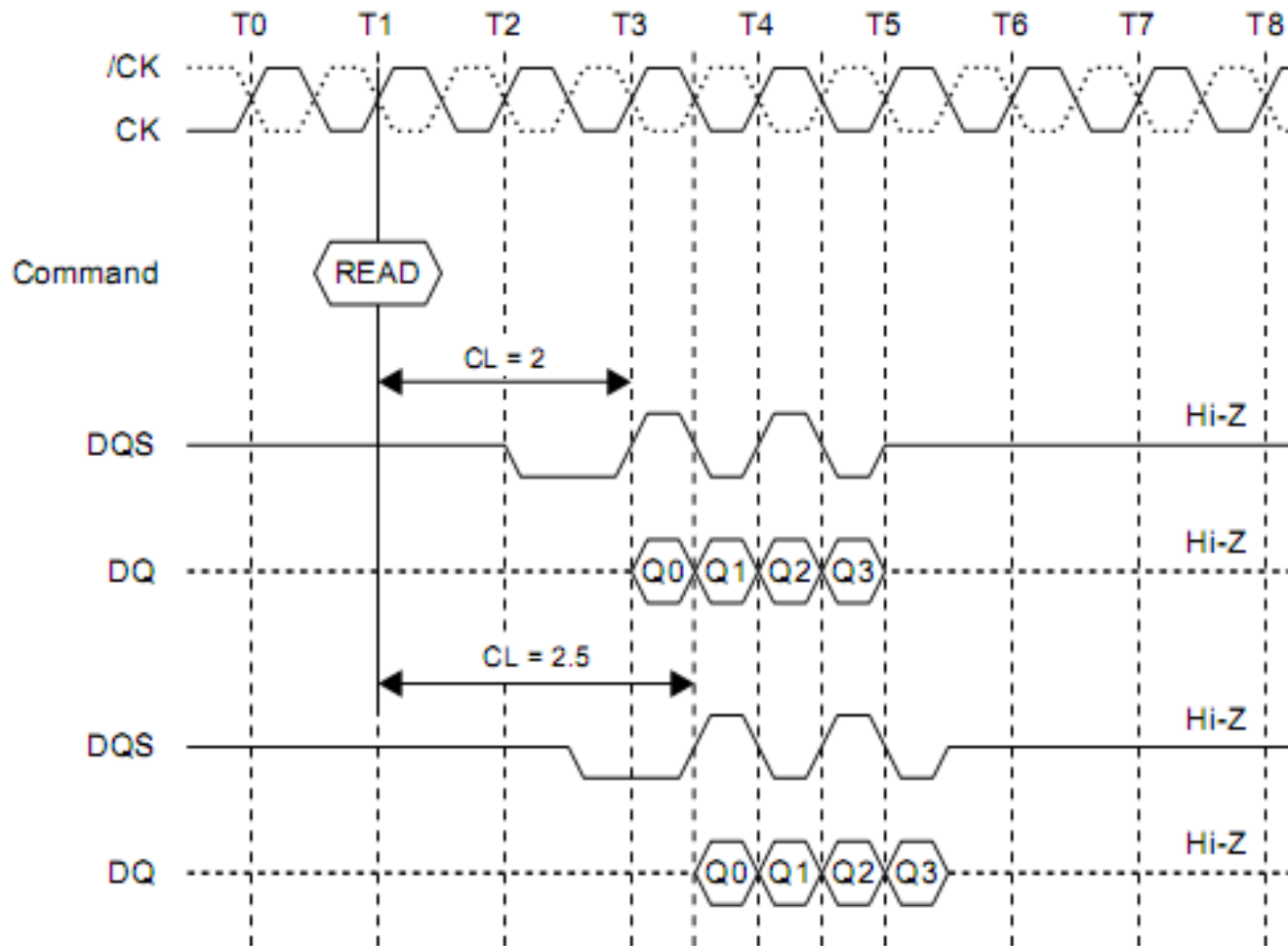
## tCL-tRCD-tRP-tRAS

- CAS Latency (tCL) - задержка в тактах между подачей сигнала CAS и непосредственно выдачей данных из соответствующей ячейки. Одна из важнейших характеристик любого модуля памяти;
- RAS to CAS Delay (tRCD) - количество тактов шины памяти, которые должны пройти после подачи сигнала RAS до того, как можно будет подать сигнал CAS;
- Row Precharge (tRP) - время закрытия страницы памяти в пределах одного банка, тратящееся на его перезарядку;
- Activate to Precharge (tRAS) - время активности строка. Минимальное количество циклов между командой активации (RAS) и командой подзарядки (Precharge), которой заканчивается работа с этой строкой, или закрытия одного и того же банка.

Примеры таймингов памяти DDR: 2-2-2-5; 2.5-3-3-7

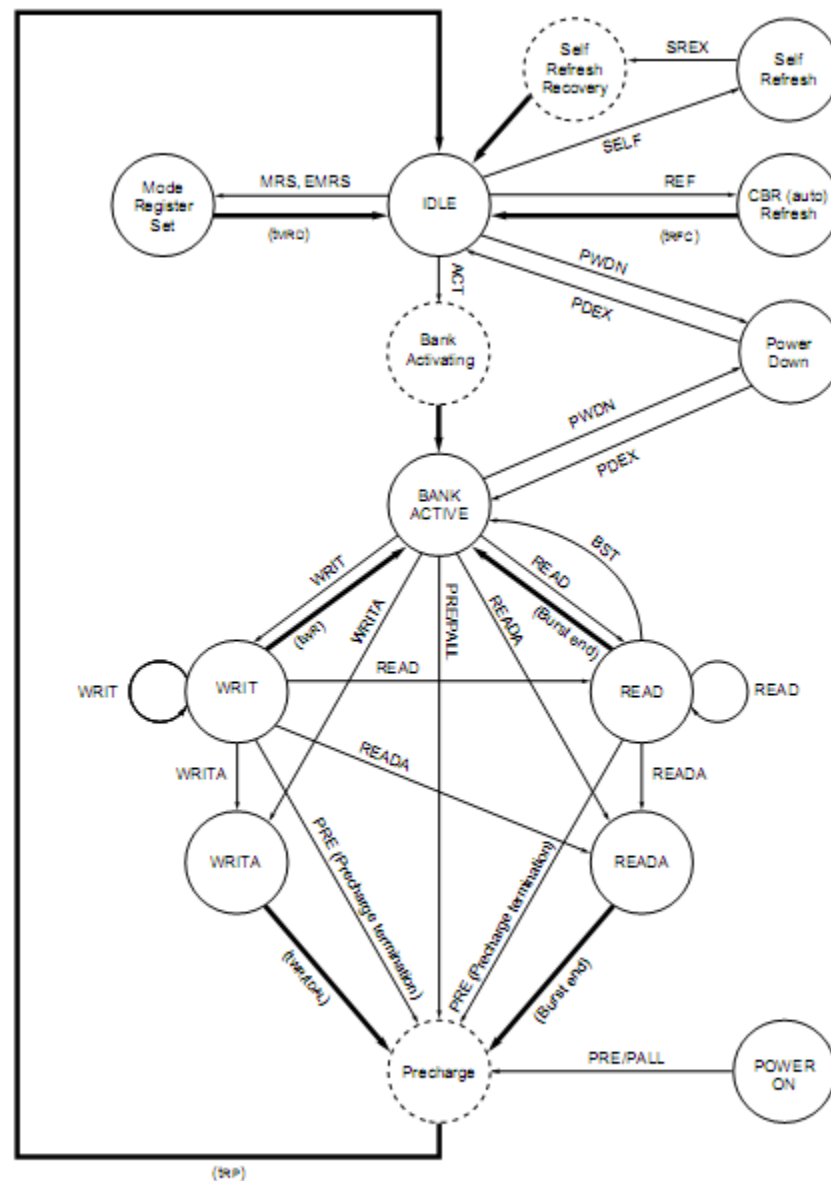
Примеры таймингов памяти DDR2: 3-3-3-9, 4-4-4-12 и 5-5-5-15

## Сравнение DDR SDRAM CL=2 и CL=3



Document No. E0234E30 (Ver.3.0)  
Date Published April 2002 (K) Japan  
URL: <http://www.elpida.com>

# Диаграмма состояний YA DDR SDRAM



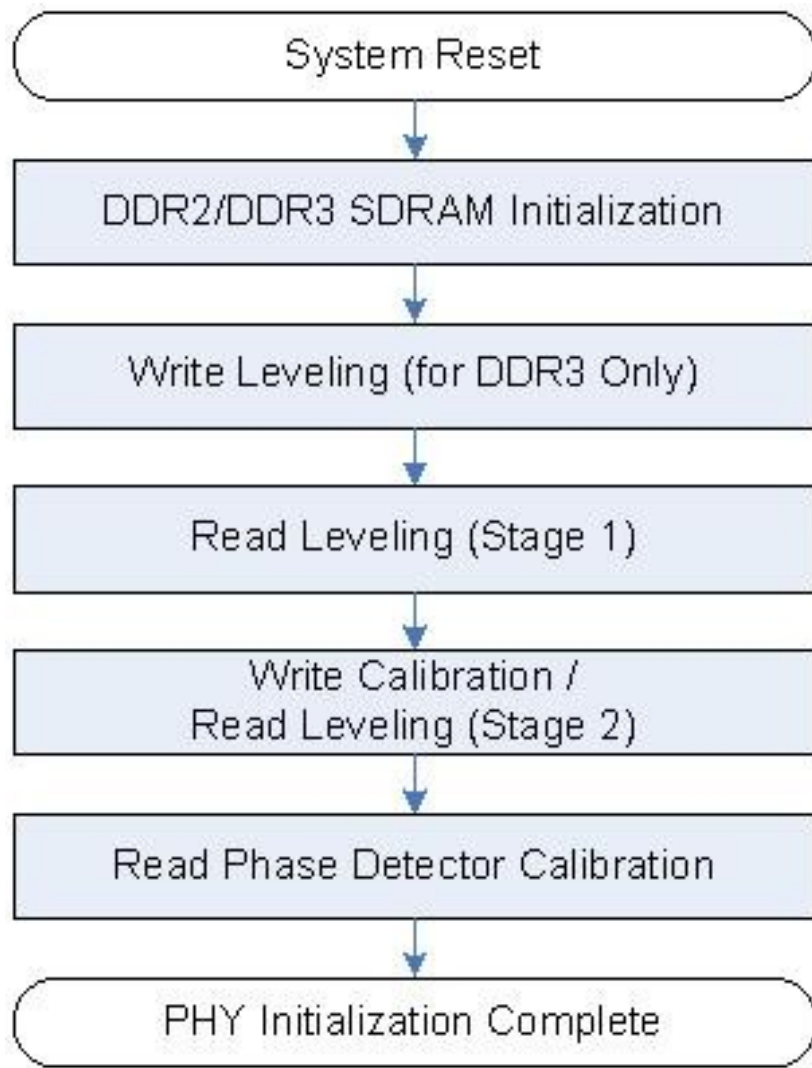
Document No. E0234E30 (Ver.3.0)  
Date Published April 2002 (K) Japan  
URL: <http://www.elpida.com>

# Команды DDR SDRAM

Command	Symbol	CKE		/CS	/RAS	/CAS	/WE	Address			
		n = 1	n					BA0	BA1	A10	A0 ~ A9, A11
Device deselected	DESL	H	X	H	X	X	X	X		X	X
No operation	NOP	H	X	L	H	H	H	X		X	X
Burst stop	BST	H	X	L	H	H	L	X		X	X
Read	READ	H	X	L	H	L	H	V		L	V
Read with auto precharge	READA									H	
Write	WRIT	H	X	L	H	L	L	V		L	V
Write with auto precharge	WRITEA									H	
Bank active	ACT	H	X	L	L	H	H	V		V	V
Precharge selected bank	PRE	H	X	L	L	H	L	V		L	X
Precharge all banks	PALL									H	
Mode register set	MRS	H	X	L	L	L	L	L	L	L	V
Extended mode register set	EMRS							H	L	L	V
GBR (auto) refresh	REF	H	H	L	L	L	H	X		X	X
Self refresh entry	SELF	H	L								
Self refresh exit	SREX	L	H	H	X	X	X	X		X	X
				L	H	H	X	X		X	X
Power down entry	PWDN	H	L	H	X	X	X	X		X	X
				L	H	H	X	X		X	X
Power down exit	PDEX	L	H	H	X	X	X	X		X	X
				L	H	H	X	X		X	X

Document No. E0234E30 (Ver.3.0)  
 Date Published April 2002 (K) Japan  
 URL: <http://www.elpida.com>

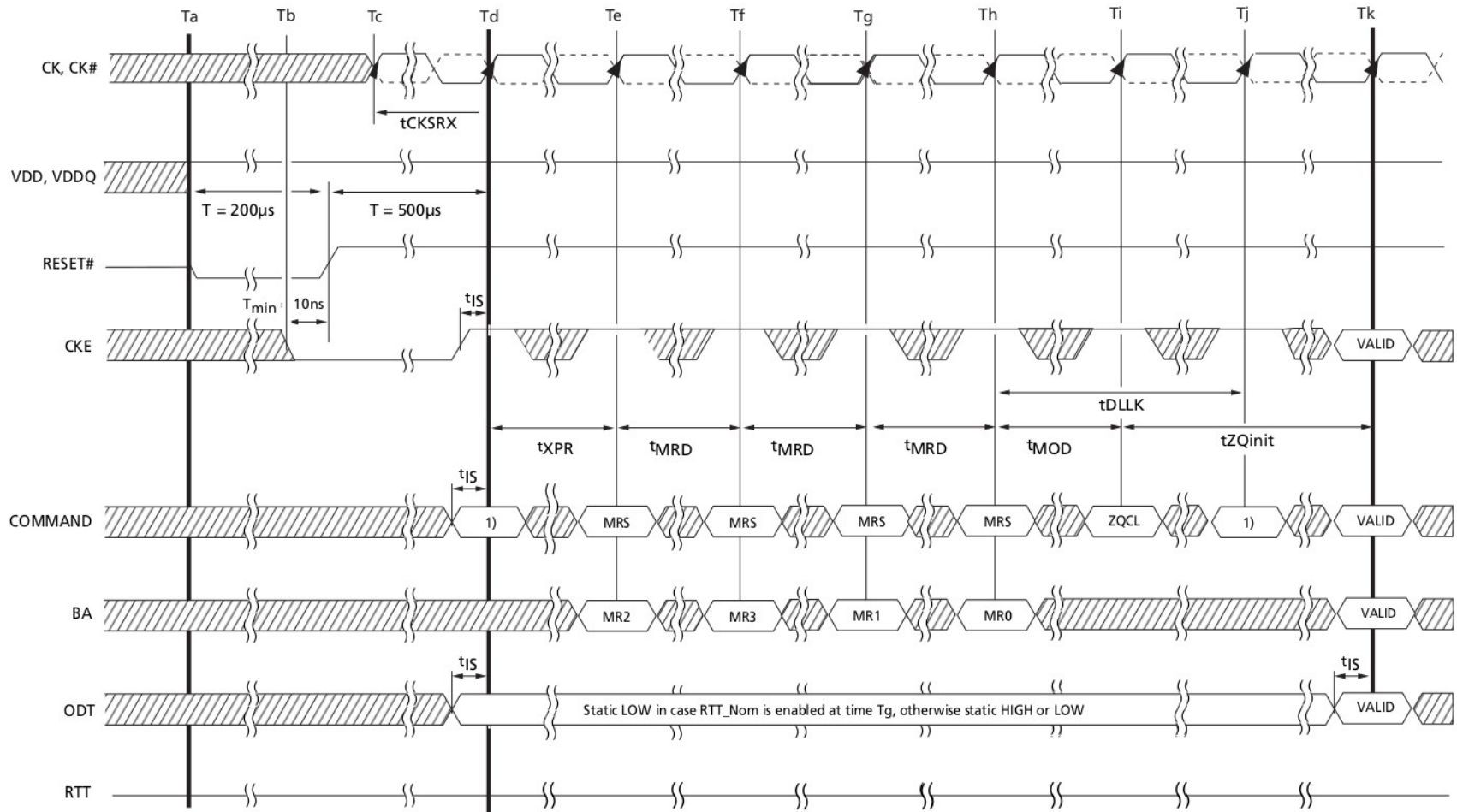
# DDR3 SDRAM



- Размер пакета увеличен с 4 до 8 слов. Уменьшено потребление энергии.
- Функция асинхронного сброса с отдельным контактом
- Поддержка компенсации времени готовности на системном уровне
- Зеркальное расположение контактов, удобное для сборки модулей
- Выполнение CAS Write Latency за такт
- Встроенная терминация данных
- Встроенная калибровка ввода-вывода (мониторинг времени готовности и корректировка уровней)
- Автоматическая калибровка шины данных

Стандартное название	Частота памяти, МГц <sup>[9]</sup>	Время цикла, нс	Частота шины, МГц	Эффективная (удвоенная) скорость, млн. передач/с
DDR3-800	100	10,00	400	800
DDR3-1066	133	7,50	533	1066
DDR3-1333	166	6,00	667	1333
DDR3-1600	200	5,00	800	1600
DDR3-1866	233	4,29	933	1866
DDR3-2133	266	3,75	1066	2133
DDR3-2400	300	3,33	1200	2400

# Процедура инициализации DDR3 SDRAM памяти



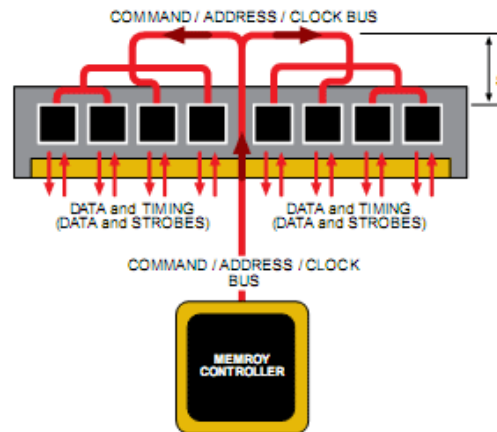
NOTE 1. From time point "Td" until "Tk" NOP or DES commands must be applied between MRS and ZQCL commands.

}} TIME BREAK

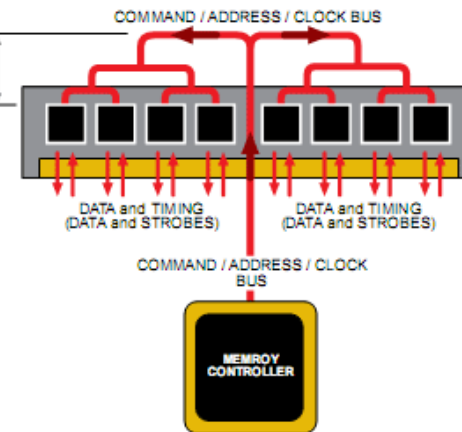
▨ DON'T CARE

# Топология fly-by

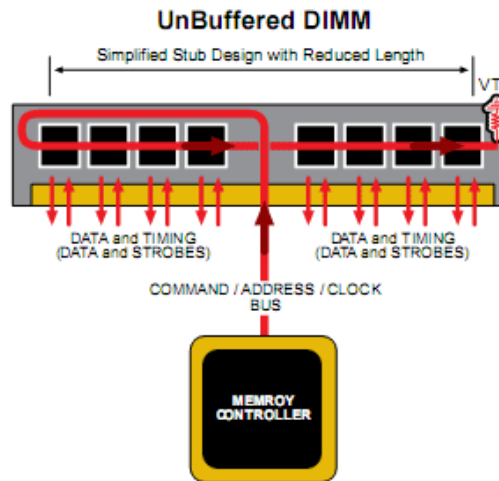
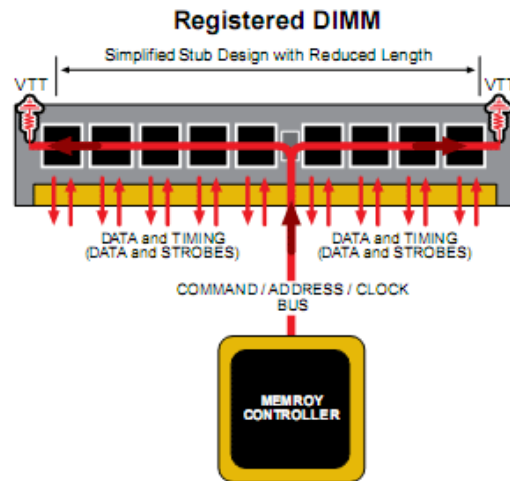
**DDR1**  
**Asymmetrical T-Branch Topology**



**DDR2**  
**Symmetrical T-Branch Topology**



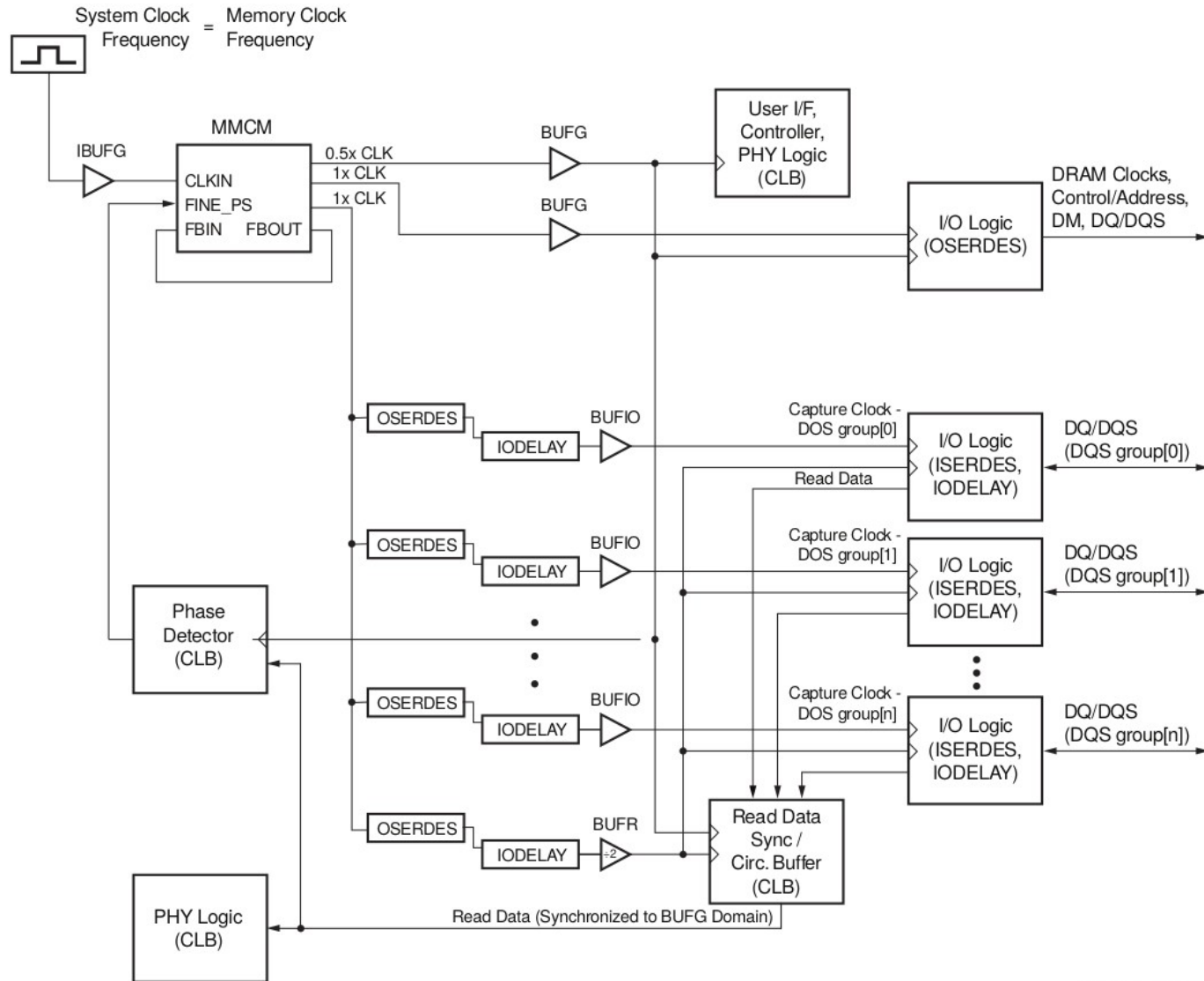
**DDR3 Fly-by Topology**



▲ Simplified Comparison between DDR1, DDR2 and DDR3 Topologies

Illustration: Ryan J. Leng

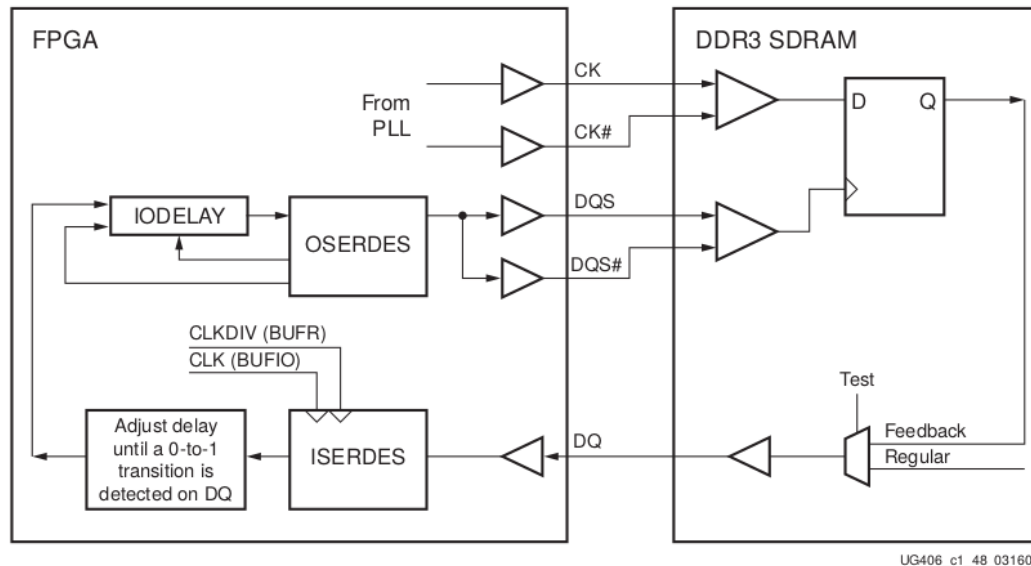
# Физический уровень DDR3 SDRAM контроллера



11G406 v1.46 01/30/11

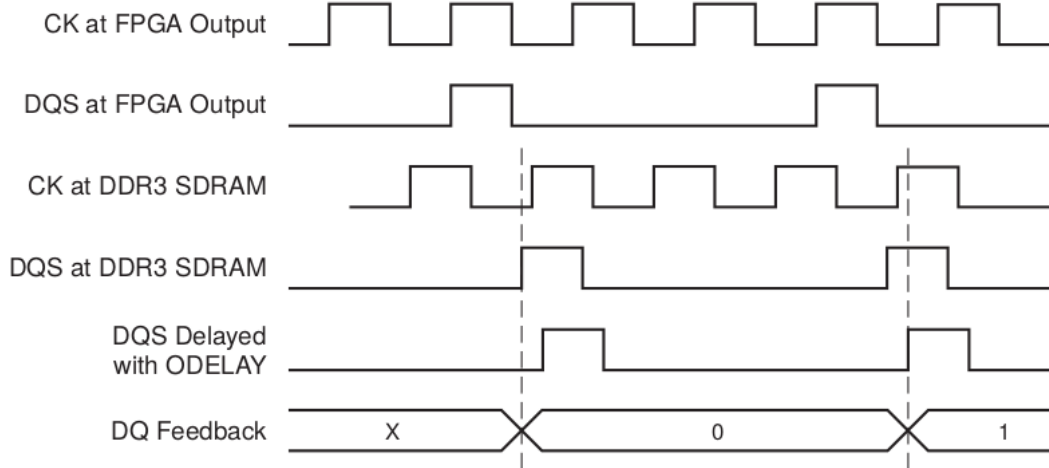


# Процедура Write Leveling



В режиме Write Levelling в цепь DQ включается триггер, принимающий сигнал CLK на вход D и синхронизируемый по сигналу DQS.

Процедура изменения задержки повторяется до обнаружения сигнала "1" на выходе DQ.



В результате процедуры Write Levelling определяется начальная задержка строба DQS при записи.

## Процедура Read Levelling

После сброса системы, инициализации памяти и выравнивания записи РНУ выполняет последовательность калибровки считывания, чтобы обеспечить надежную синхронизацию данных считывания из памяти в область тактовых частот контроллера памяти. Эта процедура позволяет настроить синхронизацию каждой DQS группы или каждой линии DQ, чтобы исключить статические неопределенности синхронизации, задержки распространения сигналов из памяти и перекосы сигналов.

Для поддержки операции DDR3 память поддерживает режим генерации шаблона на линии DQ (режим MPR управляется битом 3 регистра MR3).

## Процедура Write Calibration

Калибровка записи требуется для согласования сигналов DQS и связанных с ним бит DQ с правильным циклом СК для компенсации задержек на печатную плату и задержки буфера ввода-вывода, которые превышают цикл СК. Эта калибровка требует, чтобы в память был записан шаблон данных, а он затем считывался, чтобы проверить правильность записи нужного паттерна в память.

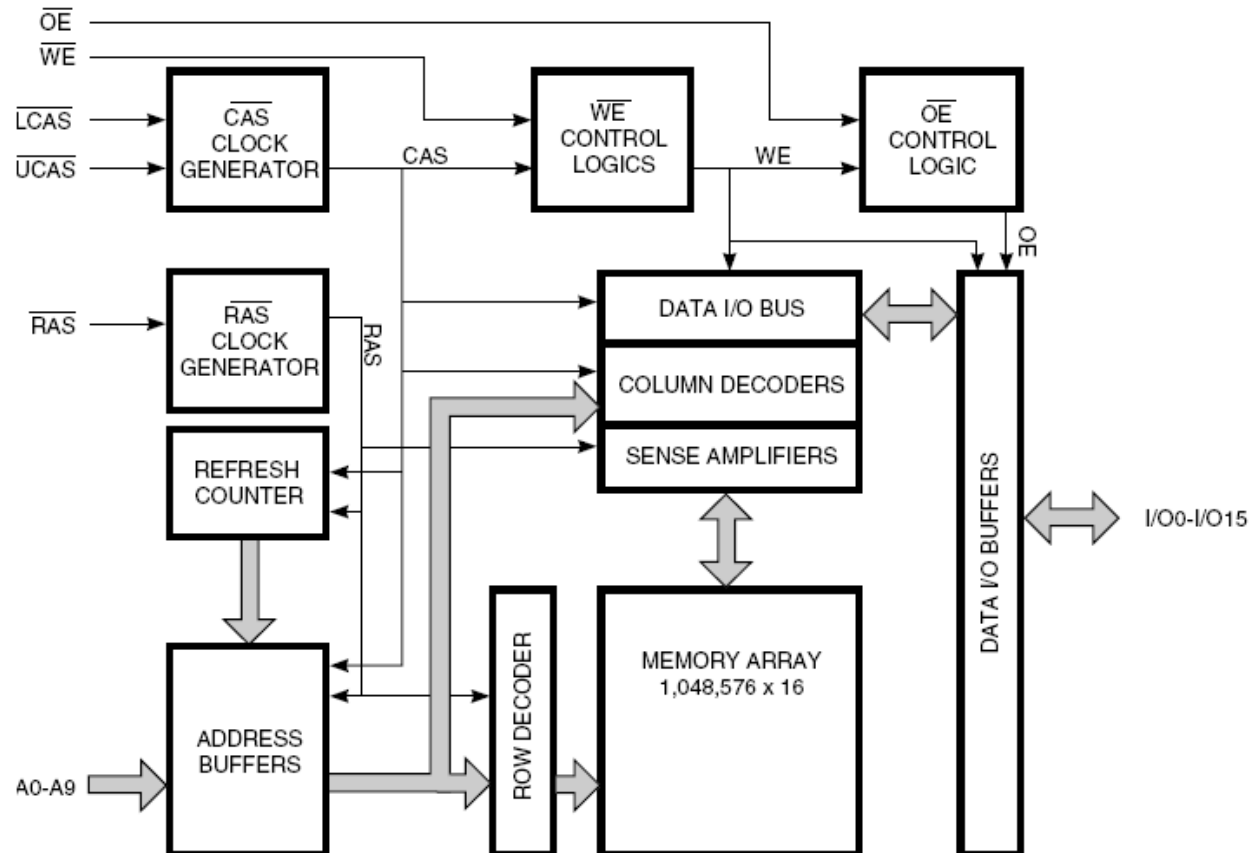
Во время калибровки записи добавляются соответствующие тактовые импульсы задержки до тех пор, пока желаемый шаблон данных не будет считан. Эта калибровка выполняется на основе каждого байта. Как и в случае выравнивания записи, эта последовательность выполняется только для DDR3 SDRAM, когда используются топологии маршрутизации fly-by.

# IS41C16100 IS41LV16100

*ISSI*<sup>®</sup>

## 1M x 16 (16-MBIT) DYNAMIC RAM WITH EDO PAGE MODE

December 2005



## December 2005

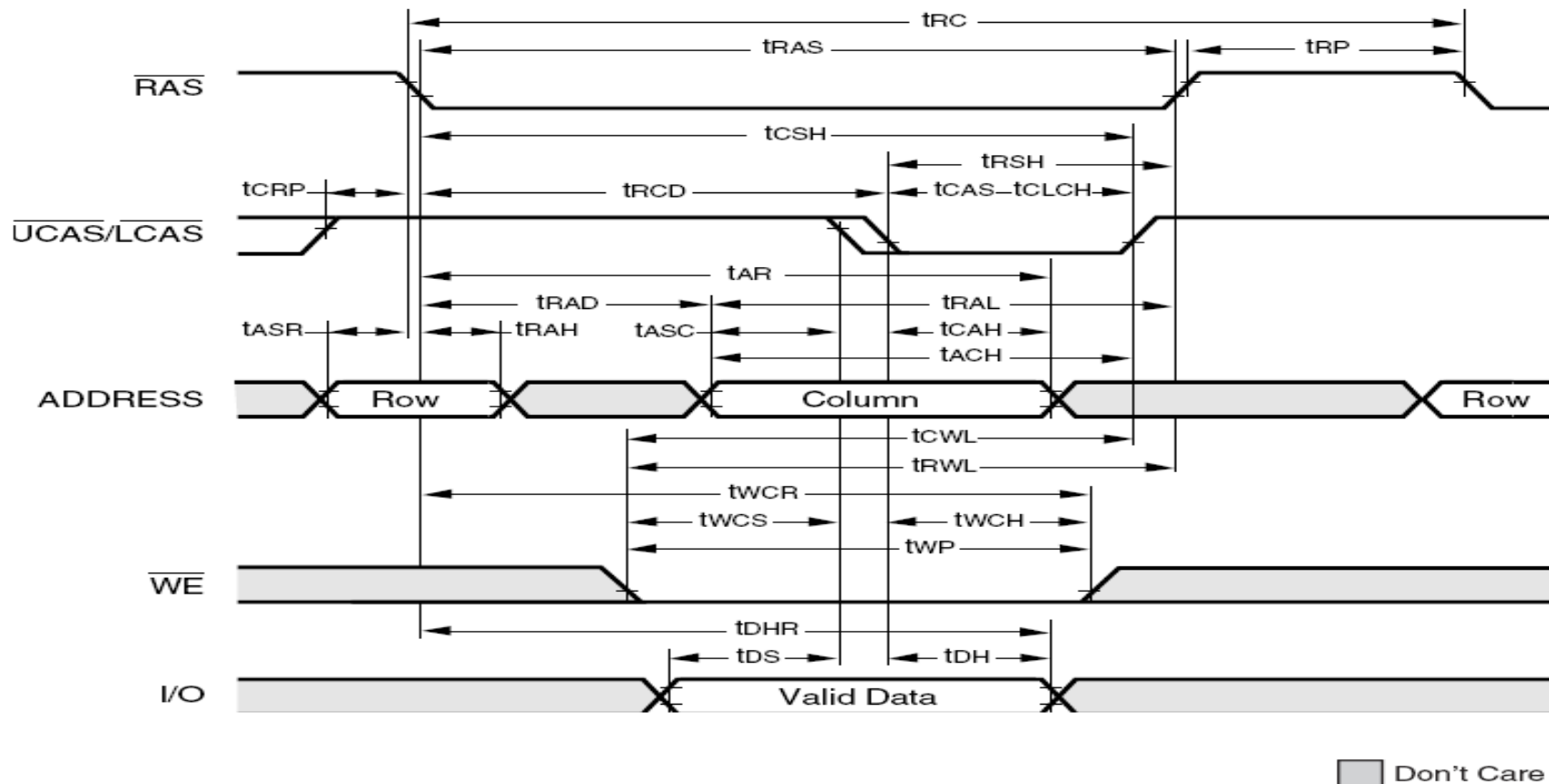


# IS41C16100 IS41LV16100

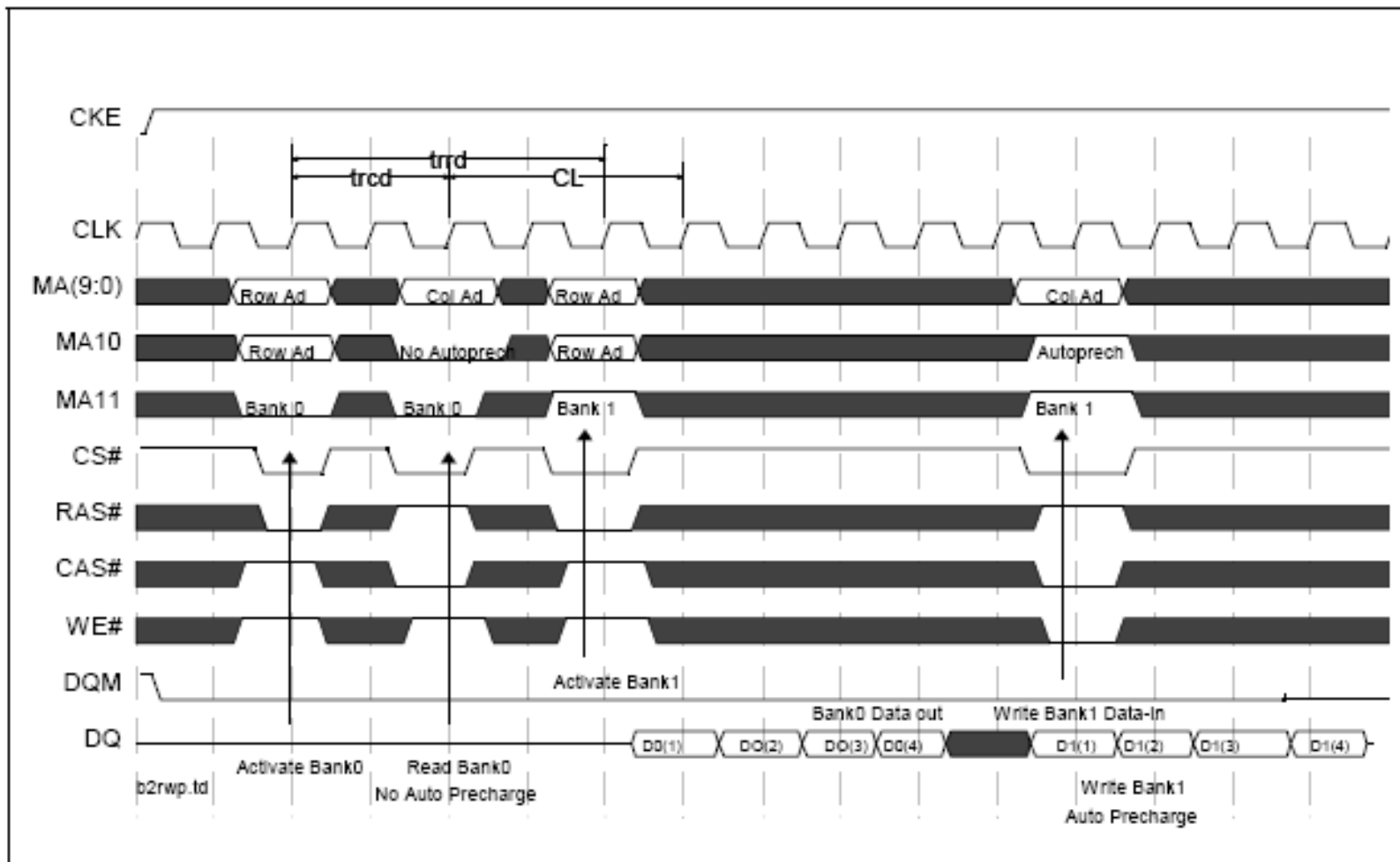
*ISSI*<sup>®</sup>

## 1M x 16 (16-MBIT) DYNAMIC RAM WITH EDO PAGE MODE

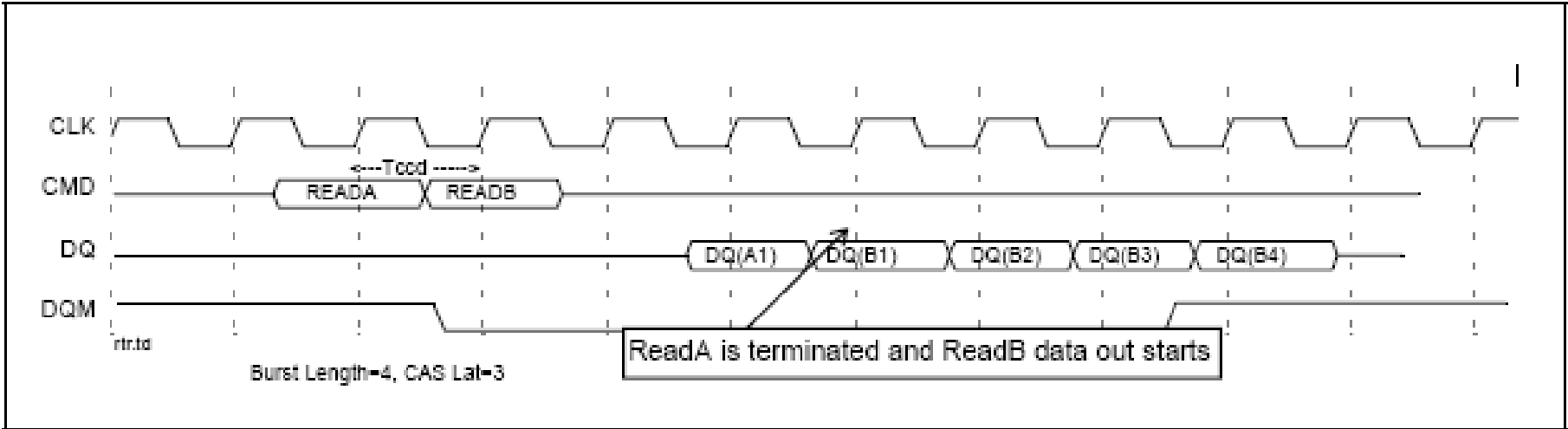
December 2005



## Read and Write Commands (Burst Length 4 Shown)

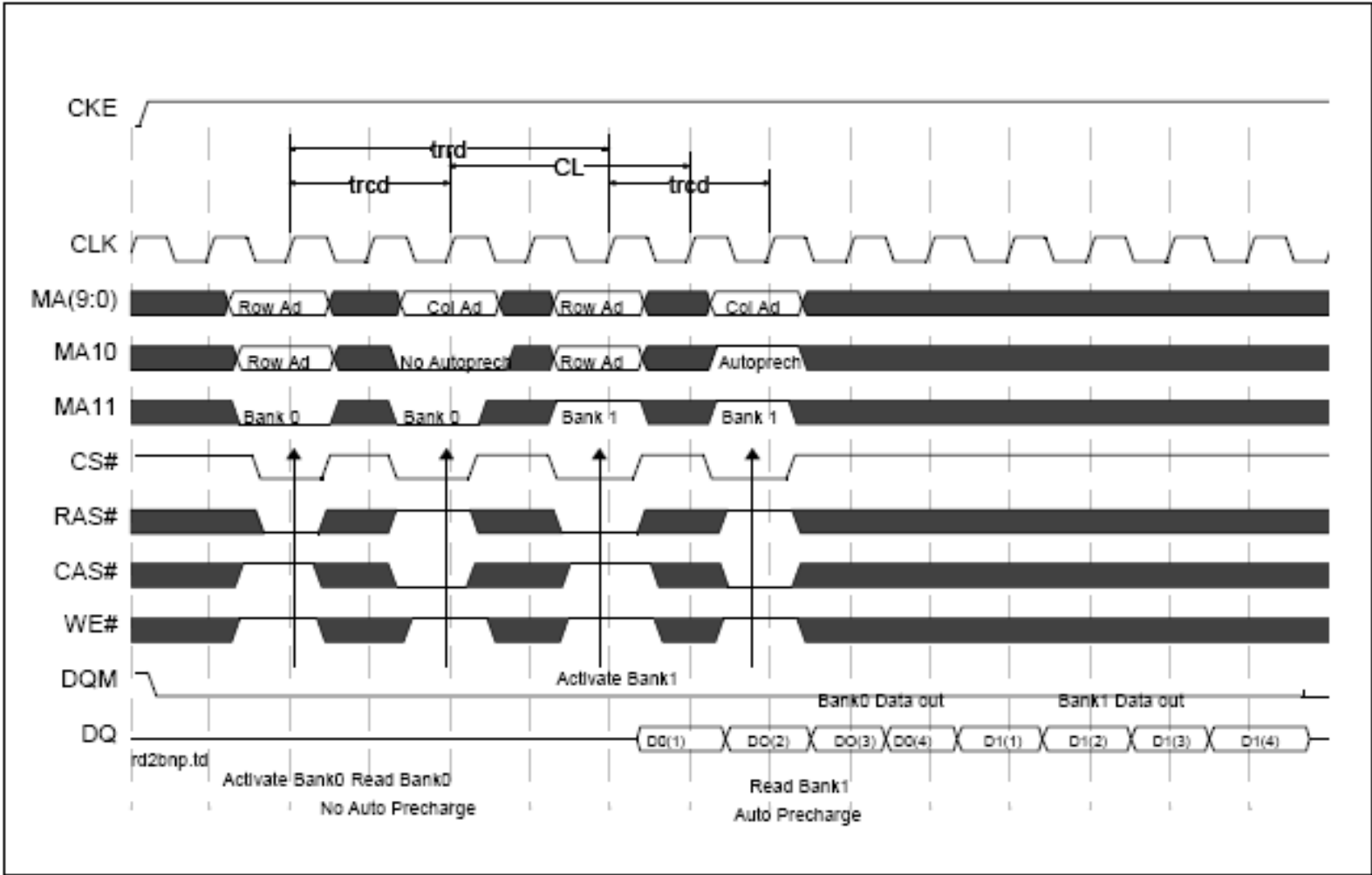


# Read Terminated By Read



ПРИМЕР

# Two Bank Ping Pong Read

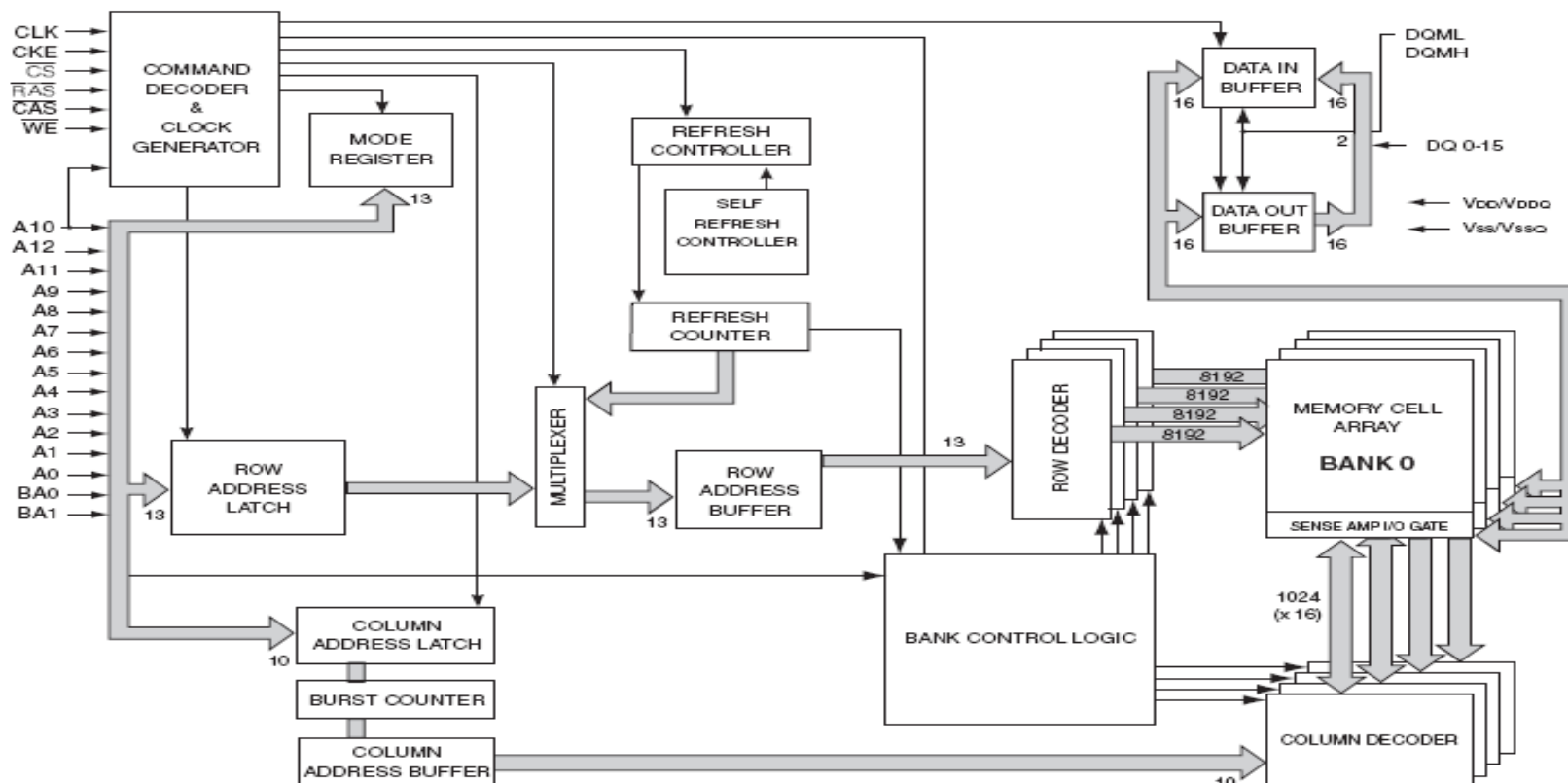




# IS42S16320B

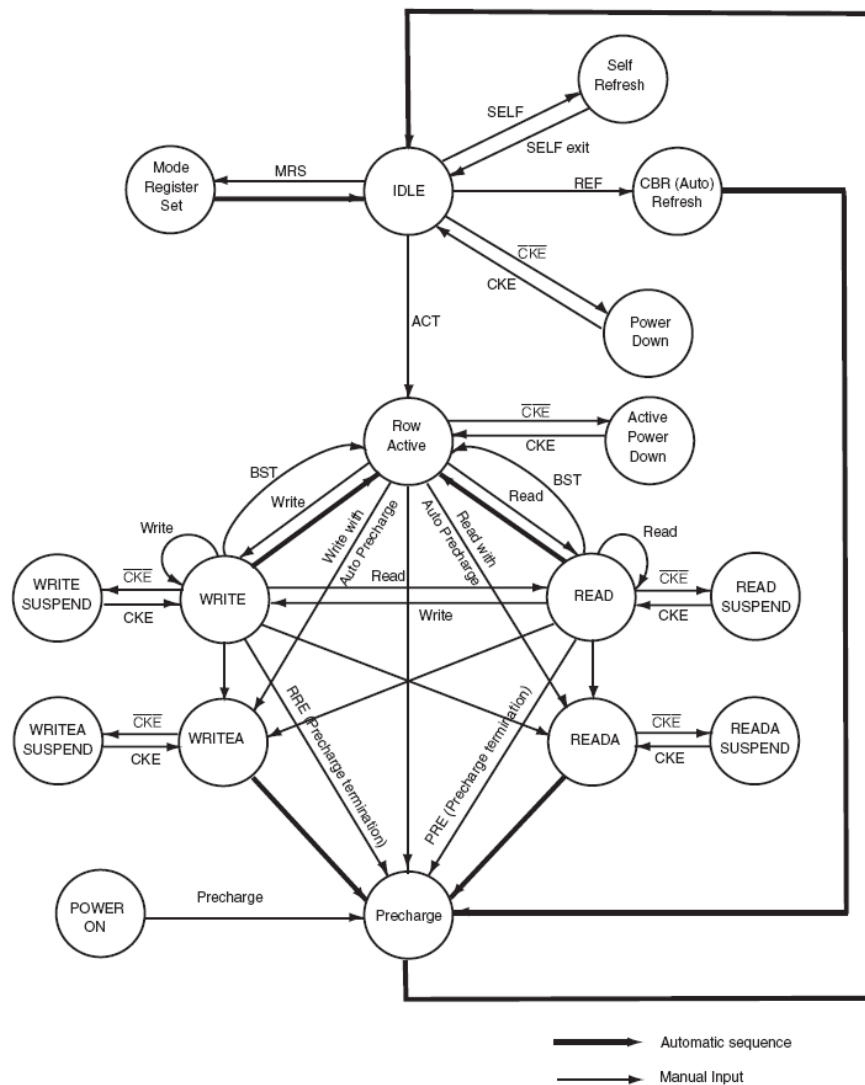
## 32Meg x 16 512-MBIT SYNCHRONOUS DRAM

PRELIMINARY INFORMATION  
JULY 2007



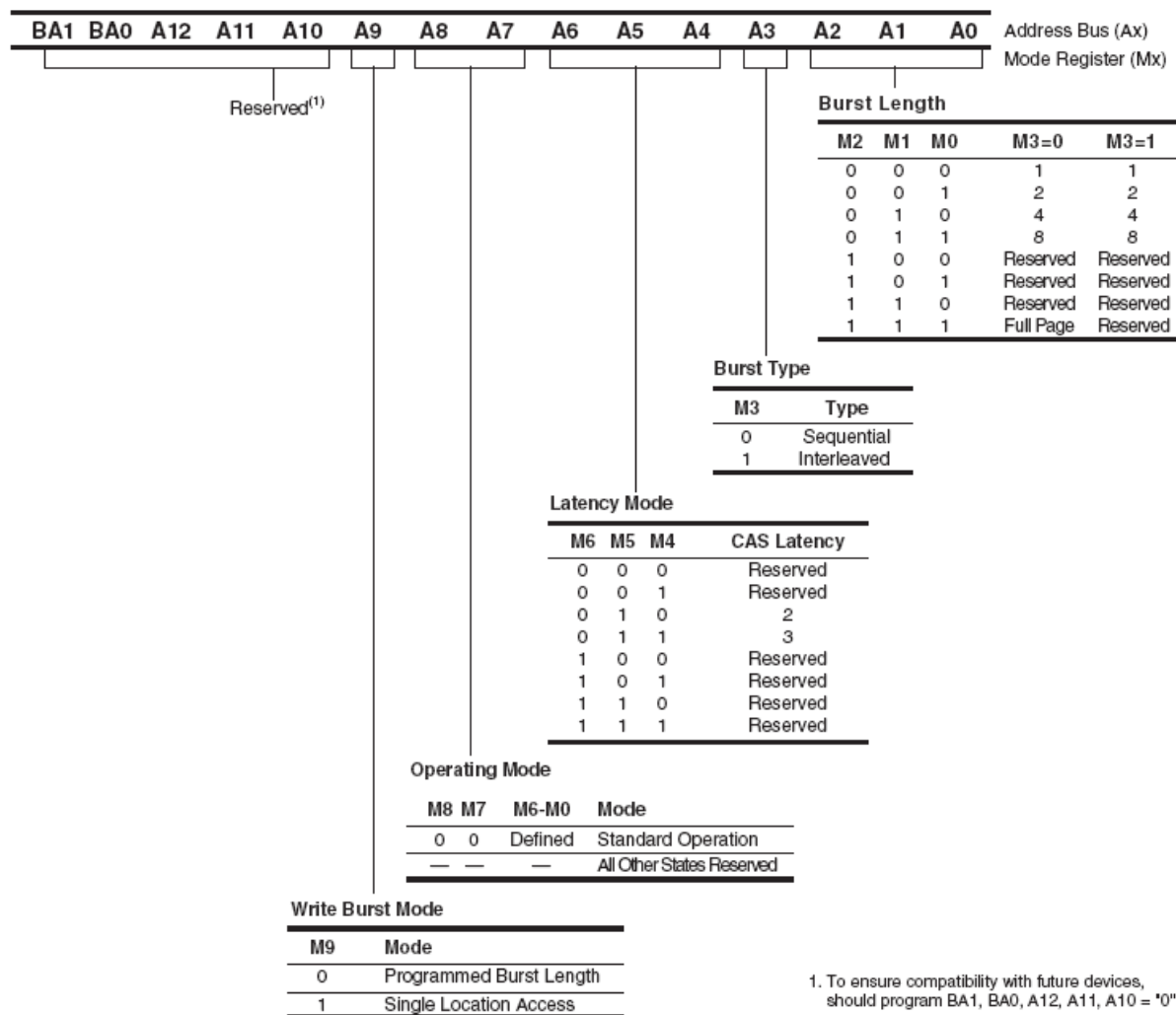
# STATE DIAGRAM

## IS42S16320B

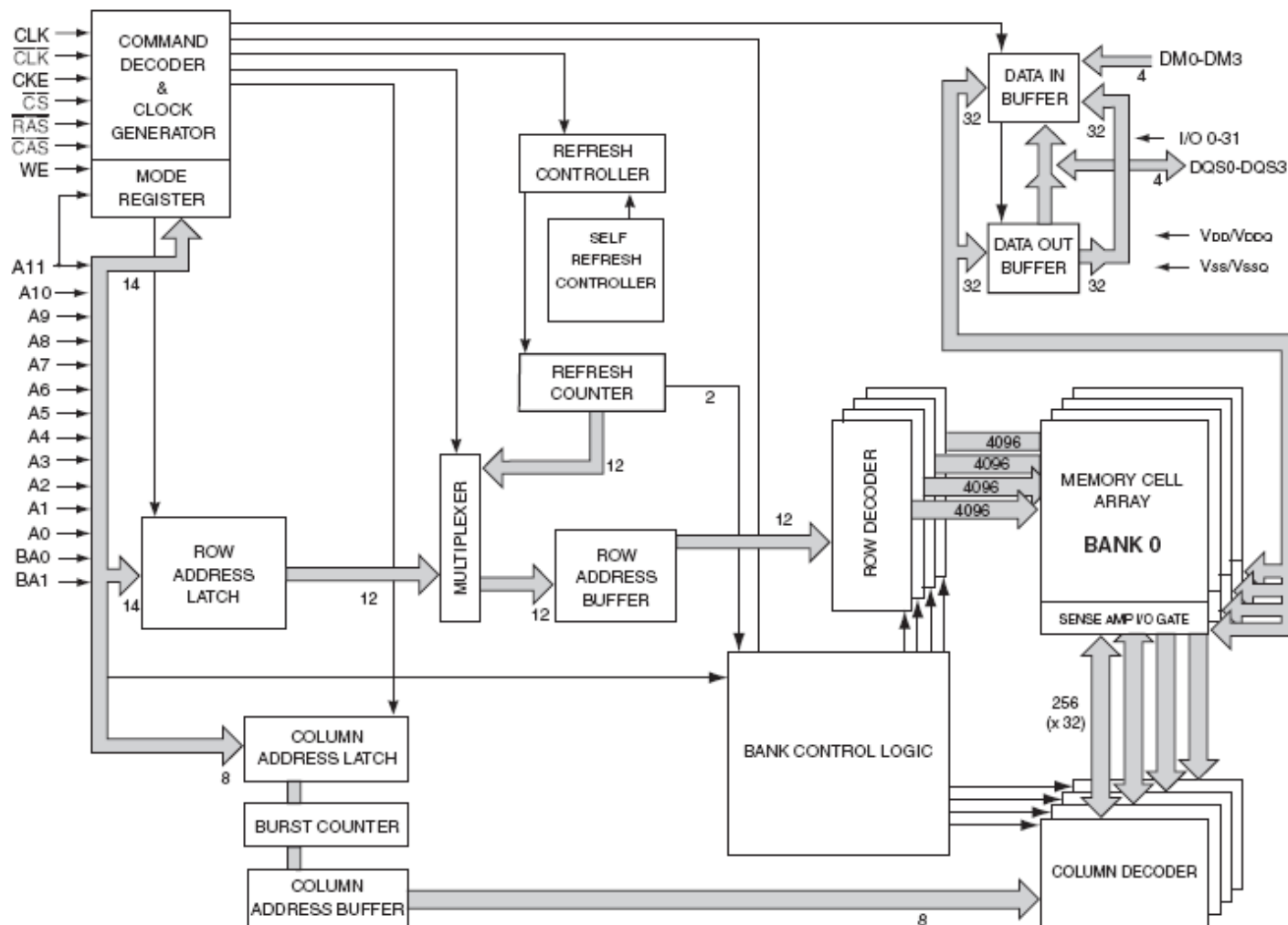


 Automatic sequence  
 Manual Input

# IS42S16320B



1. To ensure compatibility with future devices, should program BA1, BA0, A12, A11, A10 = '0'



## Timing Waveforms

Figure 1. AC Parameters for Read Timing (Burst Length = 4)

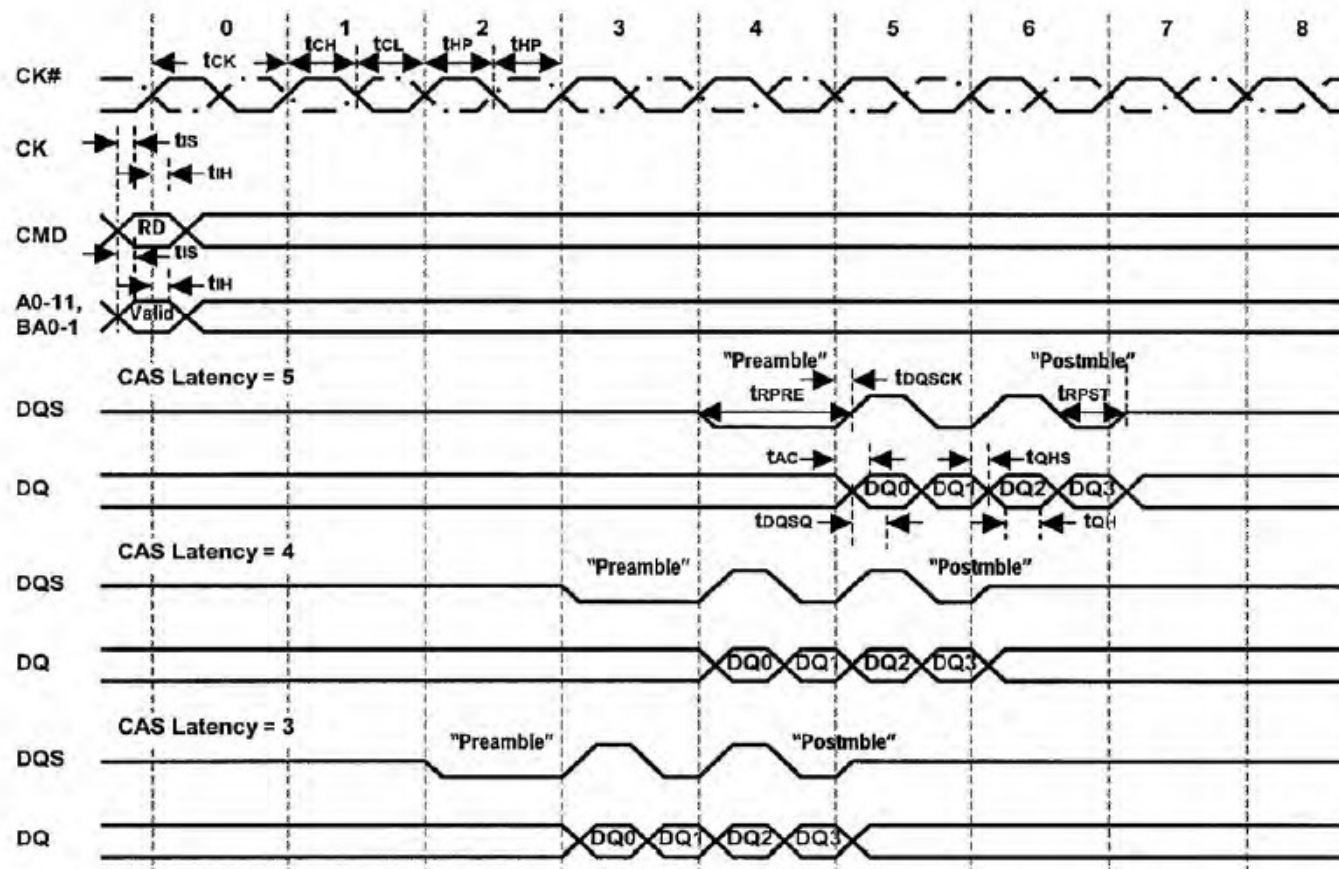
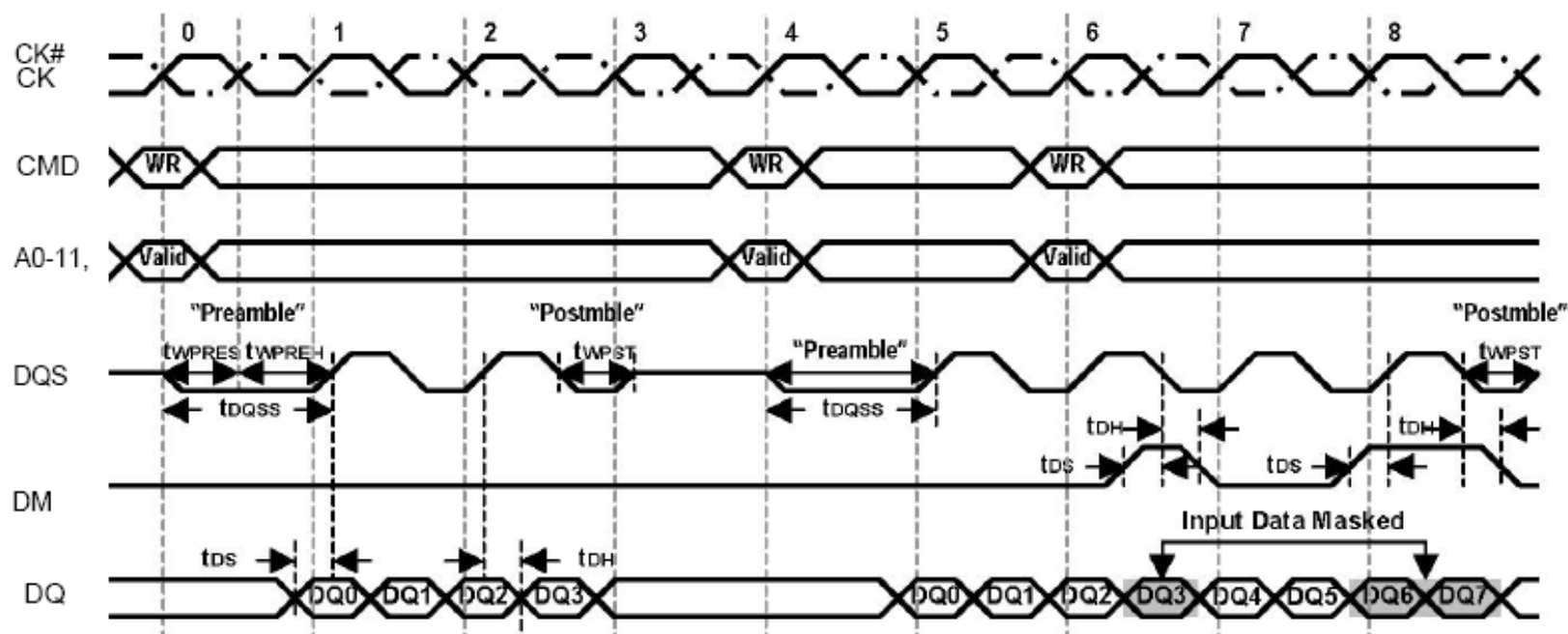


Figure 2. AC Parameters for Write Timing (Burst Length=4 )



# Постоянные запоминающие устройства

МПЗУ (MROM)

ППЗУ (PROM)

РПЗУ-УФ (EPROM)

ОПРПЗУ-УФ (EPROM-ОТР)

РПЗУ-ЭС (EEPROM)

FLASH

NVRAM

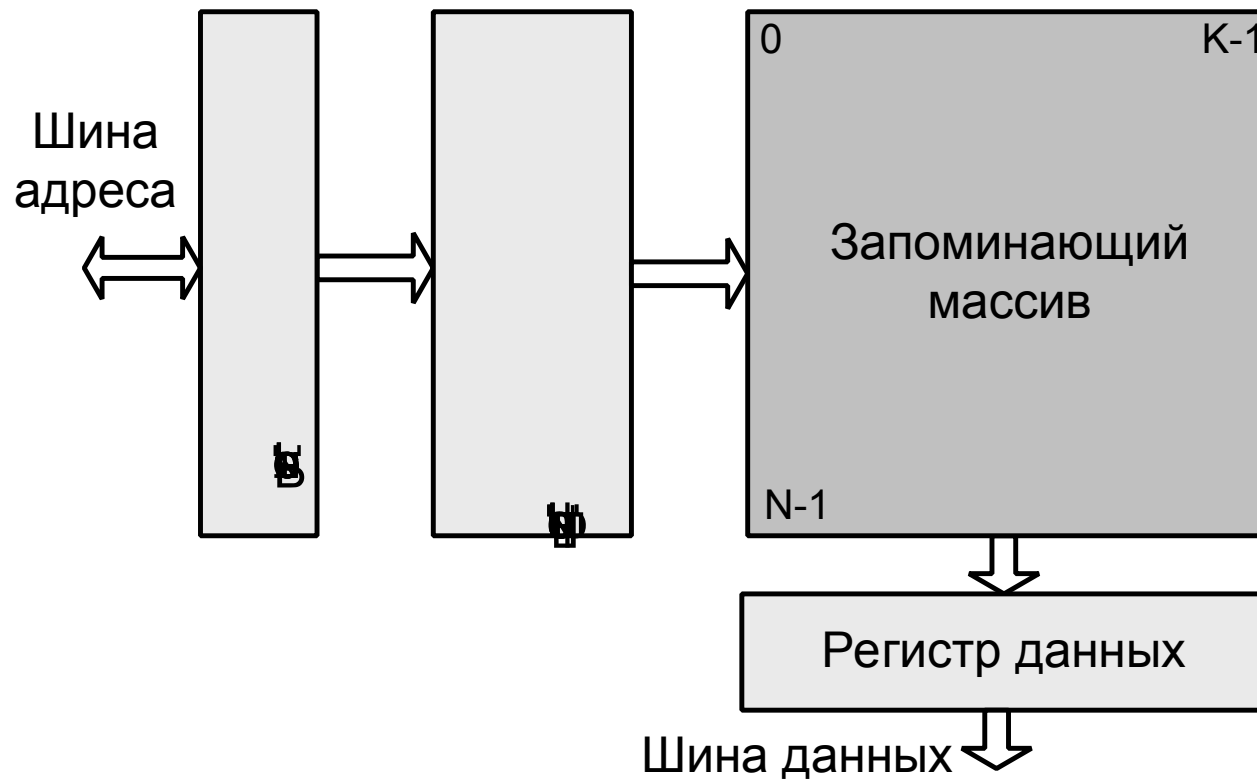
FRAM

MRAM

Преимущества ROM по сравнению RAM:

- Аппаратная простота.
- Высокая плотность размещения ЗЭ.
- Энергонезависимость.
- Большое быстродействие.

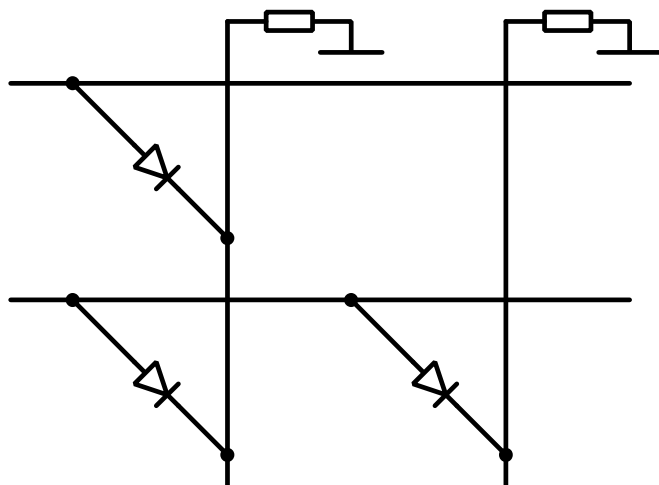
# Структура ПЗУ (ROM)



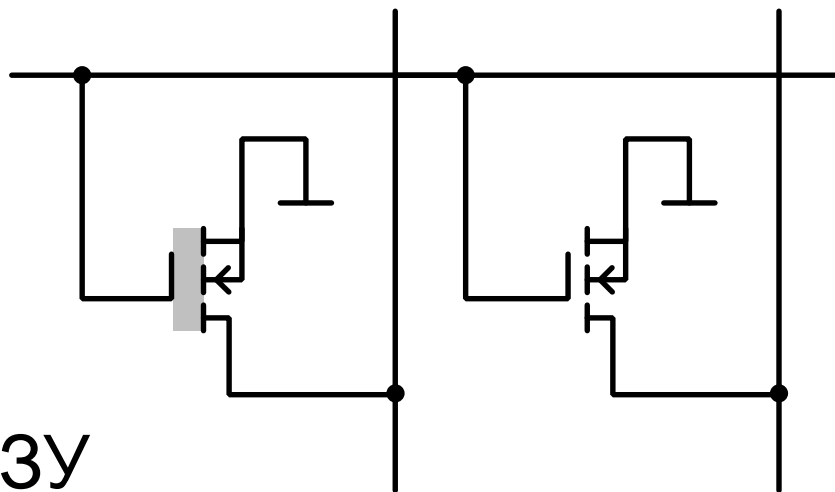


# МПЗУ

ЗЭ на диодах

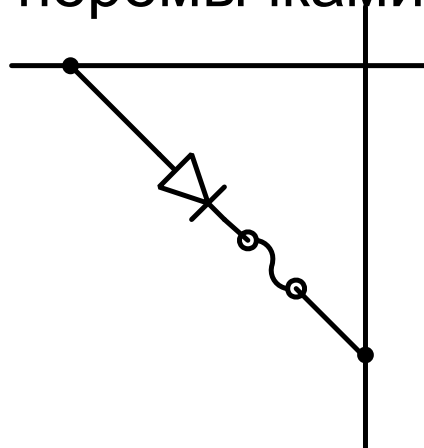


ЗЭ на МОП транзисторах

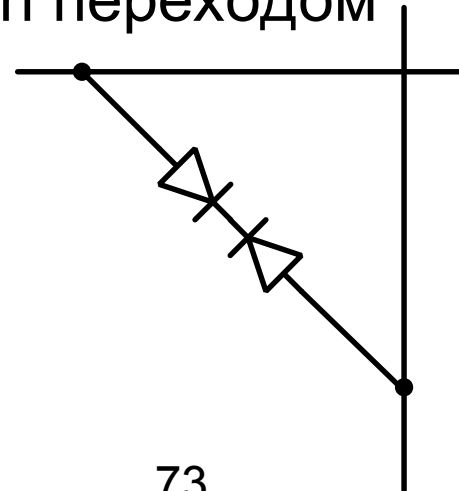


# ППЗУ

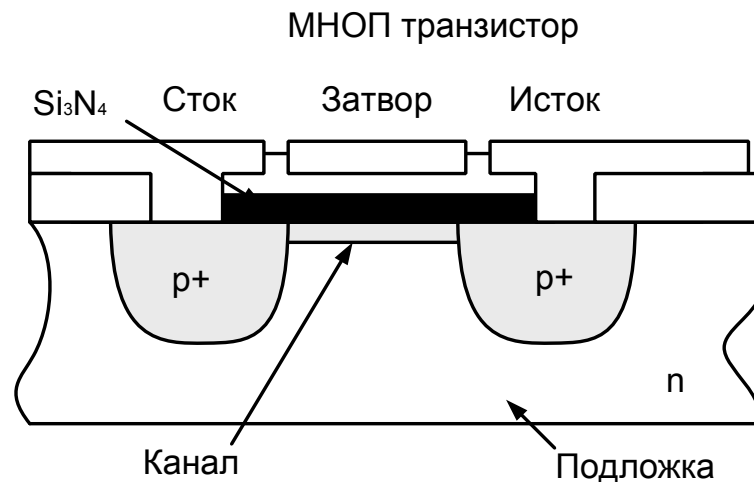
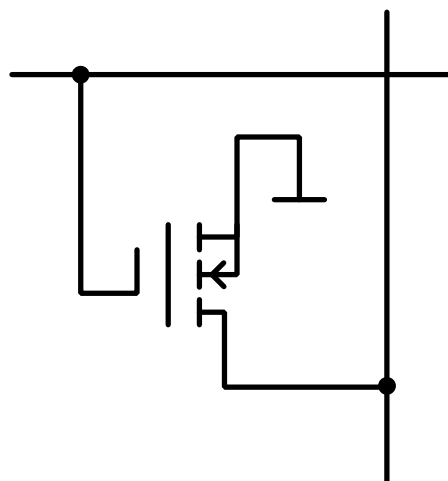
ППЗУ с плавкими  
перемычками



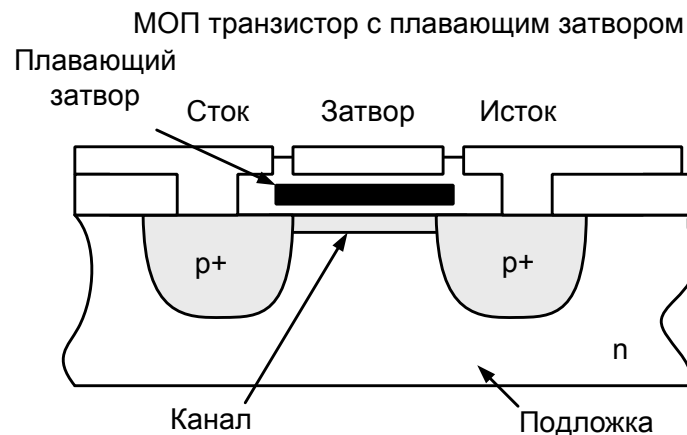
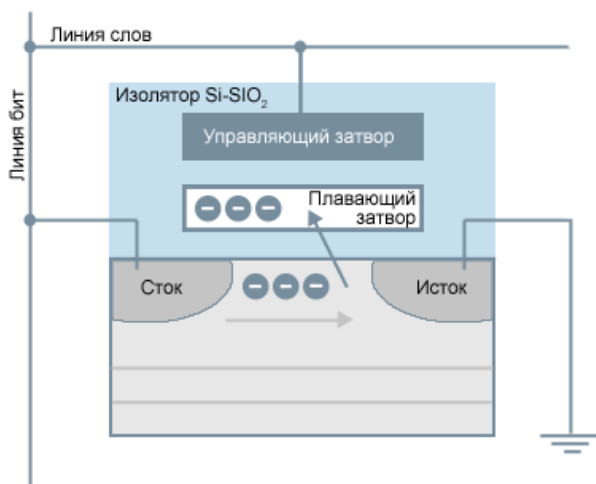
ППЗУ с пережигаемым р-  
п переходом



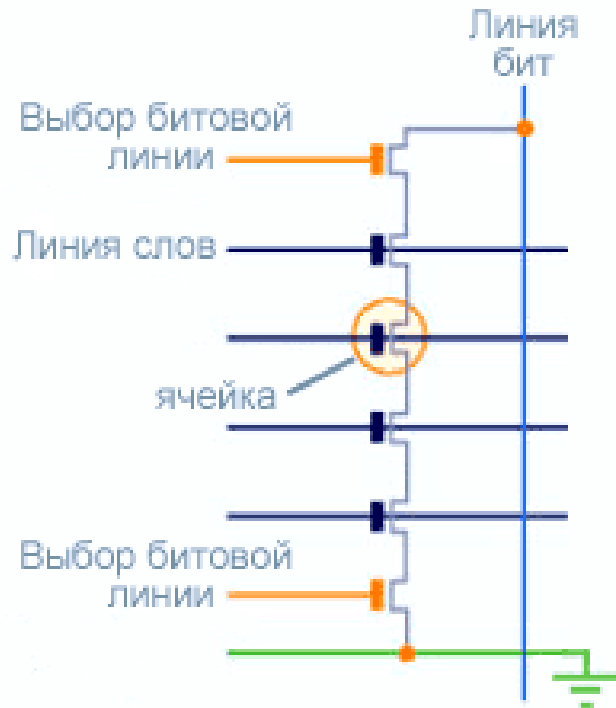
# РПЗУ-УФ, ОПРРПЗУ-УФ (EPROM, EPROM-OTP)



## РПЗУ-ЭС (EEPROM), FLASH



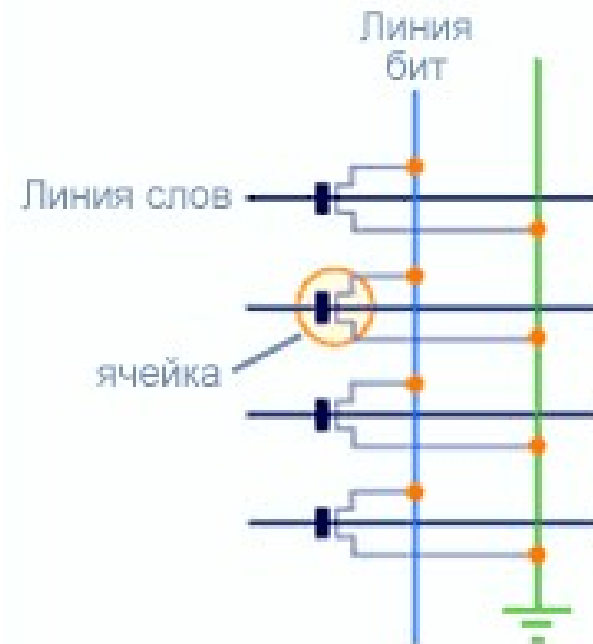
# NAND FLASH



Все транзисторы, кроме адресуемого, должны быть открыты. Если на плавающем затворе есть заряд, то транзистор не откроется и на линии бит будет высокий уровень. В противном случае сигнал будет низкого уровня.

- + Большая компактность
- Меньшее быстродействие

# NOR FLASH

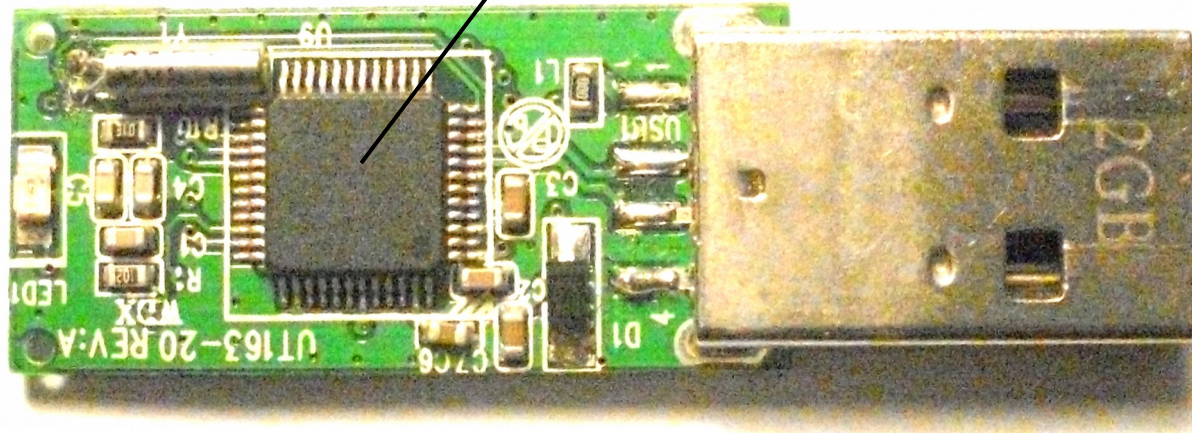


Линии слов невыбранных транзисторов находятся под низким потенциалом (транзисторы закрыты), на затворе выбранного транзистора высокий потенциал. Если на плавающем затворе выбранного транзистора есть заряд, то транзистор не откроется и на линии бит будет уровень лог. единицы.

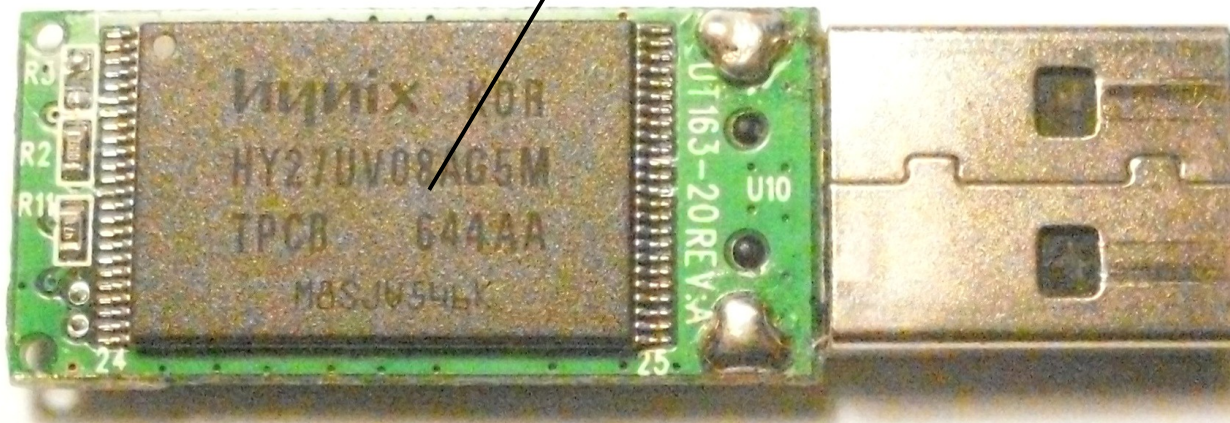
- Меньшая компактность
- + Большее быстродействие

# Накопитель на основе FLASH

Контроллер FLASH HUKE 163H

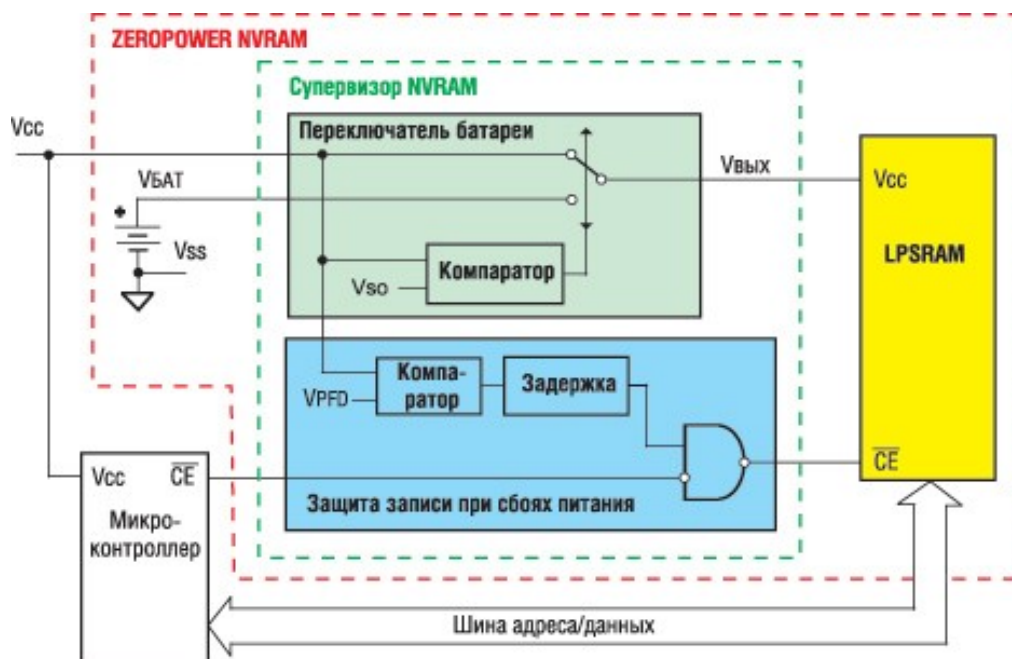
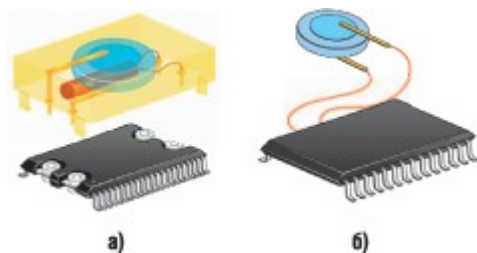


NAND FLASH HY27UV08AG5M



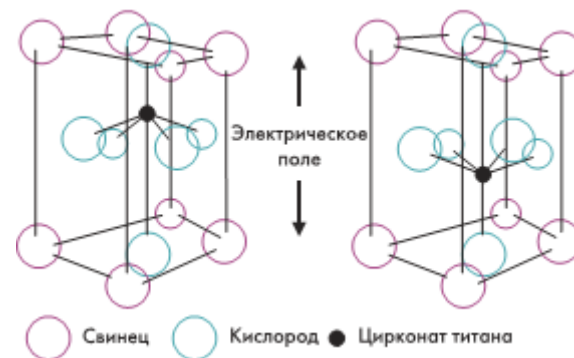
# ПЗУ типа NVRAM

Энергонезависимая память NVRAM (Non-Volatile Random Access Memory) – это оперативная память LPSRAM (Low Power SRAM – статическое ОЗУ с очень низким потреблением), сохраняющая данные независимо от наличия основного питания благодаря наличию встроенной литиевой батареи для резервного питания. Интегрированная схема контроля и переключения на резервный источник питания (супервизор и коммутатор литиевой батареи) гарантирует работоспособность памяти NVRAM и сохранение данных в течение десяти лет при полном отсутствии внешнего питания.



# ПЗУ на основе сегнетоэлектрической пленки (FRAM)

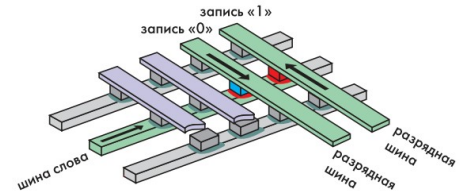
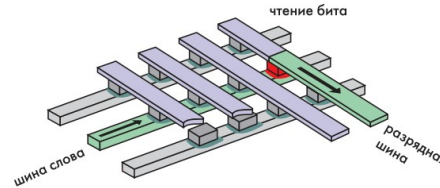
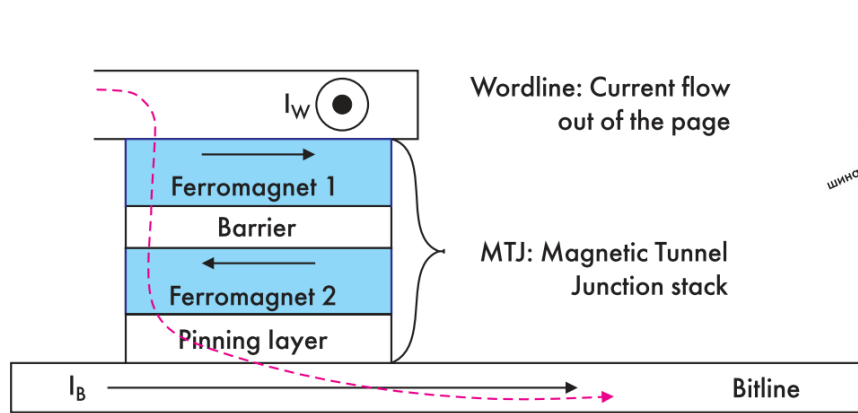
- +Высокая скорость записи
- Необходимость восстановления информации при доступе



Основа запоминающего устройства FRAM — это конденсатор, представляющий собой две пластины с тонким слоем ферроэлектрика между ними. Приложенный к обкладкам конденсатора потенциал поляризует ферроэлектрик. Направление поляризации представляет собой двоичную информацию, хранящуюся в ячейке. При повторном приложении потенциала заряд, затрачиваемый на реполяризацию, будет зависеть от того, совпадает направление электрического поля с тем, которое поляризовало ферроэлектрик в прошлый раз, или нет. Если направление поля не совпадает, то на изменение поляризации потребуется значительный дополнительный заряд. Таким образом, если при повторном наложении потенциала наблюдается электрический ток, то направление не совпадает с предыдущим. По наличию или отсутствию тока перезаряда можно судить о содержимом ячейки.



# Магниторезистивные ПЗУ (MRAM)



- +Сверхвысокое быстродействие (до 2-3 нс)
- +Низкое энергопотребление
- +Неограниченное количество циклов чт/зп

Проводимость магниторезистивного слоя зависит от магнитного поля, в которое он помещен. Внутри запоминающего элемента MRAM сопротивление находящегося в нем магниторезистивного материала будет определяться ориентацией магнитных моментов ферромагнитных слоев. В одном из магнитных слоев домены фиксированы в одном направлении. В другом слое они в ответ на воздействие внешнего поля могут быть развернуты в противоположном направлении. В результате они могут быть либо параллельны, либо антипараллельны элементам фиксированного слоя. Эти два состояния запоминают «1» или «0».

**Таблица 1. Сравнительные характеристики MRAM, выполненных с различными нормами, и других типов встраиваемой памяти**

Характеристика	MRAM			Флэш	СОЗУ	ДОЗУ	FRAM
	0,6 мкм	0,18 мкм	90 нм	90 нм	90 нм	90 нм	90 нм
Объем, Мбит	256 Кбит – 1	1–32	4–256	4–64	4–64	16–256	4–64
Диаметр пластины, мм	150/200	200	200/300	200/300	200/300	200/300	200/300
Быстродействие, МГц	16	50–100	75–125	20–100 (при считывании)	50–2000	20–100	15–50
Эффективность использования матрицы, %	40–60	40–60	25–40	50–80	40	40–60	40–60
Напряжение, В	3,3	3,3/1,8	2,5/1,2	2,5/1,2; 9–12 (внутреннее)	2,5/1,2	2,5/1,2	2,5/1,2
Увеличение стоимости КМОП-технологии, %	–	15–25	15–25	25	0	15	15–25
Площадь ячейки, мкм <sup>2</sup>	7,2	0,7–1	0,15–0,25	0,2–0,25	1–1,3	0,25	0,4
Площадь блока, мм <sup>2</sup> /Мбит	12,0	2–3	0,3–0,5	0,6–1	1,2–1,7	0,6	0,8
Рабочий ресурс, число циклов перезаписи	>10 <sup>15</sup>	>10 <sup>15</sup>	>10 <sup>15</sup>	>10 <sup>15</sup> (считывание), <10 <sup>6</sup> (запись)	>10 <sup>15</sup>	>10 <sup>15</sup>	>10 <sup>13</sup> (считывание/ запись)
Энергонезависимость	+	+	+	+	–	–	+







# IS93C76A IS93C86A

## 8K-BIT/16K-BIT SERIAL ELECTRICALLY ERASABLE PROM

MAY 2007

### FEATURES

- Industry-standard Microwire Interface
  - Non-volatile data storage
  - Wide voltage operation:  
 $V_{CC} = 1.8V$  to  $5.5V$
  - Auto increment for efficient data dump
- User Configured Memory Organization
  - By 16-bit or by 8-bit
- Hardware and software write protection
  - Defaults to write-disabled state at power
  - Software instructions for write-enable/disable
- Enhanced low voltage CMOS E<sup>2</sup>PROM technology
- Versatile, easy-to-use Interface
  - Self-timed programming cycle
  - Automatic erase-before-write
  - Programming status indicator
  - Word and chip erasable
  - Chip select enables power savings
- Durable and reliable
  - 40-year data retention after 1M write cycles
  - 1 million write cycles
  - Unlimited read cycles
  - Schmitt-trigger Inputs
- Industrial and Automotive Temperature Grade
- Lead-free available

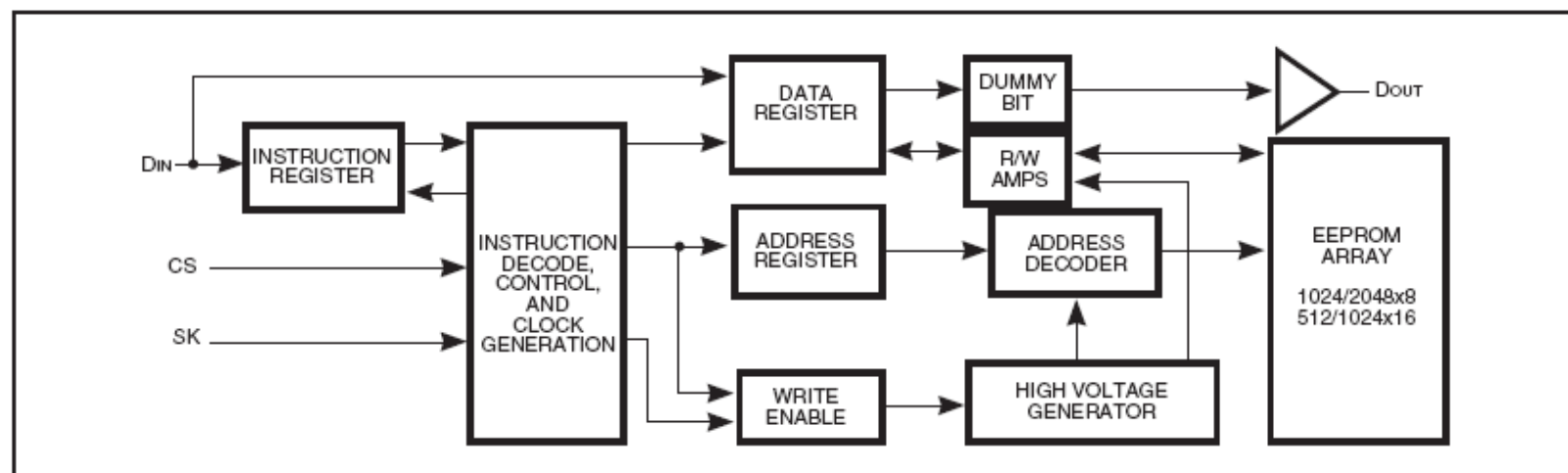


## IS93C76A IS93C86A

### 8K-BIT/16K-BIT SERIAL ELECTRICALLY ERASABLE PROM

MAY 2007

#### FUNCTIONAL BLOCK DIAGRAM



# IS93C76A IS93C86A

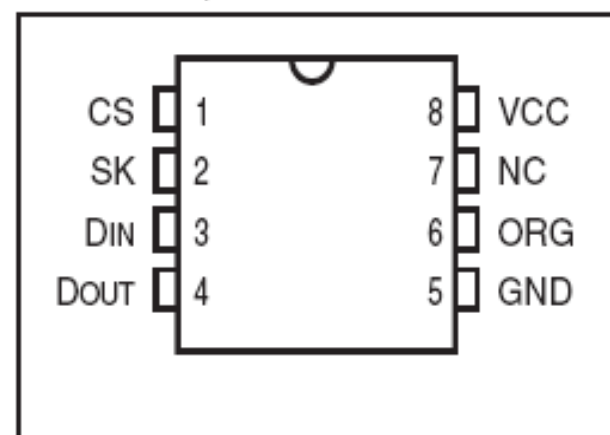
## 8K-BIT/16K-BIT SERIAL ELECTRICALLY ERASABLE PROM

MAY 2007

### PIN DESCRIPTIONS

CS	Chip Select
SK	Serial Data Clock
DIN	Serial Data Input
DOUT	Serial Data Output
ORG	Organization Select
NC	Not Connected
Vcc	Power
GND	Ground

### 8-Pin DIP, 8-Pin TSSOP





# IS93C76A IS93C86A

## 8K-BIT/16K-BIT SERIAL ELECTRICALLY ERASABLE PROM

MAY 2007

### INSTRUCTION SET - IS93C86A (16kb)

Instruction <sup>(2)</sup>	Start Bit	OP Code	8-bit Organization (ORG = GND)		16-bit Organization (ORG = Vcc)	
			Address <sup>(1)</sup>	Input Data	Address <sup>(1)</sup>	Input Data
READ	1	10	(A10-A0)	—	(A9-A0)	—
WEN (Write Enable)	1	00	11x xxxx xxxx	—	11 xxxx xxxx	—
WRITE	1	01	(A10-A0)	(D7-D0)	(A9-A0)	(D15-D0)
WRALL (Write All Registers)	1	00	01x xxxx xxxx	(D7-D0)	01 xxxx xxxx	(D15-D0)
WDS (Write Disable)	1	00	00x xxxx xxxx	—	00 xxxx xxxx	—
ERASE	1	11	(A10-A0)	—	(A9-A0)	—
ERALL (Erase All Registers)	1	00	10x xxxx xxxx	—	10 xxxx xxxx	—

#### Notes:

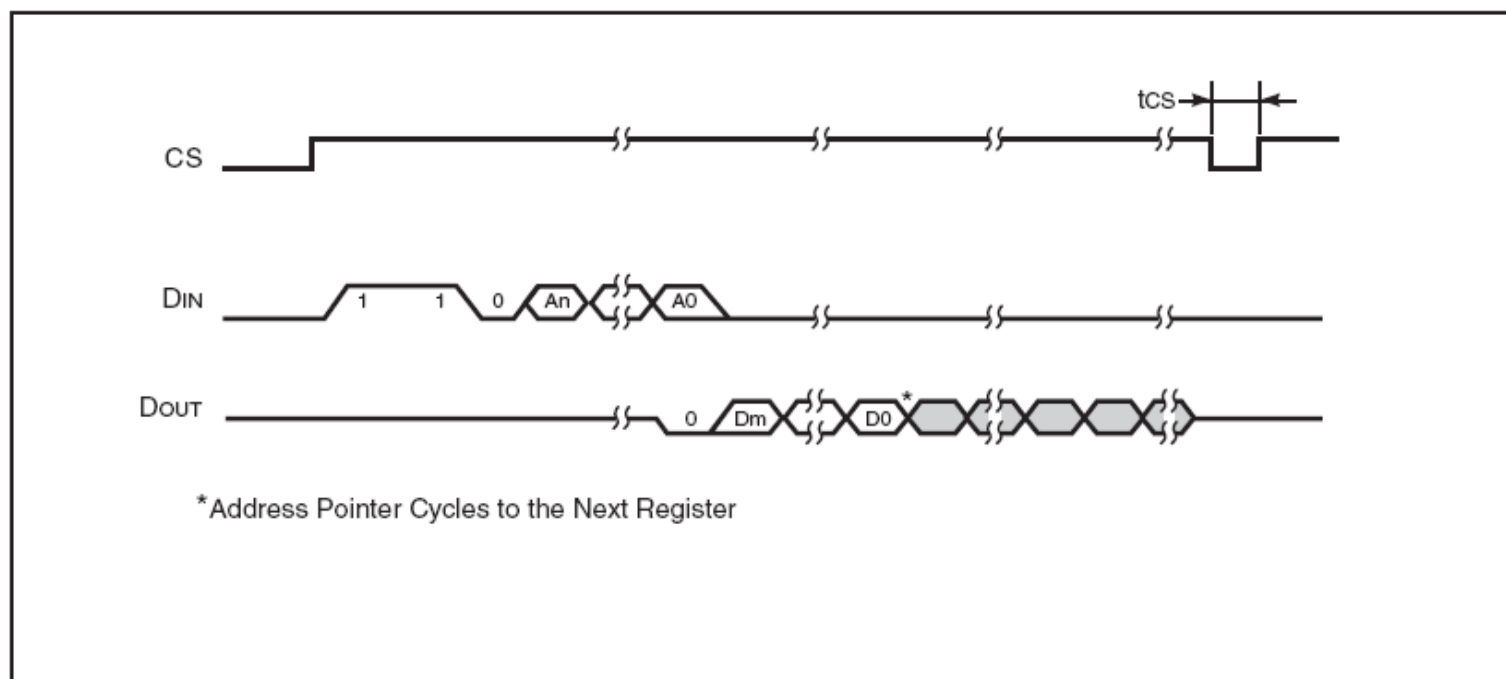
1. x = Don't care bit.
2. If the number of bits clocked-in does not match the number corresponding to a selected command, all extra trailing bits are ignored, and WRITE, WRALL, ERASE, ERALL, WEN, and WDS instructions are rejected, but READ is accepted.

# IS93C76A IS93C86A

## 8K-BIT/16K-BIT SERIAL ELECTRICALLY ERASABLE PROM

MAY 2007

FIGURE 3. READ CYCLE TIMING

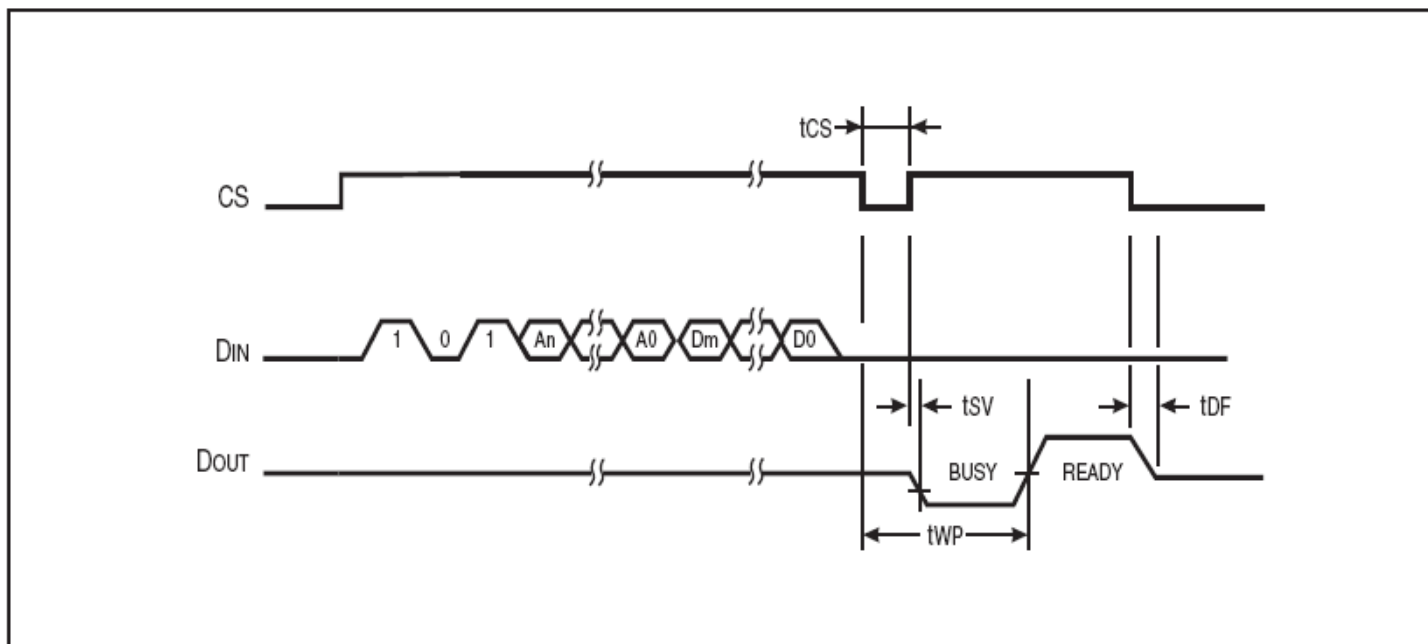


# IS93C76A IS93C86A

## 8K-BIT/16K-BIT SERIAL ELECTRICALLY ERASABLE PROM

MAY 2007

FIGURE 5. WRITE (WRITE) CYCLE TIMING



**Notes:**

1. After the completion of the instruction (DOUT is in  $\overline{READY}$  status) then it may perform another instruction. If device is in  $\overline{BUSY}$  status (DOUT indicates  $\overline{BUSY}$  status) then attempting to perform another instruction could cause device malfunction.
2. To determine address bits  $A_n$ - $A_0$  and data bits  $D_m$ - $D_0$ , see Instruction Set for the specific device.



## 2-Megabit 5-volt Only Serial DataFlash<sup>®</sup>

### AT45D021

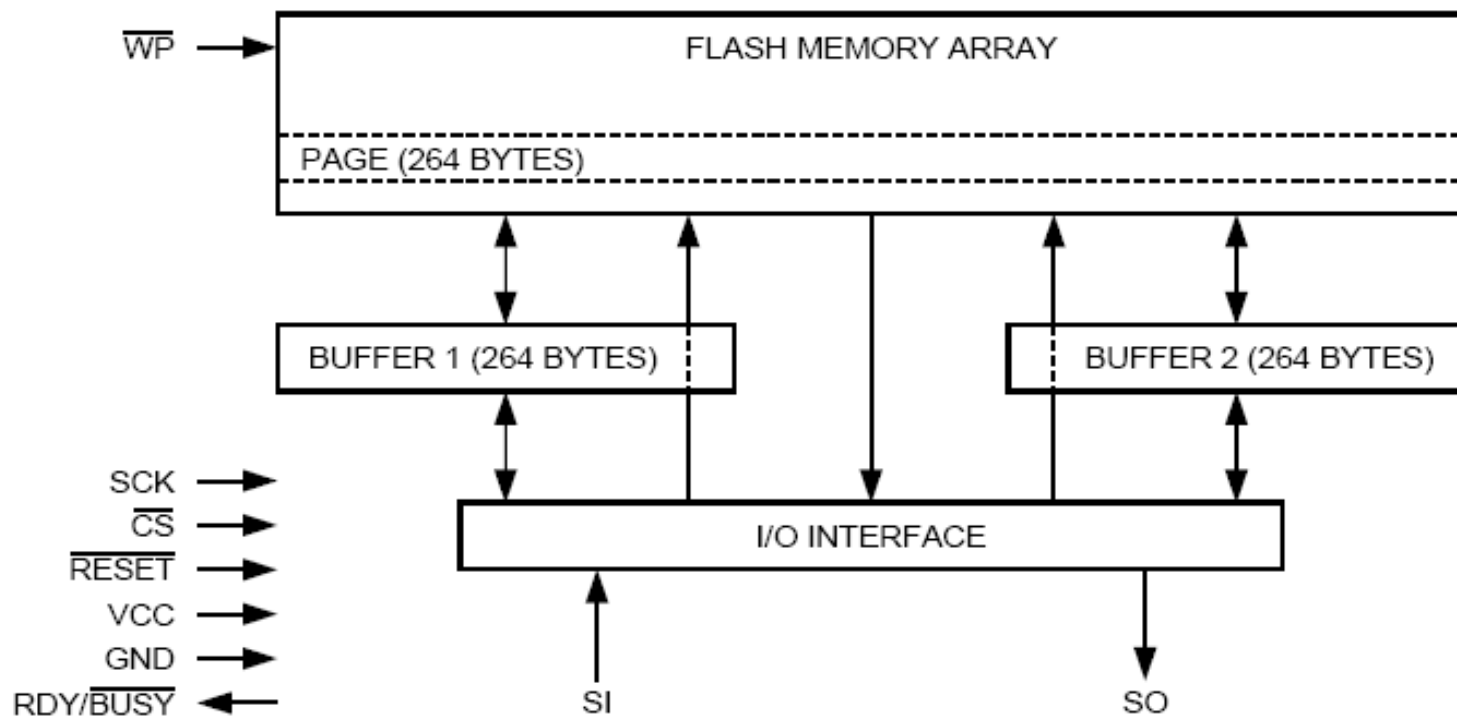
## Features

- Single 4.5V - 5.5V Supply
- Serial Interface Architecture
- Page Program Operation
  - Single Cycle Reprogram (Erase and Program)
  - 1024 Pages (264 Bytes/Page) Main Memory
- Two 264-Byte SRAM Data Buffers – Allows Receiving of Data while Reprogramming of Nonvolatile Memory
- Internal Program and Control Timer
- Fast Page Program Time – 7 ms Typical
- 80  $\mu$ s Typical Page to Buffer Transfer Time
- Low Power Dissipation
  - 15 mA Active Read Current Typical
  - 15  $\mu$ A CMOS Standby Current Typical
- 10 MHz Max Clock Frequency
- Hardware Data Protection Feature
- Serial Peripheral Interface (SPI) Compatible – Modes 0 and 3
- CMOS and TTL Compatible Inputs and Outputs
- Commercial and Industrial Temperature Ranges

## Pin Configurations

Pin Name	Function
CS	Chip Select
SCK	Serial Clock
SI	Serial Input
SO	Serial Output
WP	Hardware Page Write Protect Pin
$\overline{\text{RESET}}$	Chip Reset
$\text{RDY}/\overline{\text{BUSY}}$	Ready/Busy

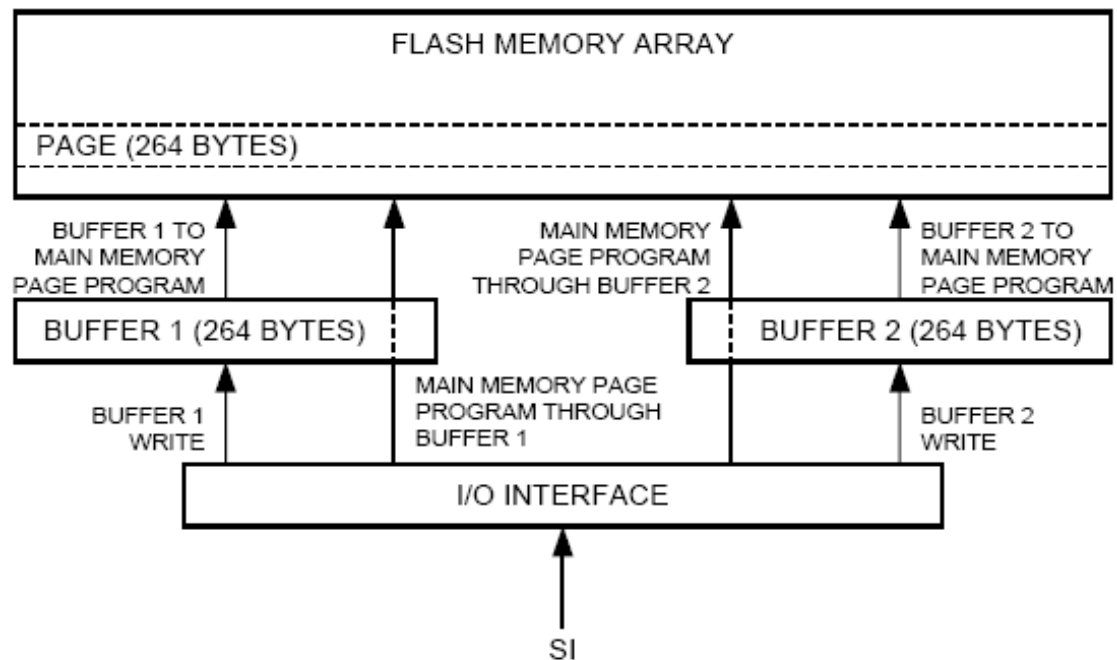
## Block Diagram



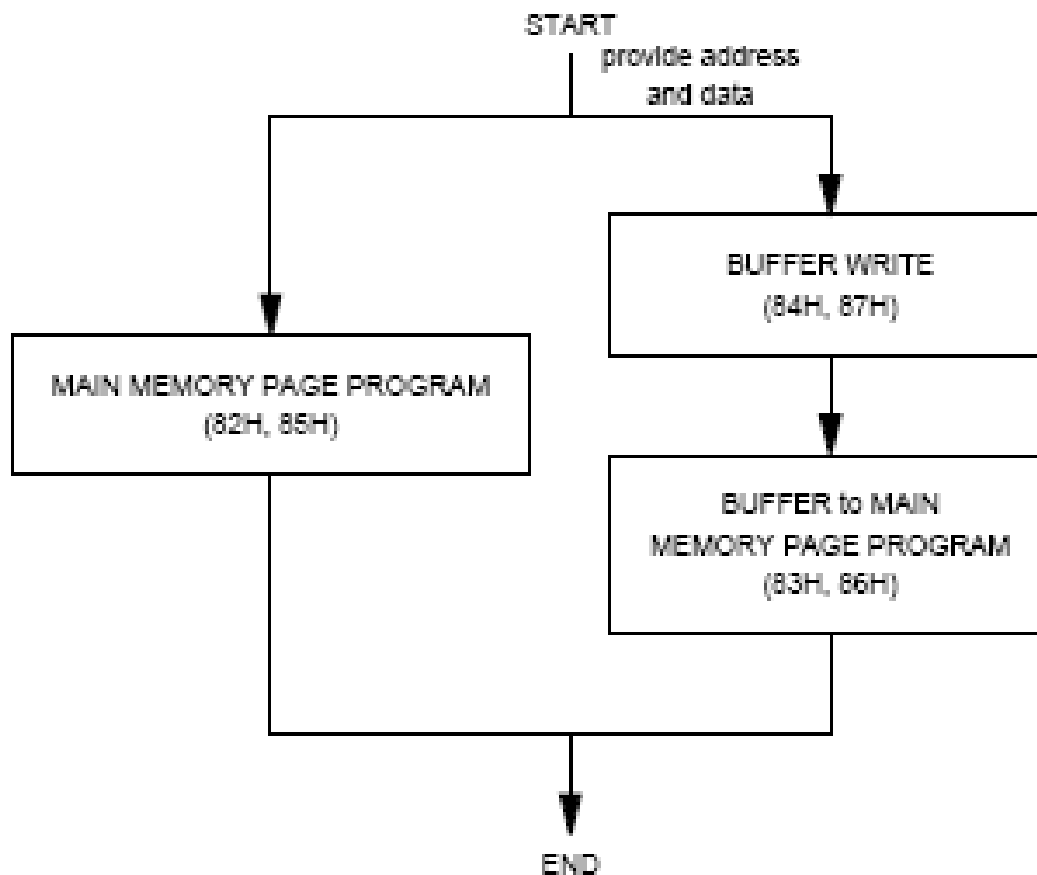


## Write Operations

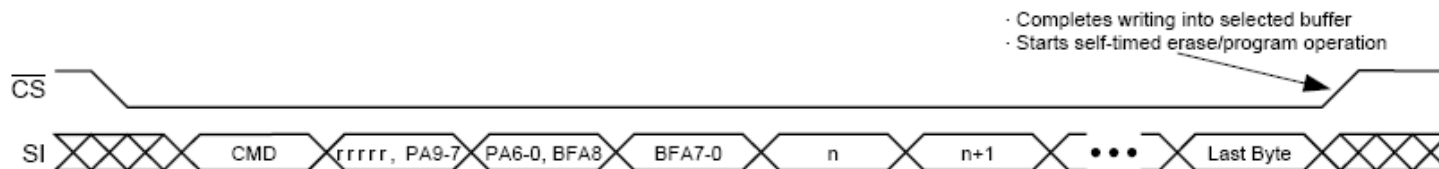
The following block diagram and waveforms illustrate the various write sequences available.



## Algorithm for Programming or Reprogramming of the Entire Array Sequentially



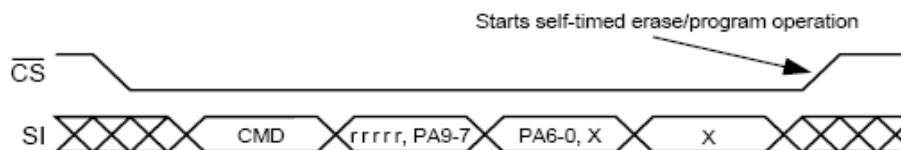
## Main Memory Page Program through Buffers



## Buffer Write



## Buffer to Main Memory Page Program (Data from Buffer Programmed into Flash Page)

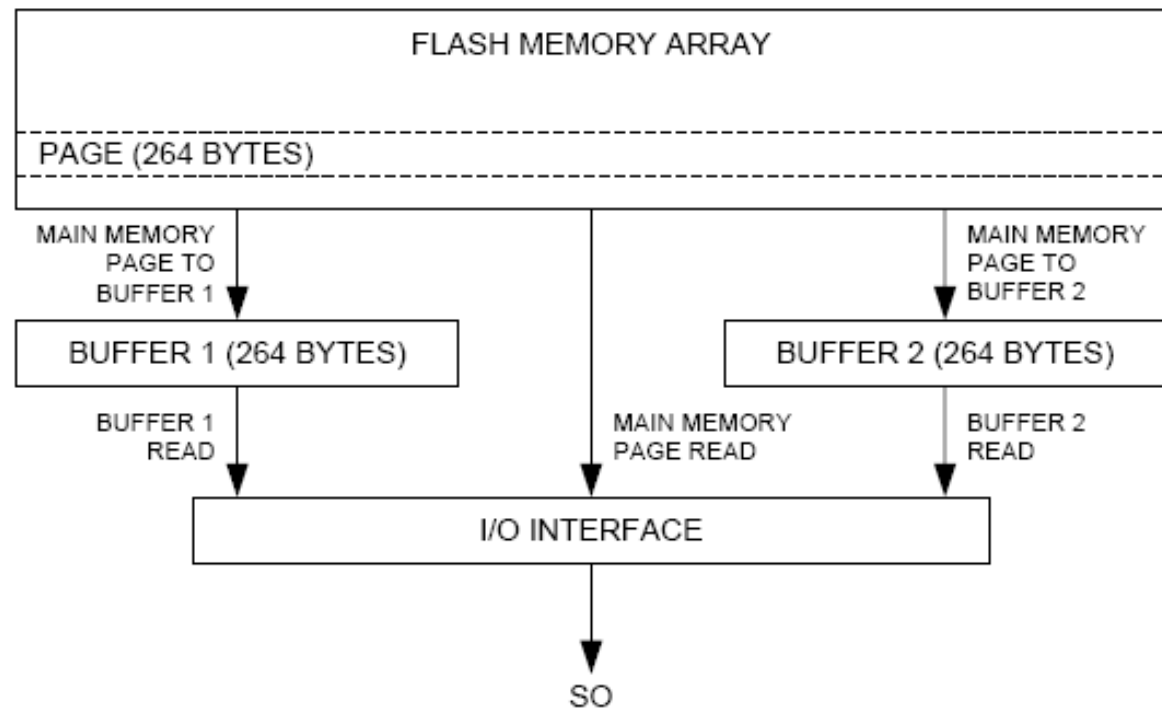


Each transition represents  
8 bits and 8 clock cycles

n = 1st byte read  
n+1 = 2nd byte read

## Read Operations

The following block diagram and waveforms illustrate the various read sequences available.



## Main Memory Page Read



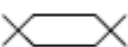
## Main Memory Page to Buffer Transfer (Data from Flash Page Read into Buffer)



## Buffer Read



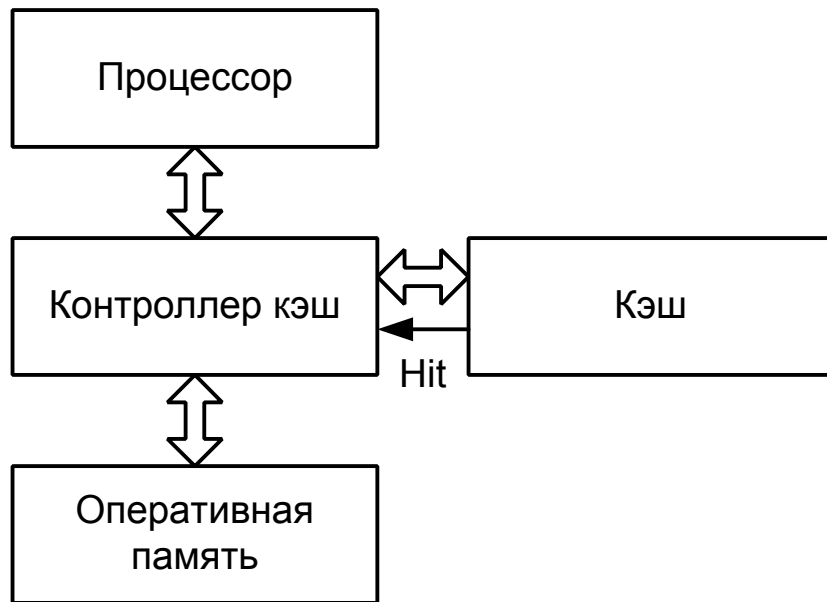
Each transition represents  
8 bits and 8 clock cycles



n = 1st byte written  
n+1 = 2nd byte written

# Принципы построения кэш-памяти

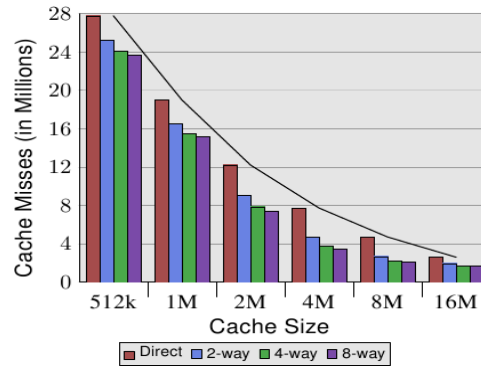
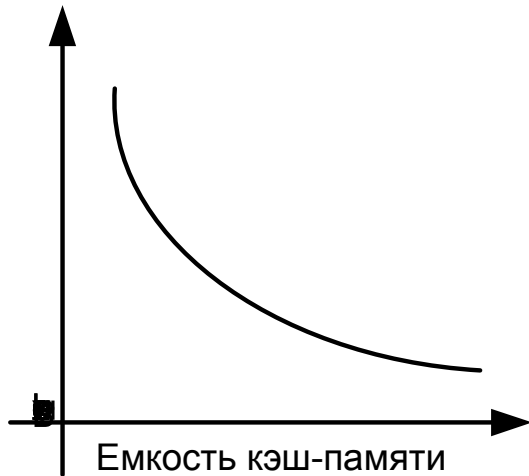
Кэш-память – ассоциативное ЗУ, позволяющее сгладить разрыв в производительности процессора и оперативной памяти. Выборка из кэш-памяти осуществляется по физическому адресу ОП.



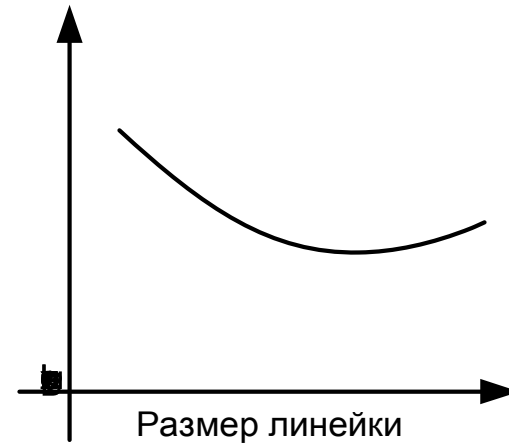
Эффективность кэш-памяти зависит от:

- Емкости кэш-памяти.
- Размера строки.
- Способа отображения ОП в кэш.
- Алгоритма замещения информации в кэш.
- Алгоритма согласования ОП и кэш.
- Числа уровней кэш.

## Ёмкость кэш-памяти



## Размер линейки

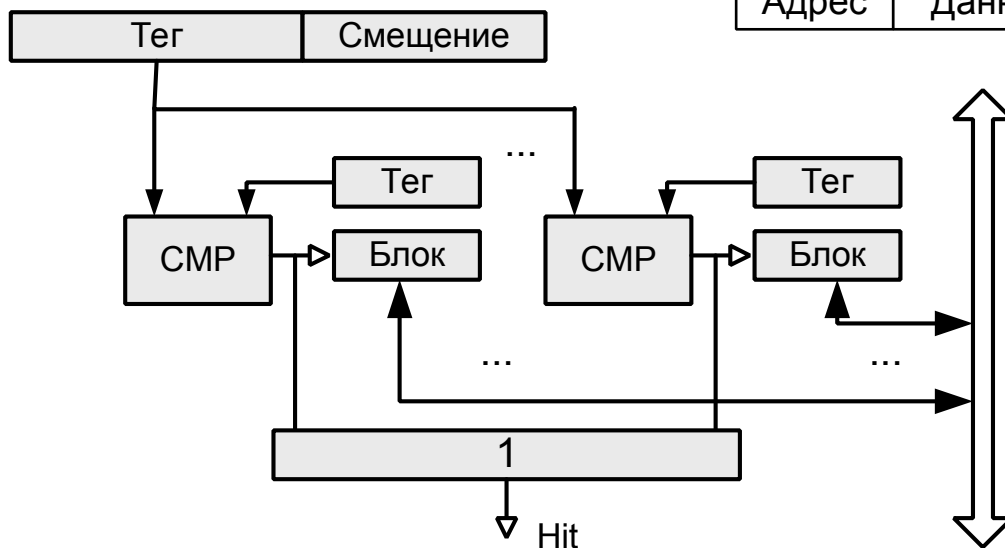


Способы отображения ОП в кэш:

- Произвольная загрузка.
- Прямое размещение.
- Наборно-ассоциативный способ отображения.

# Произвольная загрузка (Fully associated cache memory, FACM).

Адрес строки FACM определяется из условия формирования наиболее представительной выборки



КЭШ

Адрес	Данные
Адрес	Данные
-	-
Адрес	Данные
-	-
Адрес	Данные
Адрес	Данные

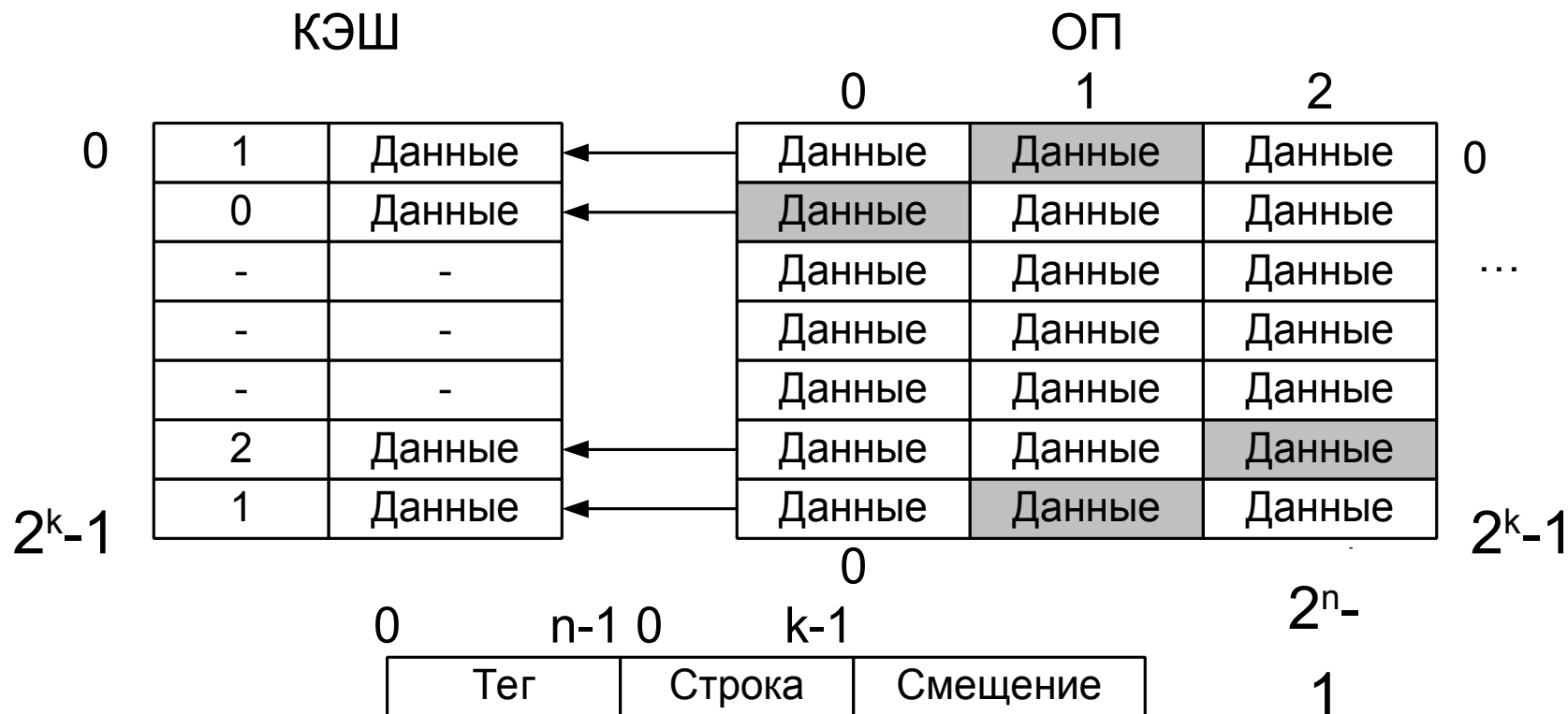
ОП

Данные
Данные
-
Данные
-
Данные
Данные
-
Данные
Данные
...



## Прямое размещение.

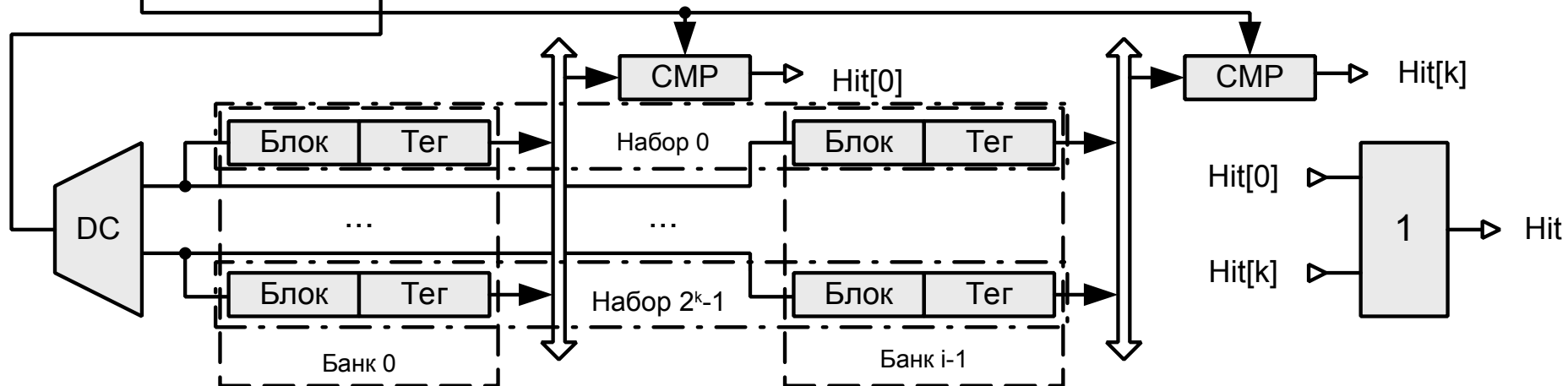
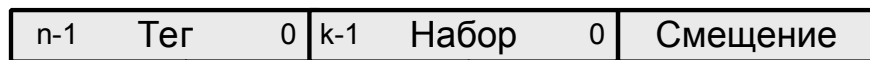
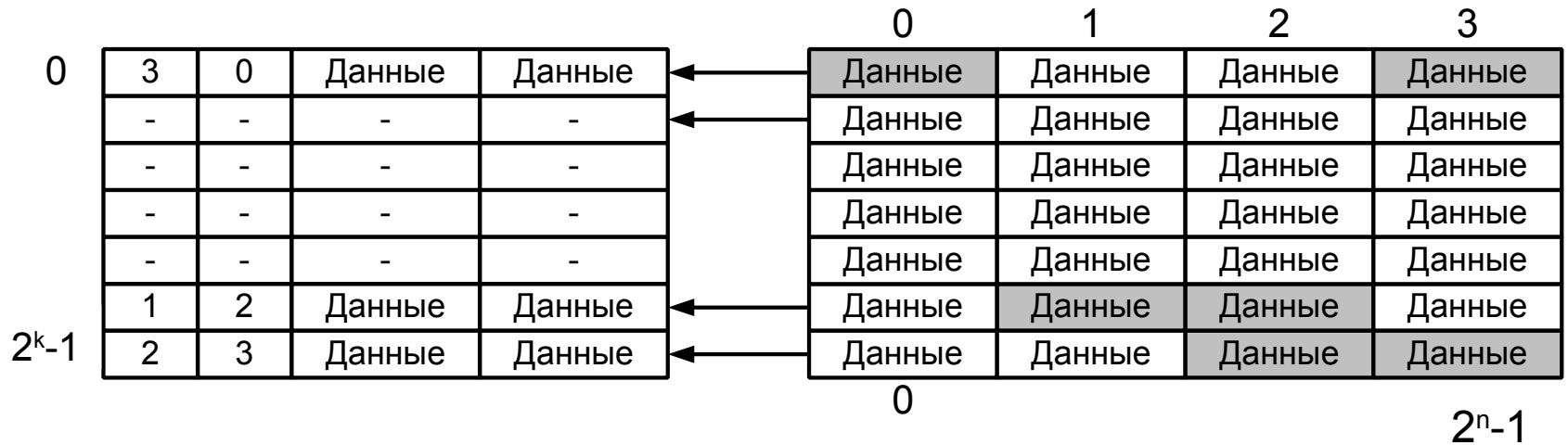
Адрес строки однозначно определяется по тегу ( $i = t \bmod k$ ).



# Наборно-ассоциативная кэш-память (Set associated cache memory)

КЭШ

ОП



Организация ЭВМ

ИУ6

98

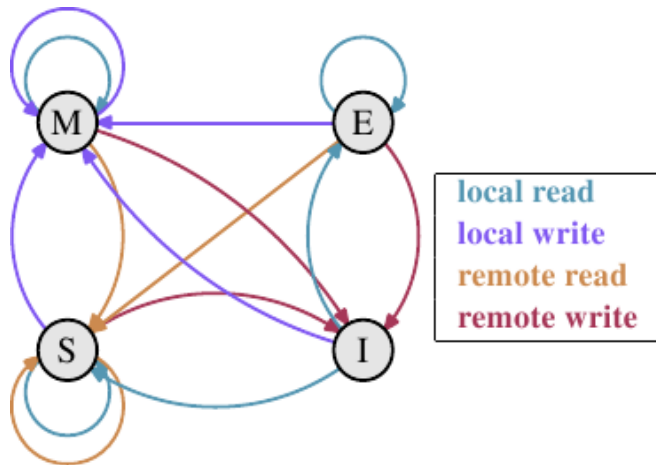
# Алгоритмы замещения

- Замещение немодифицированных данных.
- Рандомизированный алгоритм.
- Замещение наименее используемого (Least Recently Used, LRU)

## Согласование ОП и кэш

- Метод сквозной записи (Write True).
- Метод сквозной записи с буферизацией (Write Combining).
- Метод обратной записи (Write Back).

## Протокол MESI

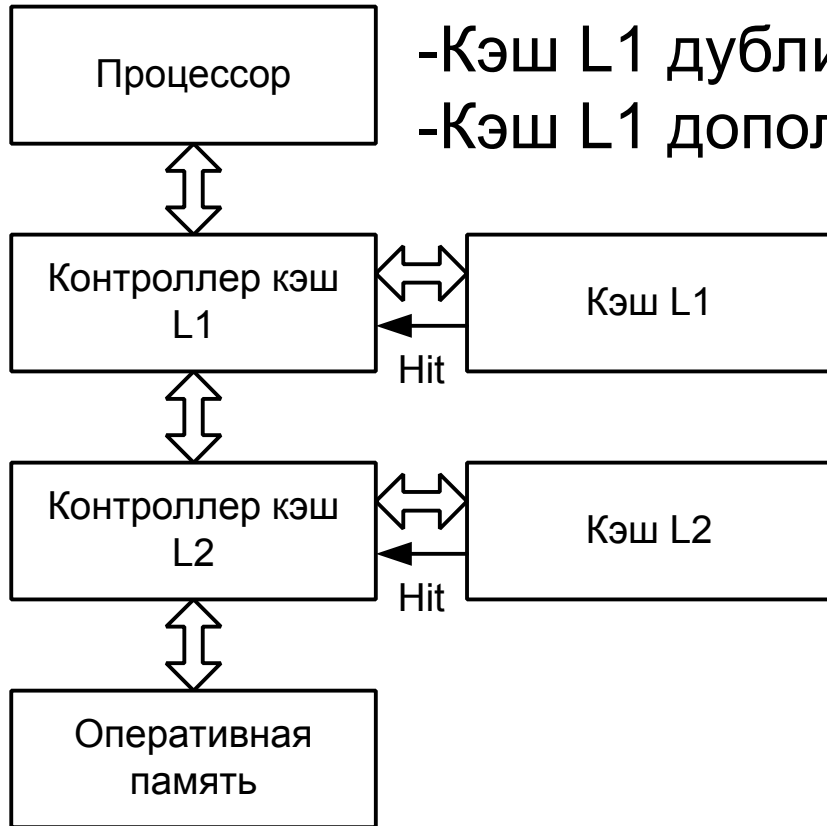


**Modified**  
**Exclusive**  
**Shared**  
**Invalid**

- Признак несогласованных данных.
- Признак согласованных данных.
- Признак согласованных данных в BC.
- Признак отсутствия данных.

\* - <http://lwn.net/Articles/252125/>

# Разделение кэш-памяти

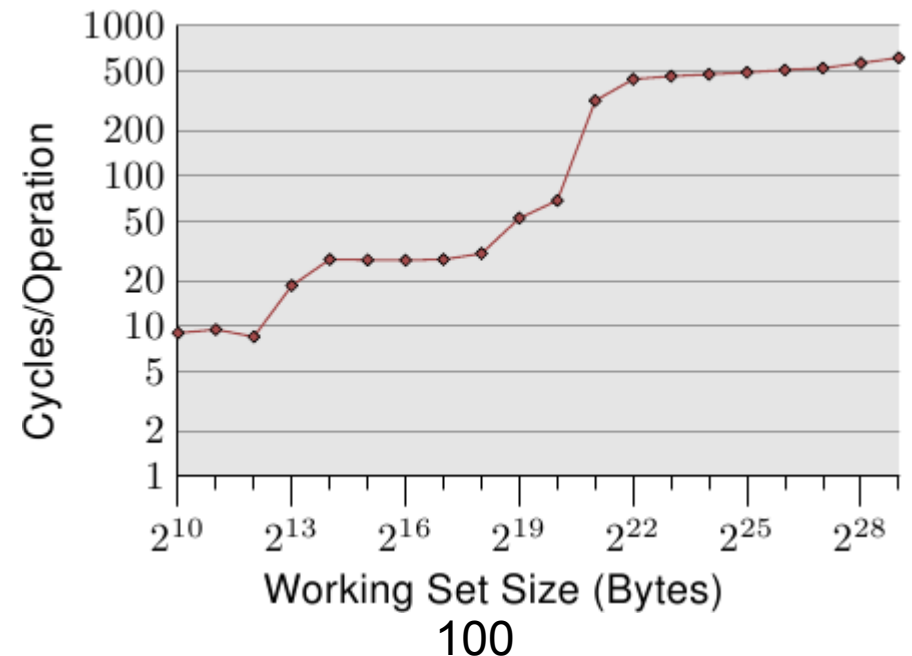


- Кэш L1 дублирует L2 (inclusive).
- Кэш L1 дополняет L2 (exclusive).

Доступ к массивам данным по случайным адресам

L1D —  $2^{13}$  байт

L2D —  $2^{21}$  байт



# Виртуальная память

Механизм виртуализации адресного пространства позволяет:

- Увеличить объем адресуемой памяти.
- Использовать физическую память различного объема.
- Возложить на аппаратную составляющую механизмы доступа к ВЗУ
- Сгладить разрыв в производительности ОП и ВЗУ.
- Ускоряет доступ к данным по последовательным адресам.
- Способствует реализации защиты памяти.

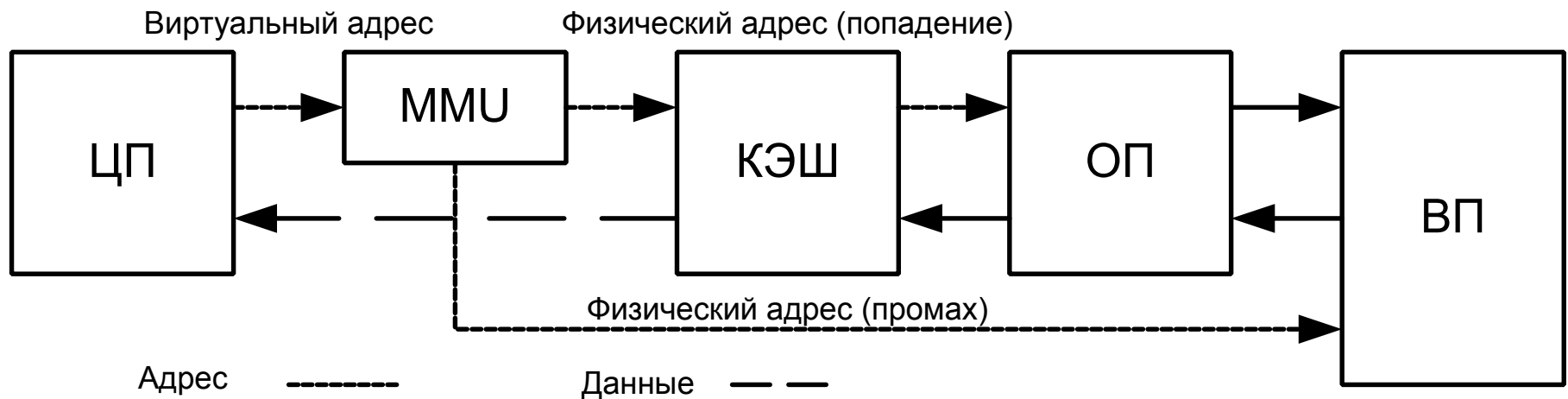
Виртуальные системы строятся по трем принципам:

- Системы с блоками различного размера (сегментная организация).
- Системы с блоками одинакового размера (страничная организация).
- Смешанные системы (сегментно-страничная организация).

# Страничная организация

Программа отображается в память равными блоками – страницами. Преобразование логического адреса в физический осуществляется с помощью таблицы страниц.

Преобразование логического адреса в физический реализуется в устройстве управления памятью (Memory Manage Unit), который определяет, находится ли страница в физической памяти (попадение).



# Схема страничного преобразования

Базовый регистр таблицы страниц

Логический адрес

Адрес таблицы страниц

Номер страницы

Смещение

V - признак присутствия  
страницы в физ. памяти.  
R - признак использования  
страницы.  
M - признак модификации.  
A - признак права  
доступа.



Таблица страниц

V	R	M	A	Номер физ. страницы

V=1



Структура TLB

Номер лог. страницы	V	R	M	A	Номер физ. страницы

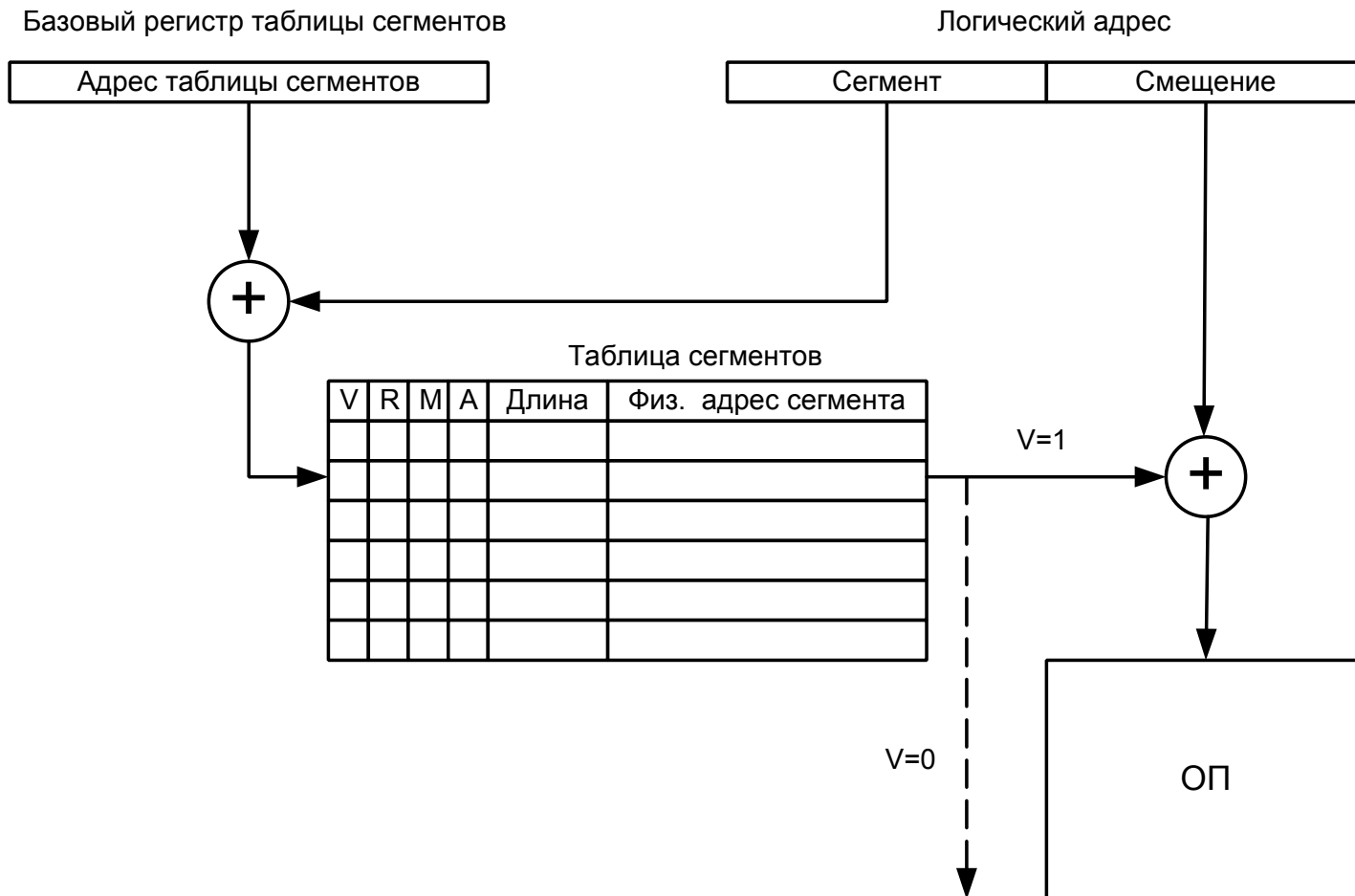
V=0

Прерывание

ОП

# Сегментная организация

Программа отображается в память блоками различного размера – сегментами. Преобразование логического адреса в физический осуществляется с помощью таблицы сегментов.

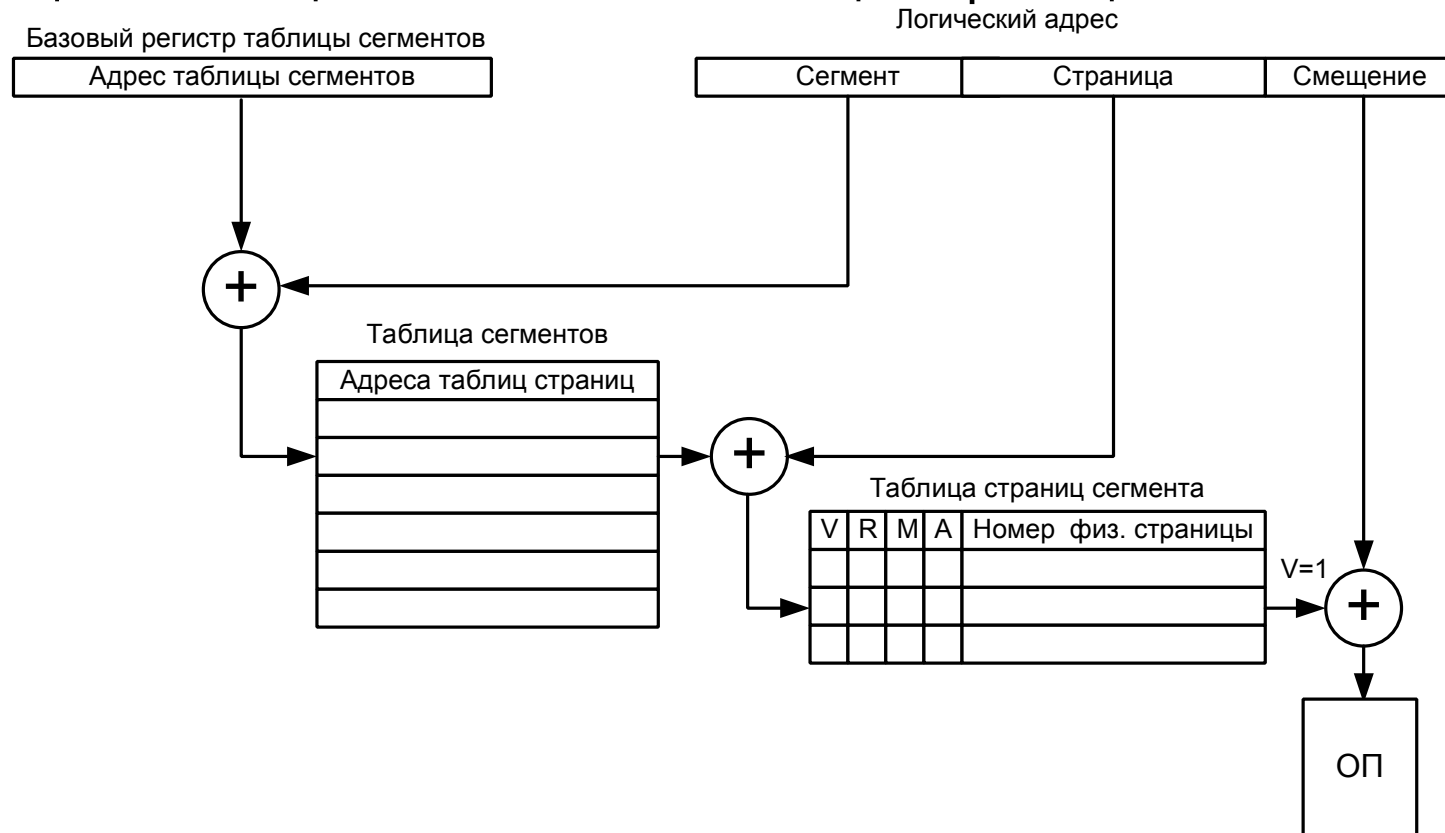




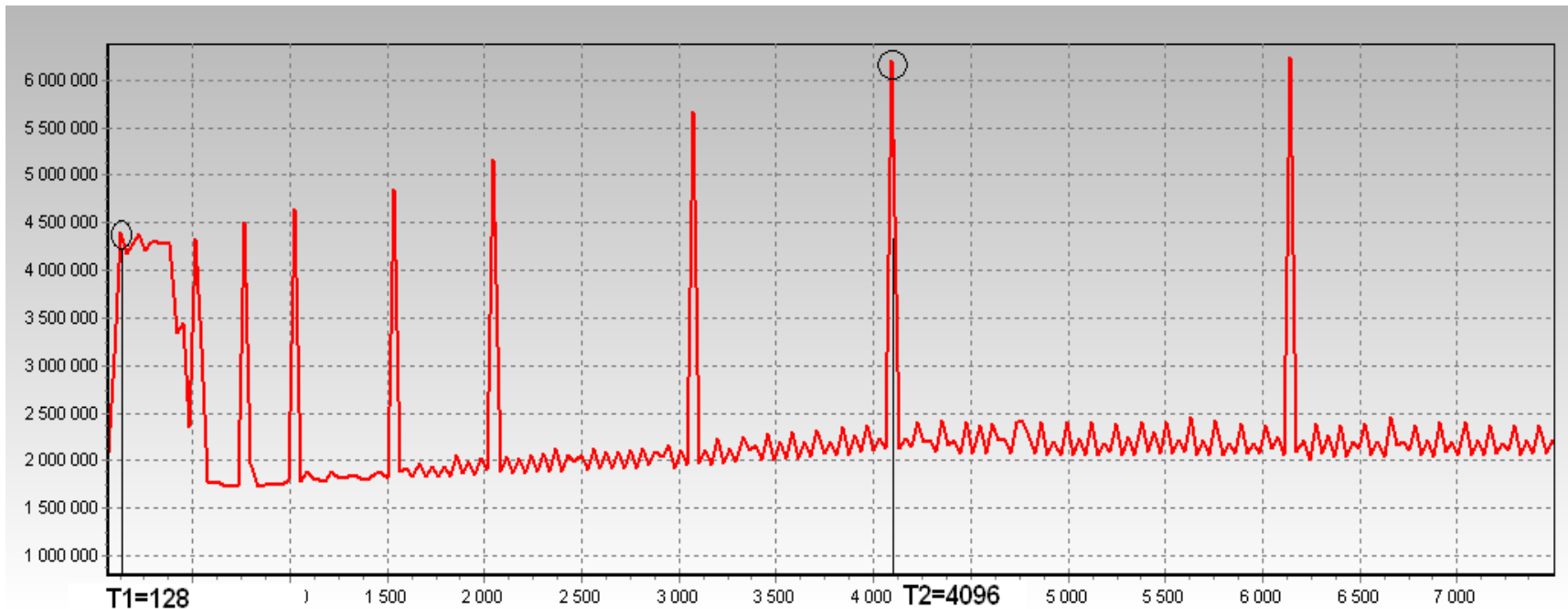
# Сегментно-страничная организация памяти

Программа отображается в память блоками различного размера – сегментами, каждый из которых целое число страниц.

Преобразование логического адреса в физический осуществляется с помощью таблицы сегментов и таблицы страниц сегмента.



# Исследование расслоения динамической памяти.



Код профилируемой программы на языке С.

*// ВЫДЕЛЕНИЕ ПАМЯТИ*

`p = (int*)_malloc64(Param_[3]); // АДРЕС КРАТЕН 64`

`for (int pg_size = Param_[2]; pg_size <= Param_[1]; pg_size += Param_[2])`

`{`

*Start\_Count(); // Начало замера времени*

`volatile int x = 0;`

`for (int b = 0; b < pg_size; b += Param_[2])`

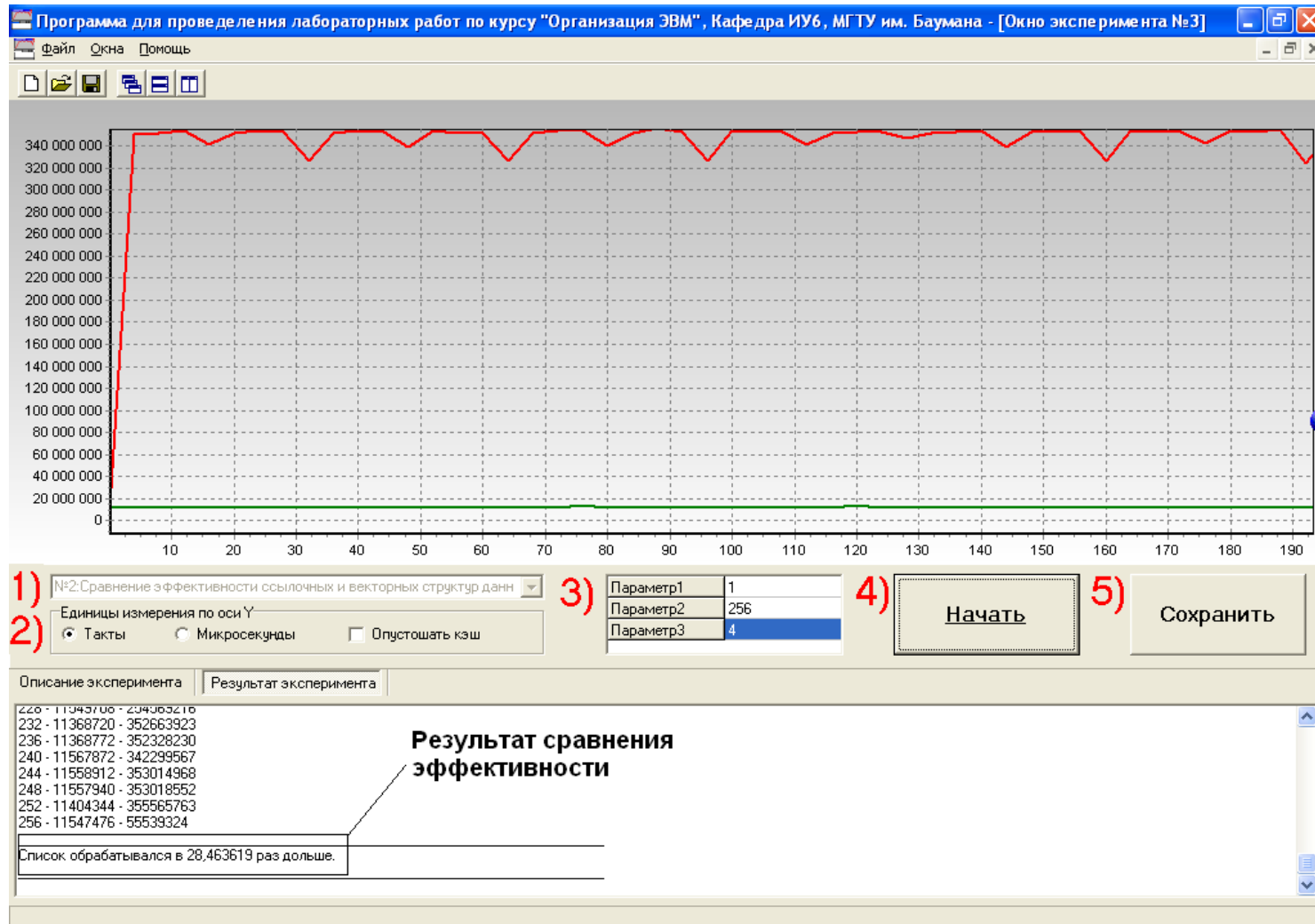
`for (int a = b; a < Param_[3]; a += pg_size)`

`x += *(int *) (int(p) + a);`

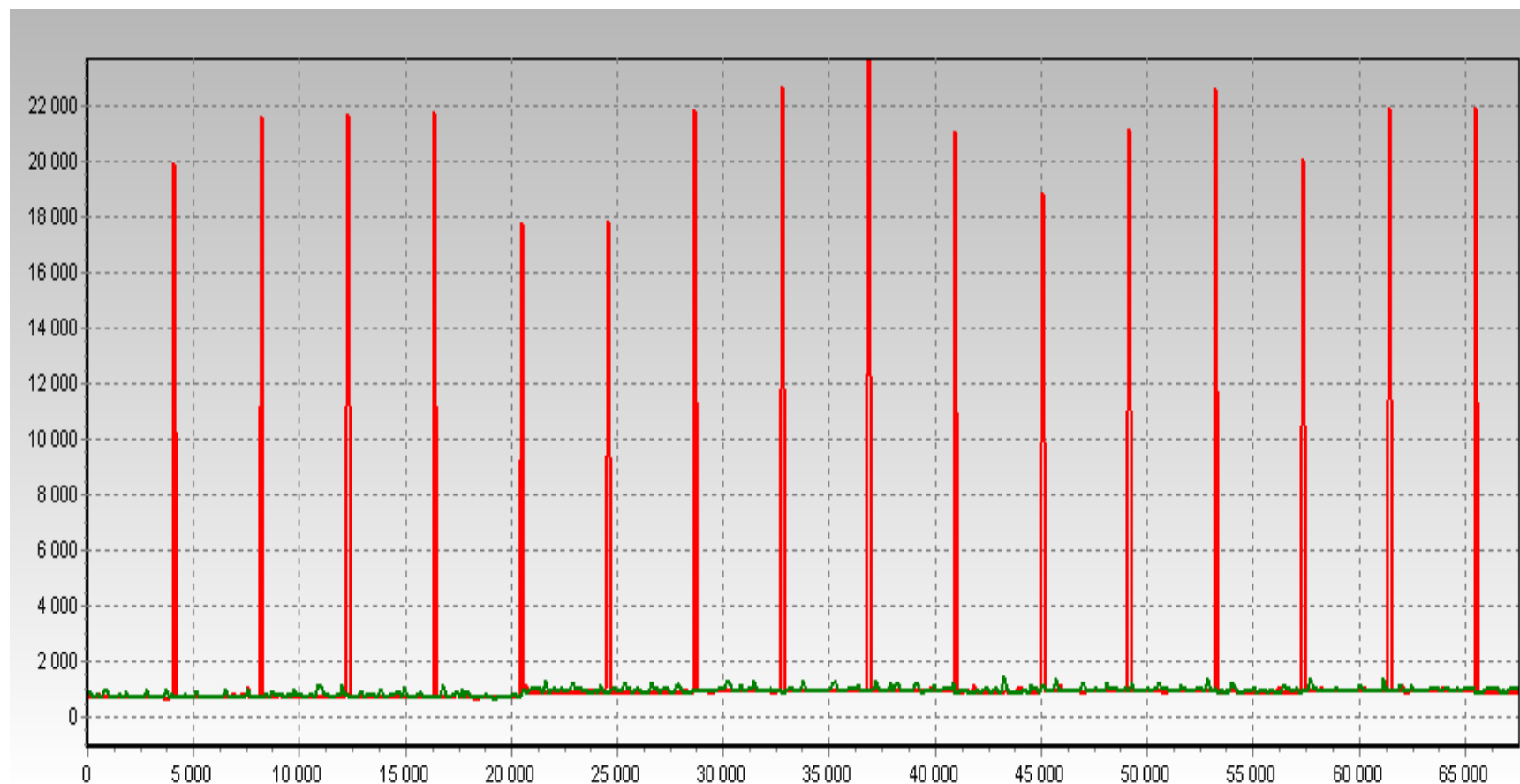
*Finish\_Count(); // Конец замера времени*

`}`

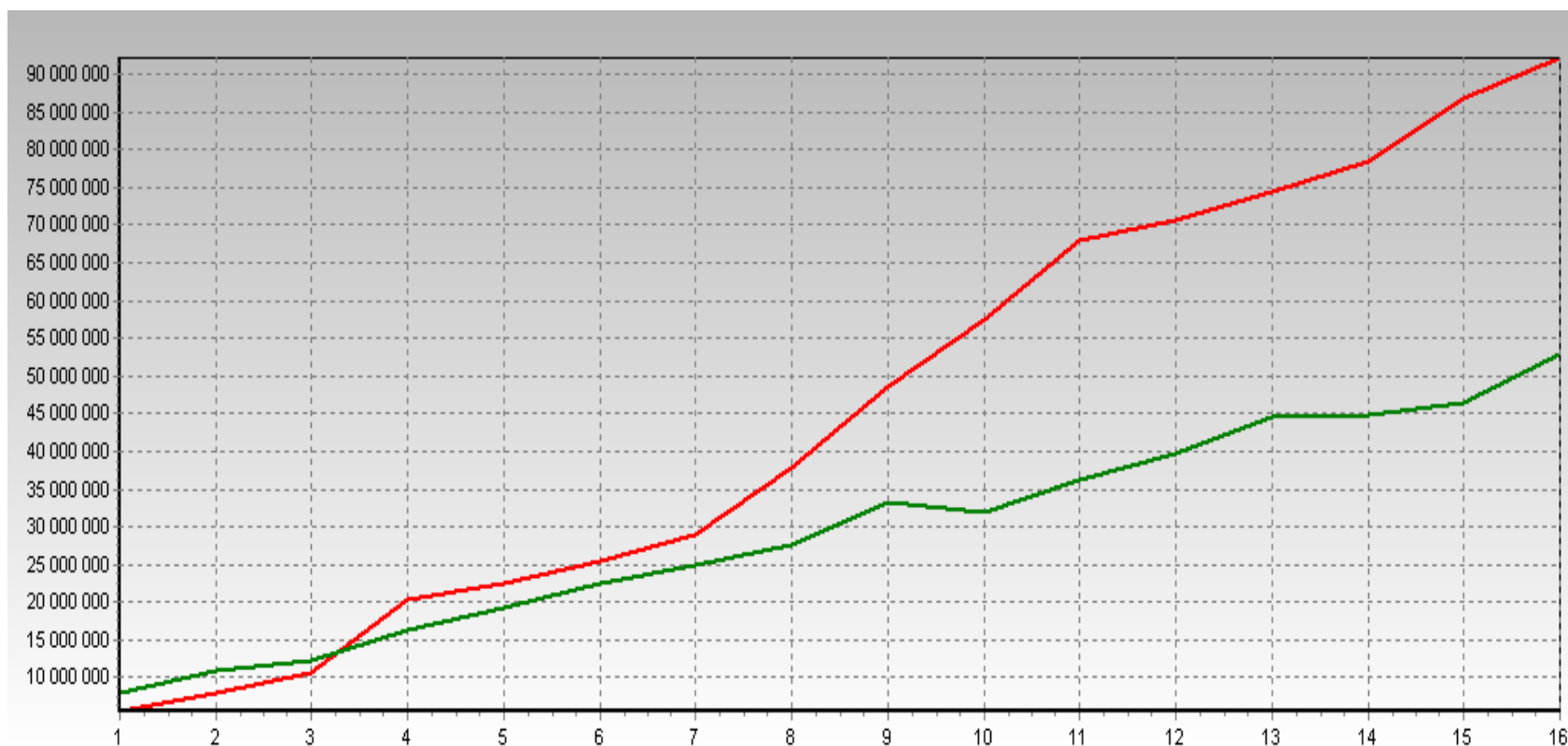
# Сравнение эффективности ссылочных и векторных структур



# Исследование эффективности предвыборки в TLB



# Использование оптимизирующих структур данных



# Конфликты в кэш-памяти

