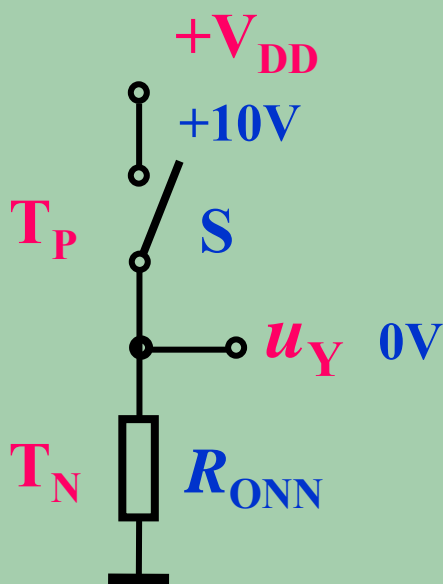




## 2.3 CMOS 集成门电路

### 2.3.1 CMOS 反相器

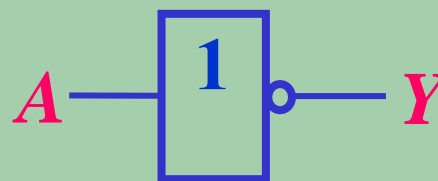
#### 一、电路组成及工作原理



$$U_{TN} = 2\text{ V} \quad U_{TP} = -2\text{ V}$$

$u_A$	$u_{GSN}$	$u_{GSP}$	$T_N$	$T_P$	$u_Y$
0 V	$< U_{TN}$	$< U_{TP}$	截止	导通	10 V
10 V	$> U_{TN}$	$> U_{TP}$	导通	截止	0 V

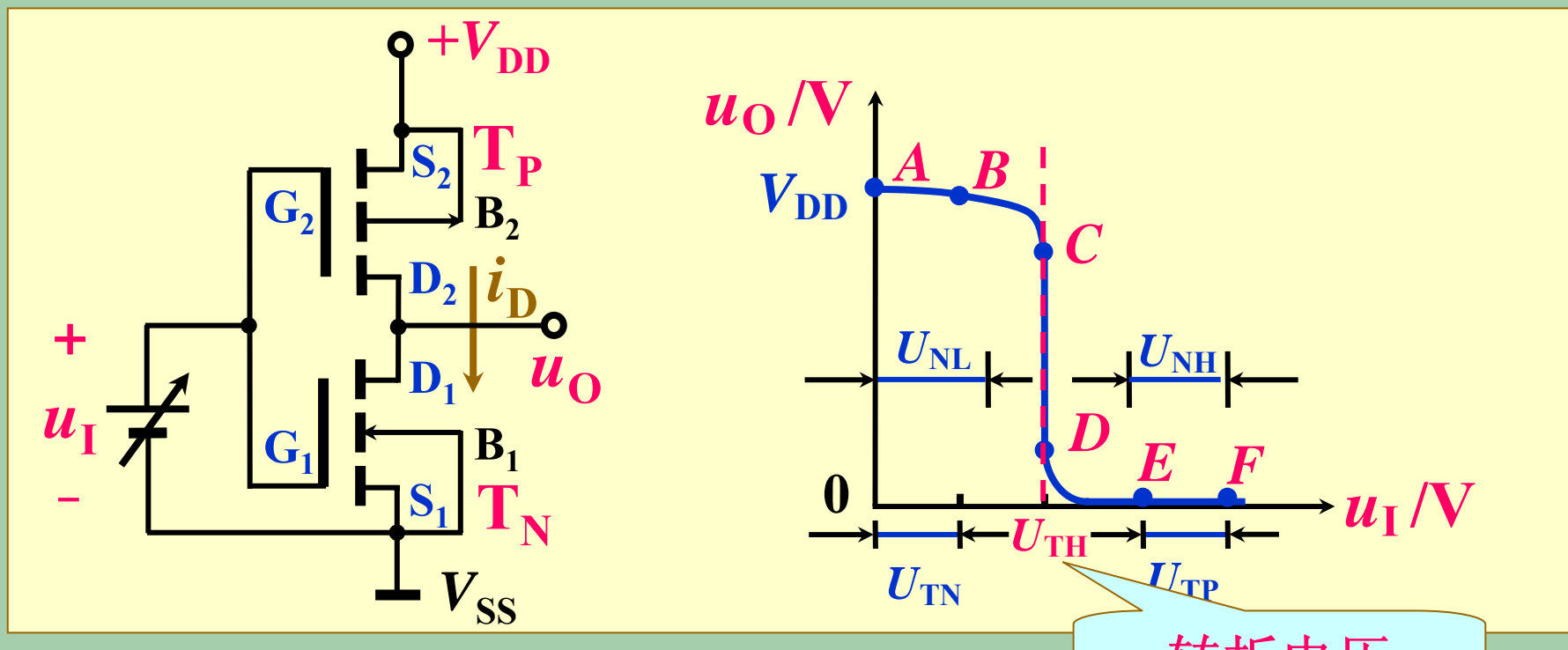
$$Y = \overline{A}$$





## 二、静态特性

### 1. 电压传输特性: $u_O = f(u_I)$



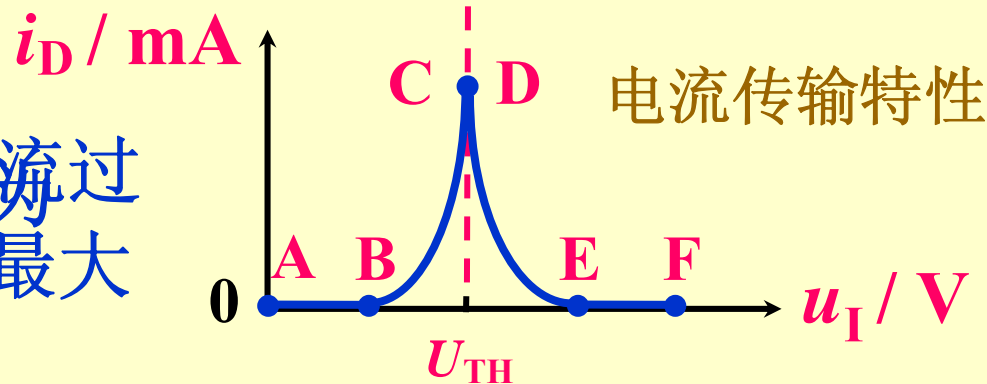
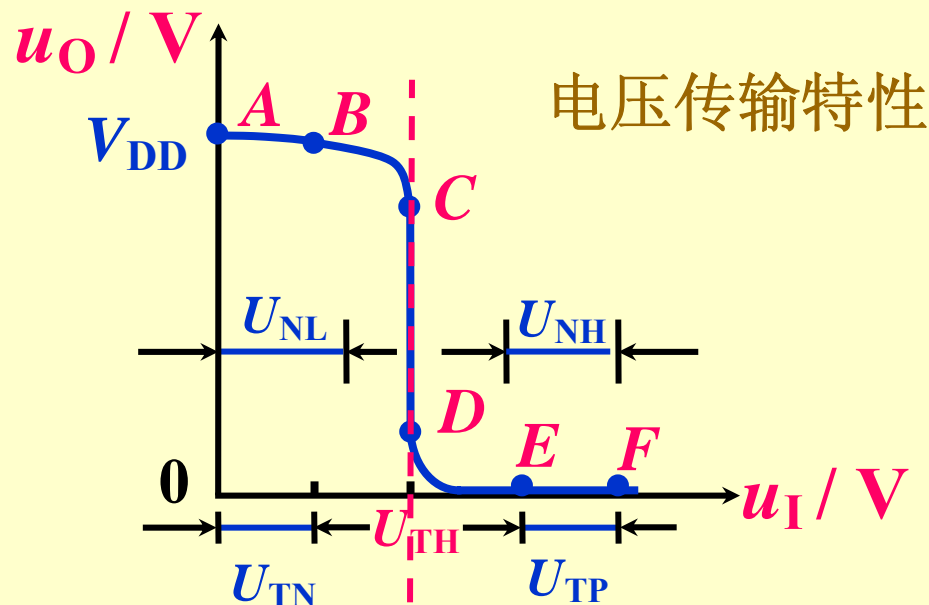
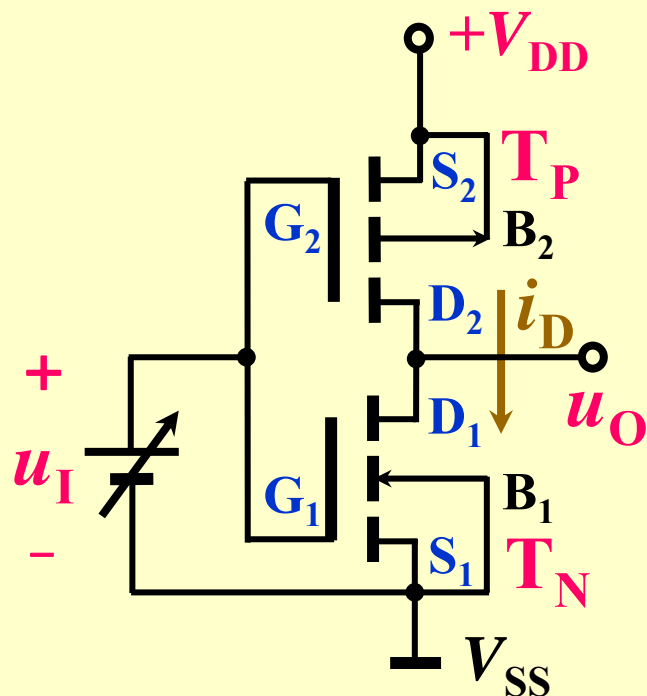
**噪声容限:** 指为规定值时，允许波动的最大范围。

$U_{NL}$ : 输入为低电平时的噪声容限。  
 $U_{NH}$ : 输入为高电平时的噪声容限。

$$\left. \begin{array}{l} U_{NL} \\ U_{NH} \end{array} \right\} = 0.3V_{DD}$$



## 2. 电流传输特性: $i_D = f(u_I)$



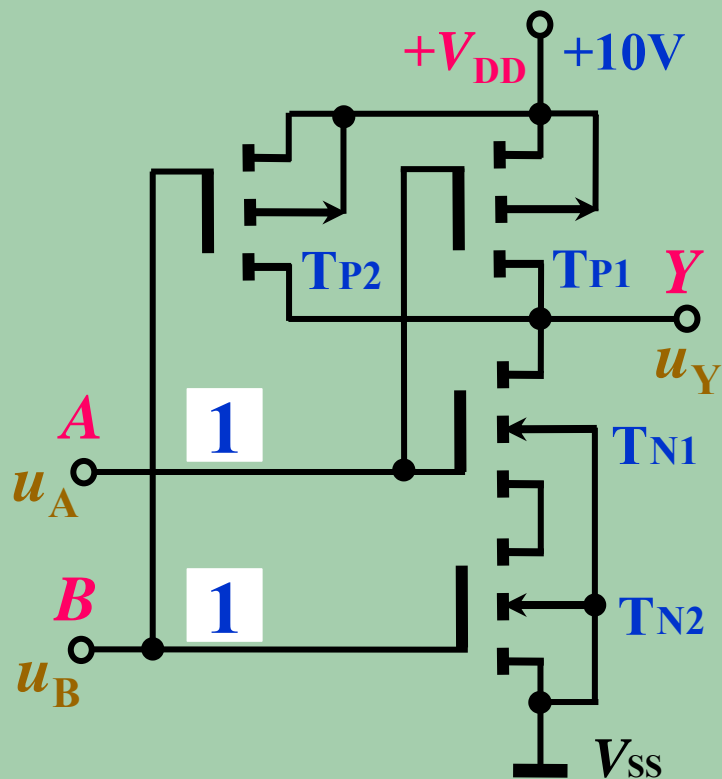
截止电压段:

当输入电压  $u_I = 0$  时, PMOS 管导通, NMOS 管截止, 输出电流  $i_D$  达到最大值  $i_{D(max)}$ 。此时输出电压  $u_O = V_{DD}$ 。



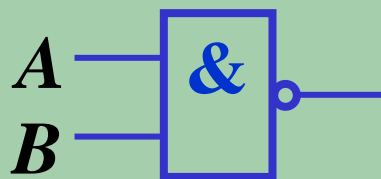
## 2.3.2 CMOS 与非门、或非门、与门和或门

### 一、CMOS 与非门



$A$	$B$	$T_{N1}$	$T_{P1}$	$T_{N2}$	$T_{P2}$	$Y$
0	0	截	通	截	通	1
0	1	截	通	通	截	1
1	0	通	截	截	通	1
1	1	通	截	通	截	0

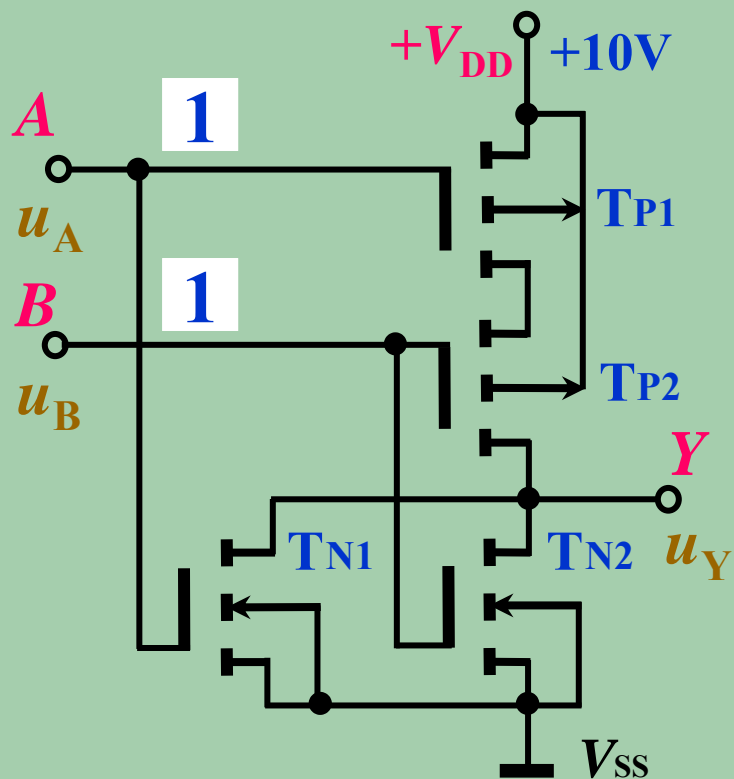
与非门



$$Y = \overline{AB}$$

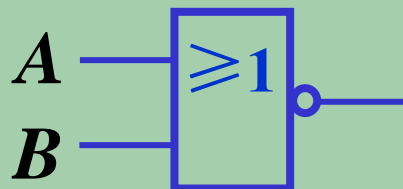


## 二、CMOS 或非门



$A$	$B$	$T_{N1}$	$T_{P1}$	$T_{N2}$	$T_{P2}$	$Y$
0	0	截	通	截	通	1
0	1	截	通	通	截	0
1	0	通	截	截	通	0
1	1	通	截	通	截	0

或非门



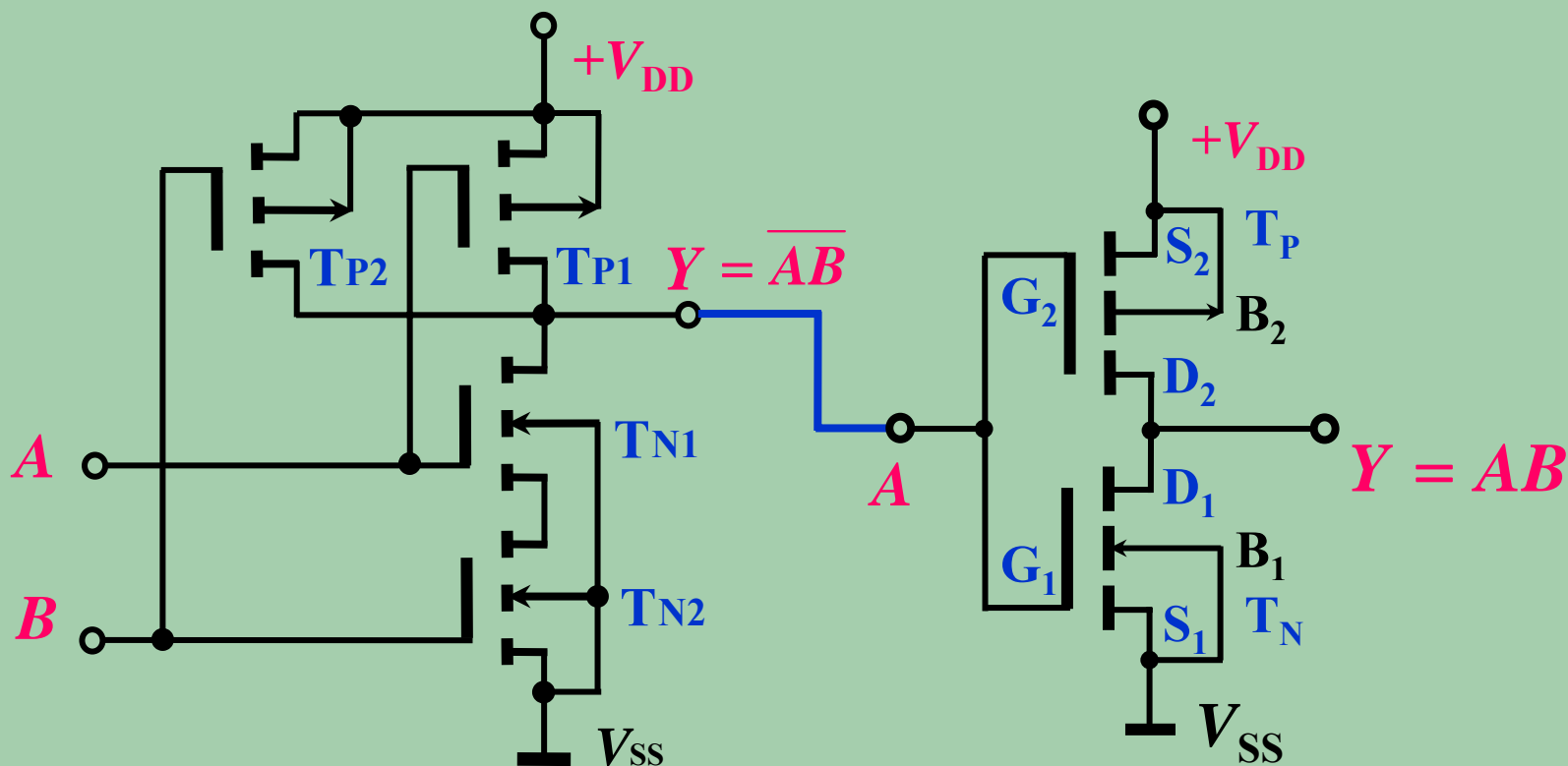
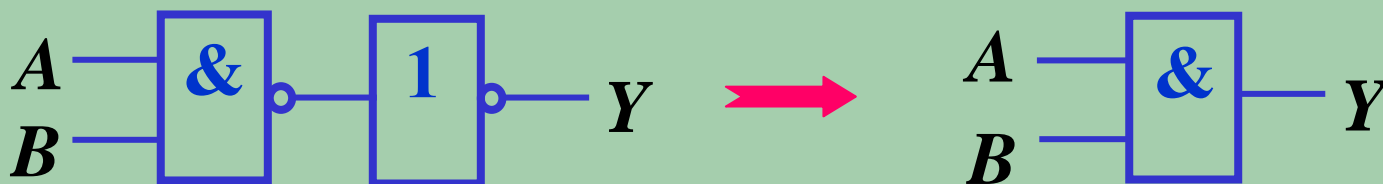
$$Y = \overline{A + B}$$



### 三、CMOS 与门和或门

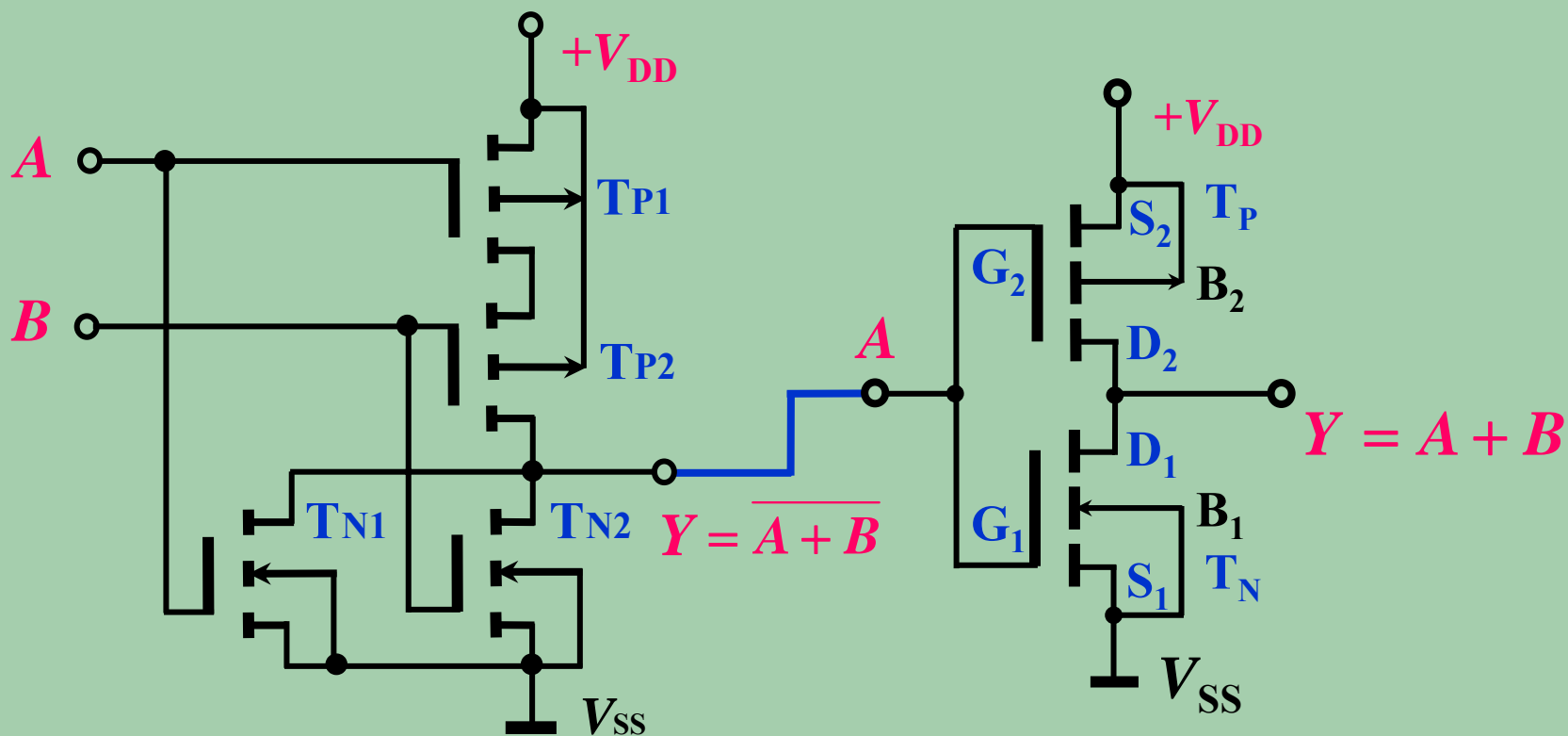
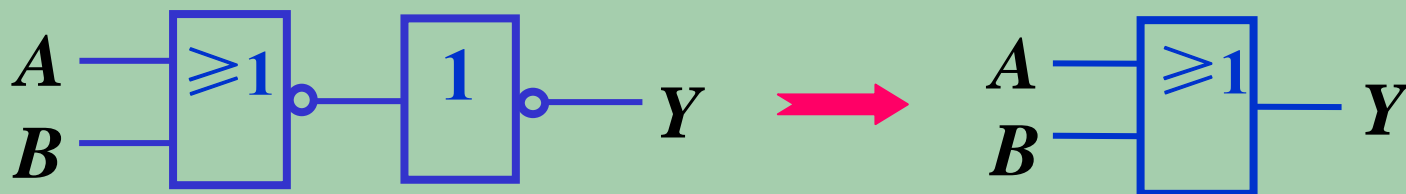
#### 1. CMOS 与门

$$Y = \overline{\overline{A}B} = AB$$





## 2. CMOS 或门 $Y = \overline{\overline{A + B}} = A + B$





## 四、带缓冲的 CMOS 与非门和或非门

### 1. 基本电路的主要缺点

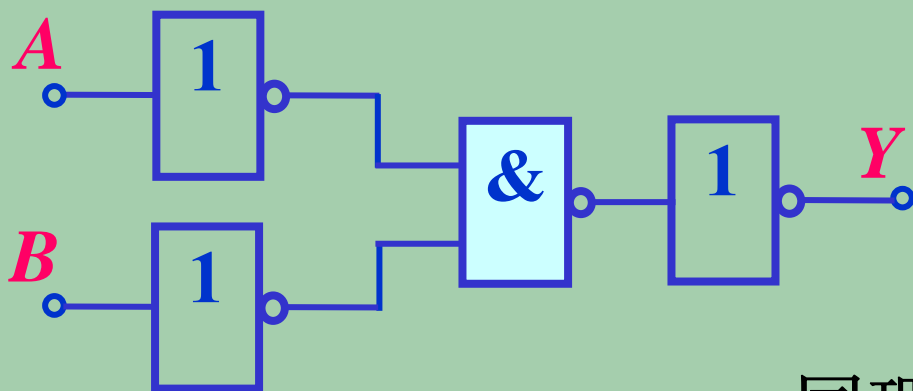
① 电路的输出特性不对称:

当输入状态不同时, 输出等效电阻不同。

② 电压传输特性发生偏移, 导致噪声容限下降。

### 2. 带缓冲的门电路

在原电路的输入端和输出端加反相器。



$$Y = \overline{\overline{A} \cdot \overline{B}} = \overline{\overline{A} \cdot \overline{B}}$$

$$= A + B$$

与非门  $\xrightarrow{\text{缓冲}}$  或非门  
同理 或非门  $\xrightarrow{\text{缓冲}}$  与非门



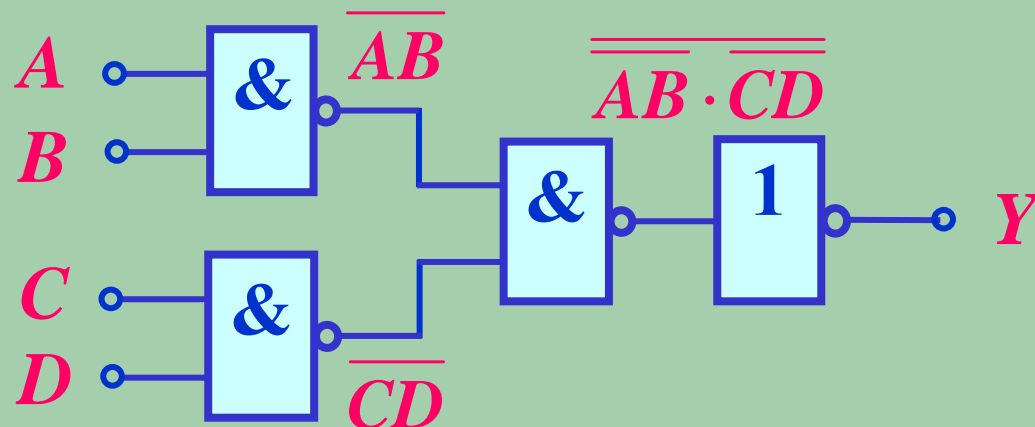


## 2.3.3 CMOS 与或非门和异或门

### 一、CMOS 与或非门

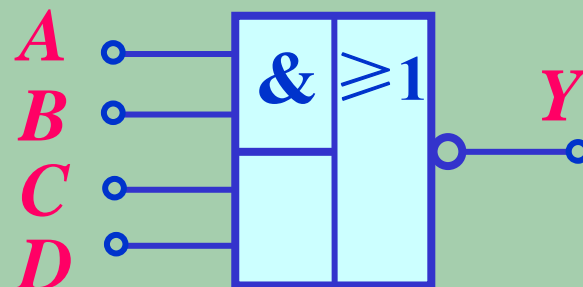
#### 1. 电路组成:

由CMOS 基本电路(与非门和反相器)组成。



#### 2. 工作原理:

$$\begin{aligned}
 Y &= \overline{\overline{AB} \cdot \overline{CD}} \\
 &= \overline{AB} \cdot \overline{CD} \\
 &= \overline{AB + CD}
 \end{aligned}$$

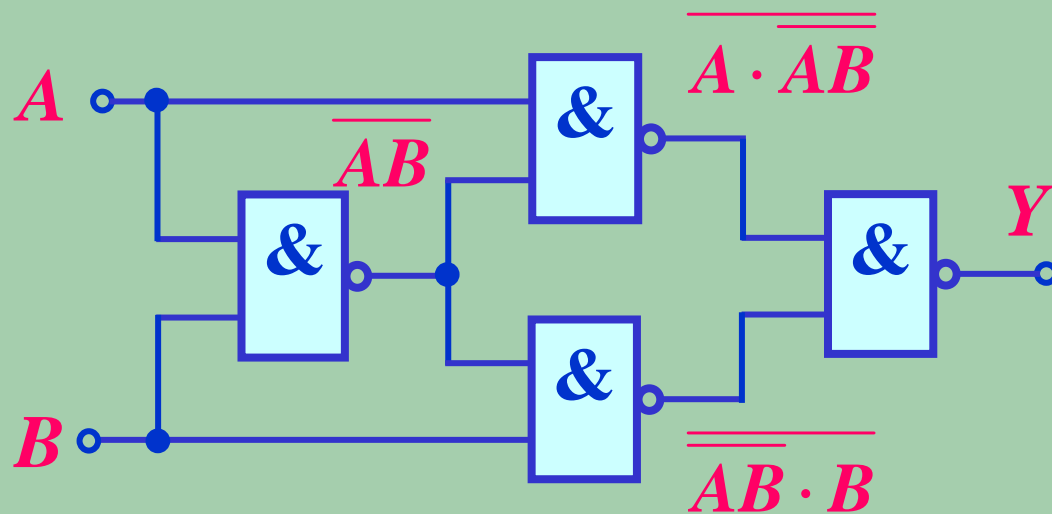




## 二、CMOS 异或门

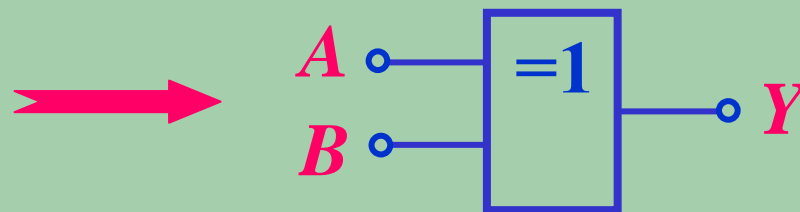
### 1. 电路组成:

由CMOS 基本电路(与非门)组成。



### 2. 工作原理:

$$\begin{aligned}
 Y &= \overline{\overline{A \cdot \overline{AB}} \cdot \overline{\overline{AB} \cdot B}} \\
 &= A \cdot \overline{AB} + \overline{AB} \cdot B \\
 &= A\overline{B} + \overline{A}B = A \oplus B
 \end{aligned}$$

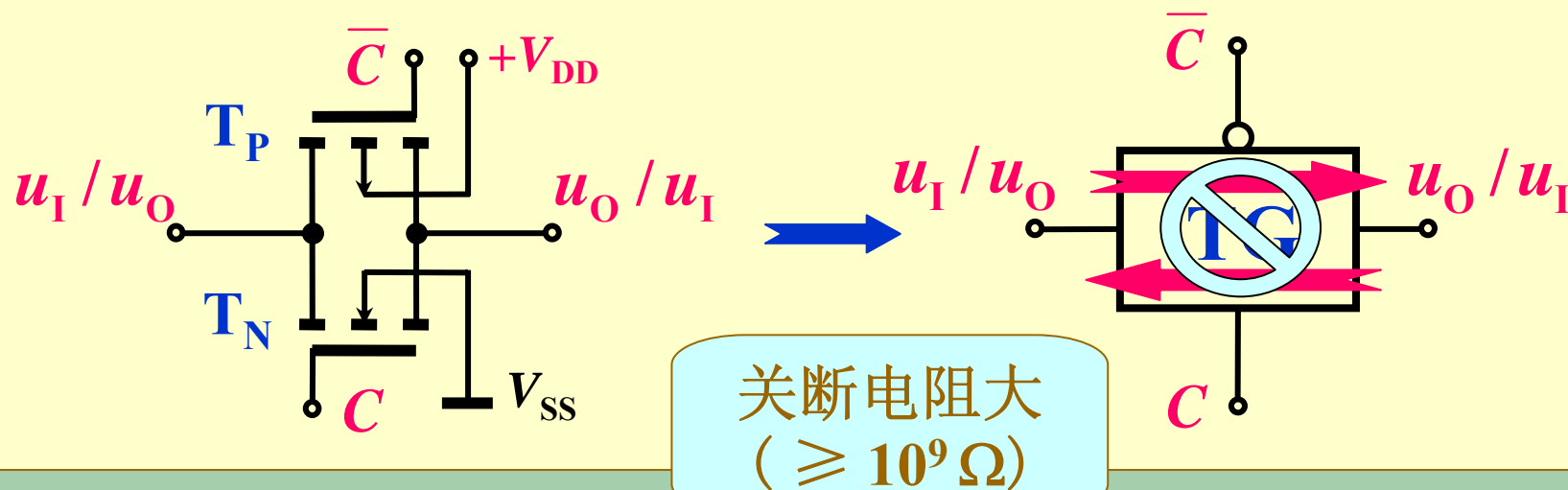




## 2.3.4 CMOS 传输门、三态门和漏极开路门

### 一、CMOS传输门 (TG 门 — Transmission Gate)

#### 1. 电路组成及符号：(双向模拟开关)



#### 2. 工作原理:

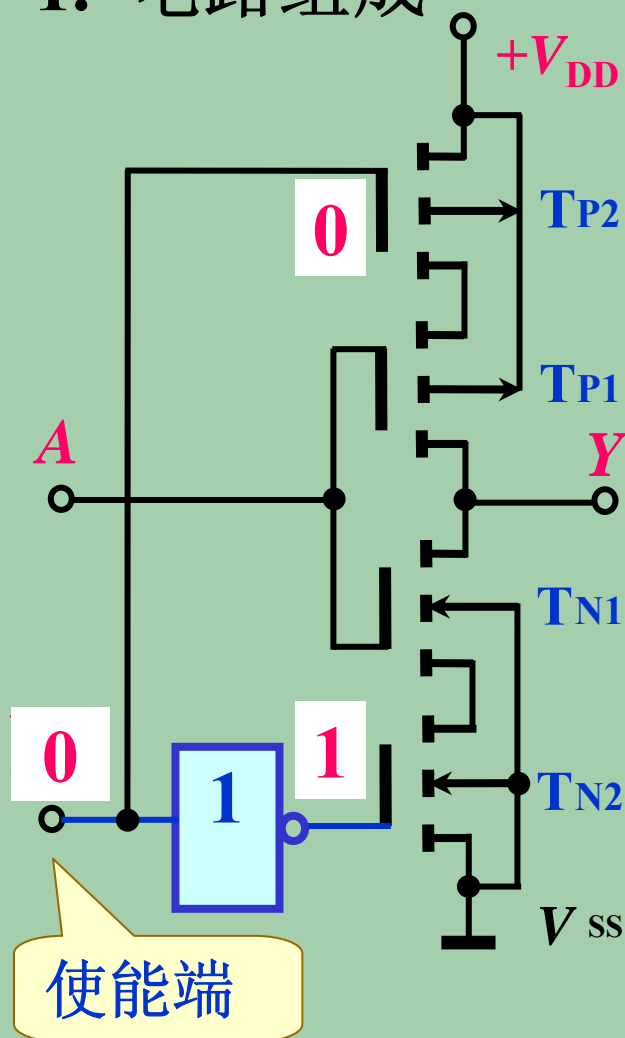
①  $C=1$ 、 $\bar{C}=0$ :  $T_N$ 、 $T_P$ 均导通,  $u_O = u_I$  ( $0 \sim V_{DD}$ )

②  $C=0$ 、 $\bar{C}=1$ :  $T_N$ 、 $T_P$ 均截止,  $u_O \neq u_I$



## 二、CMOS 三态门

### 1. 电路组成



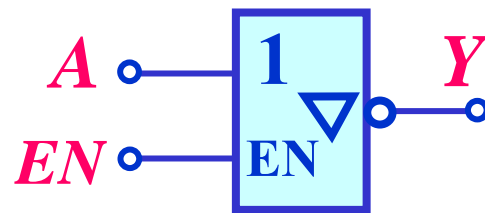
### 2. 工作原理

①  $\overline{EN} = 1$   $T_{P2}$ 、 $T_{N2}$  均截止  
 $Y$  与上、下都断开  
 $Y = Z$  (高阻态 — 非 1 非 0)

②  $\overline{EN} = 0$   $T_{P2}$ 、 $T_{N2}$  均导通  
 $Y = \overline{A}$  (1 或 0)

### 3. 逻辑符号

或

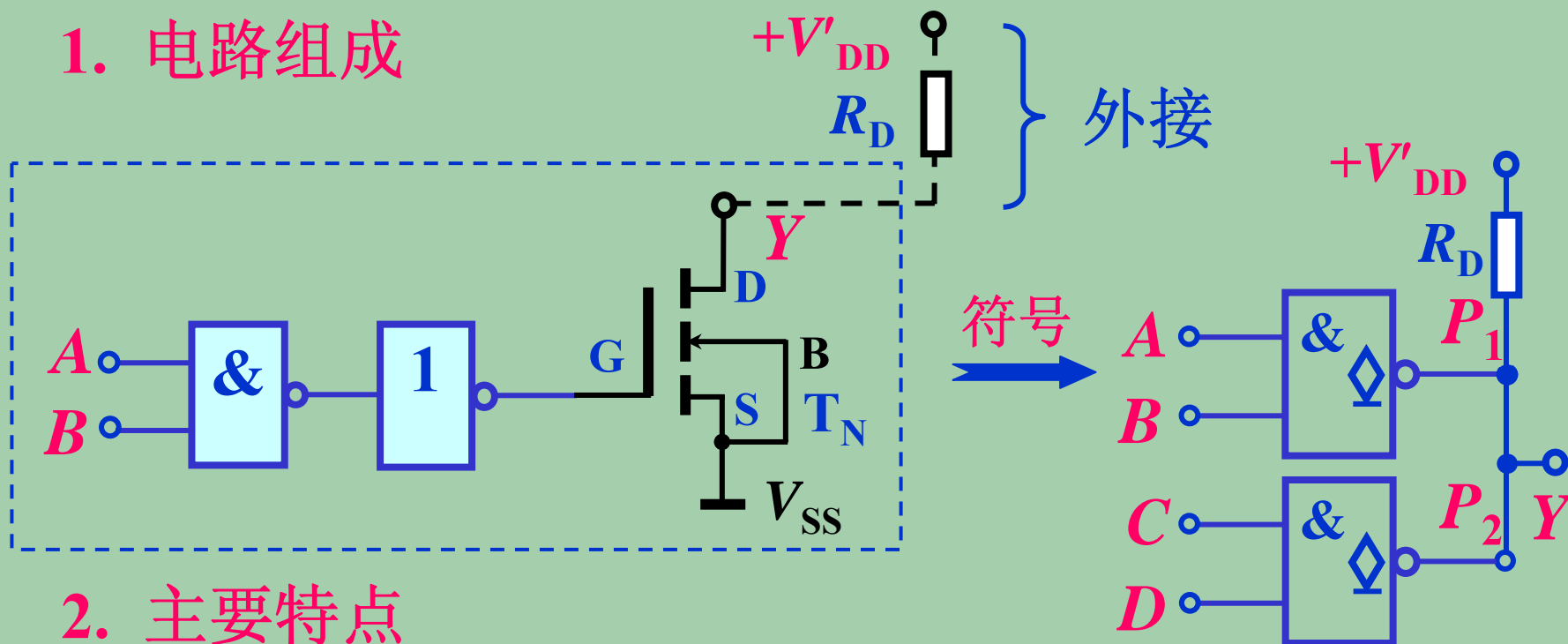


控制端高电平有效



### 三、CMOS 漏极开路门 (OD门 — Open Drain)

#### 1. 电路组成



#### 2. 主要特点

- ① 漏极开路，工作时必须外接电源和电阻。
- ② 可以实现线与功能：
- ③ 可实现逻辑电平变换：
- ④ 带负载能力强。

$$U_{OH} = V'_{DD}$$



## 2.3.5 CMOS 电路使用中应注意的几个问题

### 一、CC4000 和 C000 系列集成电路

- 1. CC4000 系列:** 符合国家标准, 电源电压为 **3 ~ 18 V**, 功能和外部引线排列与对应序号的国外产品相同。
- 2. C000 系列:** 早期集成电路, 电源电压为 **7 ~ 15 V**, 外部引线排列顺序与 **CC4000** 不同, 用时需查阅有关手册。

### 二、高速 CMOS (HCMOS) 集成电路

**HCMOS: 54/74 系列** { **54/74 HC** (带缓冲输出)  
**54/74 HCU** (不带缓冲输出)  
**54/74 HCT** (与 LSTTL 兼容)



### 三、CMOS 集成电路的主要特点

- ① 功耗极低。 LSI: 几个  $\mu\text{W}$  , MSI:  $100\ \mu\text{W}$
- ② 电源电压范围宽。 CC4000 系列:  $V_{\text{DD}} = 3 \sim 18\ \text{V}$
- ③ 抗干扰能力强。 输入端噪声容限  $= 0.3V_{\text{DD}} \sim 0.45V_{\text{DD}}$
- ④ 逻辑摆幅大。  $U_{\text{OL}} \approx 0\text{V}$  ,  $U_{\text{OH}} \approx V_{\text{DD}}$
- ⑤ 输入阻抗极高。  $\geq 10^8\ \Omega$
- ⑥ 扇出能力强。 扇出系数: 带同类门电路的个数, 其大小反映了门电路的带负载能力。  
CC4000系列:  $\geq 50$ 个
- ⑦ 集成度很高, 温度稳定性好。
- ⑧ 抗辐射能力强。
- ⑨ 成本低。



## 四、CMOS 电路使用中应注意的几个问题

1. 注意输入端的静电防护。
2. 注意输入电路的过流保护。
3. 注意电源电压极性。
4. 输出端不能和电源、地短接。
5. 多余的输入端不应悬空。

多余输入端的处理

{	与门、与非门：	接电源 或 与其他输入端并联
	或门、或非门：	接地 或 与其他输入端并联

6. 输入端外接电阻的大小不会引起输入电平的变化。

思考原因？

因为输入阻抗极高 ( $\geq 10^8 \Omega$ )

故 输入电流  $\approx 0$ ，电阻上的压降  $\approx 0$ 。