





- 3.1 组合电路的分析方法和设计方法
- 3.1.1 组合电路的基本分析方法
- 一、分析方法

逻辑图 → 逻辑表达式 → 化简 → 真值表 → 说明功能

分析目的:

- ① 确定输入变量不同取值时功能是否满足要求;
- ② 变换电路的结构形式(如:与或 与非-与非);
- ③ 得到输出函数的标准与或表达式,以便用 MSI、 LSI 实现;
- ④ 得到其功能的逻辑描述,以便用于包括该电路的系统分析。





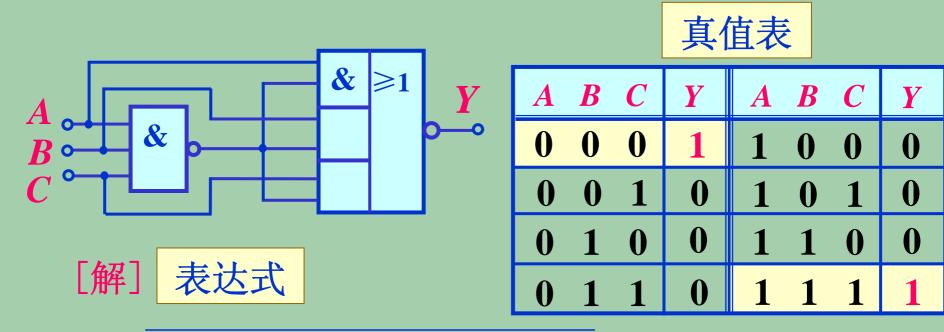






二、分析举例

[例] 分析图中所示电路的逻辑功能



 $Y = \overline{ABC} \cdot A + \overline{ABC} \cdot B + \overline{ABC} \cdot C = ABC + \overline{A + B + C}$ $= ABC + \overline{ABC} \cdot \overline{BC}$

功能 判断输入信号极性是否相同的电路 — 符合电路





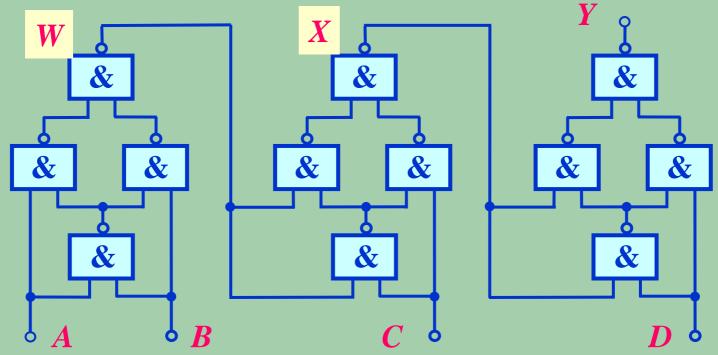






[例 3.1.1] 分析图中所示电路的逻辑功能,输入信号

A、B、C、D是一组二进制代码。



[解] (1) 逐级写输出函数的逻辑表达式

$$W = \overline{\overline{A} \overline{AB}} \overline{\overline{B}} \overline{$$



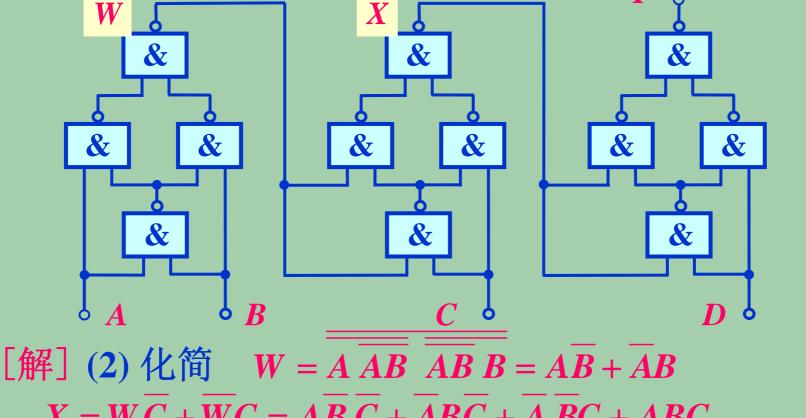






[例 3.1.1] 分析图中所示电路的逻辑功能,输入信号

A、B、C、D是一组二进制代码。



 $Y = X\overline{D} + XD = A\overline{B}\overline{C}\overline{D} + A\overline{B}\overline{C}\overline{D} + A\overline{B}\overline{C}\overline{D} + AB\overline{C}\overline{D} + AB\overline$











[例 3. 1. 1] 分析图中所示电路的逻辑功能,输入信号 $A \setminus B \setminus C \setminus D$ 是一组二进制代码。

, –										
[解](3)列真值表	\boldsymbol{A}	B	C	D	Y	A	B	CD	Y	
$+AB\overline{C}D$	0	0	0	0	0	1	0	0 0	1	
	0	0	0	1	1	1	0	0 1	0	
$+\overline{ABCD}+\overline{ABCD}$	0	0	1	0	1	1	0	1 0	0	
+ABCD+ABCD	0	0	1	1	0	1	0	1 1	1	
	0	1	0	0	1	1	1	0 0	0	
ABCD + ABCD	0	1	0	1	0	1	1	0 1	1	
	0	1	1	0	0	1	1	1 0	1	
$Y = AB \cup D +$	Λ	1	1	1	1	1	1	1 1		

(4) 功能说明: 当输入四位代码中1的个数为奇数时输出为1,为偶数时输出为0—检奇电路。





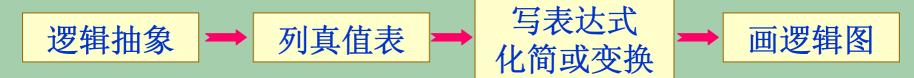






3.1.2 组合电路的基本设计方法

一、设计方法



逻辑抽象:

- ① 根据因果关系确定输入、输出变量
- ② 状态赋值 用 0 和 1 表示信号的不同状态
- ③ 根据功能要求列出真值表

化简或变换:

根据所用元器件(分立元件或集成芯片)的情况将函数式进行化简或变换。











二、设计举例

[例 3. 1. 2] 设计一个表决电路,要求输出信号的电平与三个输入信号中的多数电平一致。

[解] (1) 逻辑抽象

- ① 设定变量: 输入 $A \times B \times C$,输出 Y
- ② 状态赋值:

 $A \times B \times C = 0$ 表示 输入信号为低电平 $A \times B \times C = 1$ 表示 输入信号为高电平 Y = 0 表示 输入信号中多数为低电平 Y = 1 表示 输入信号中多数为高电平











二、设计举例

[例 3. 1. 2] 设计一个表决电路,要求输出信号的电平与三个输入信号中的多数电平一致。

[解] ③ 列真值表

(2)写输出表达式并化简

$$Y = \overline{ABC} + A\overline{BC} + AB\overline{C} + ABC$$

$$= BC + A C + AB$$

$$=BC+AC+AB$$

最简与或式 → 最简与非-与非式

$$Y = \overline{BC + AC + AB} = \overline{BC} \cdot \overline{AC} \cdot \overline{AB}$$

\boldsymbol{A}	B	C	Y
0	0	0	0
0	0	1	0
0	1	0	0
0	1	1	1
1	0	0	0
1	0	1	1
1	1	0	1
1	1	1	1







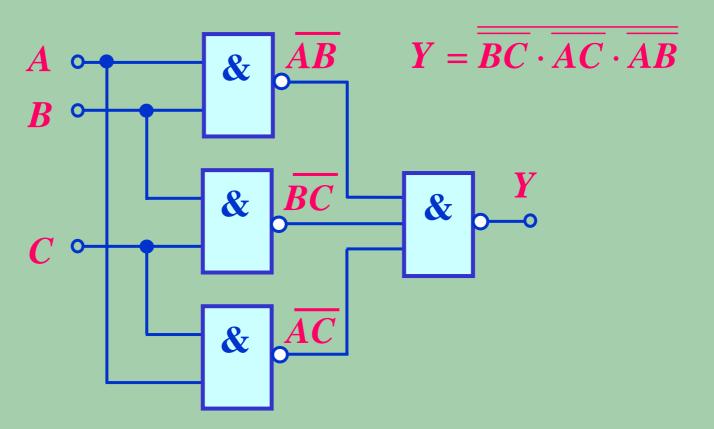




二、设计举例

[例 3.1.2] 设计一个表决电路,要求输出信号的电平与三个输入信号中的多数电平一致。

[解] (3) 画逻辑图 —用与非门实现













[例]设计一个监视交通信号灯工作状态的逻辑电路。正常情况下,红、黄、绿灯只有一个亮,否则视为故障状态,发出报警信号,提醒有关人员修理。

[解] (1)逻辑抽象

输出变量: Z (有无故障) $\{1 - 7\}$ (2)卡诺图化简 YG (2)

$$Z = \overline{R} \overline{Y} \overline{G} + RY \quad 0$$

$$+ RG + YG \quad 1$$

列真值表

R	Y	\boldsymbol{G}	Z
0	0	0	1
0	0	1	0
0	1	0	0
0	1	1	1
1	0	0	0
1	0	1	1
1	1	0	1
1	1	1	1







[例] 设计一个监视交通信号灯工作状态的逻辑电路。正常情况下,红、黄、绿只有一个亮,否则视为故障状态,发出报警信号,提醒有关人员修理。

[解] (3) 画逻辑图

$$Z = \overline{R} \overline{Y} \overline{G} + RY + RG + YG$$

