



## 2.4 TTL 集成门电路

### (Transistor—Transistor Logic)

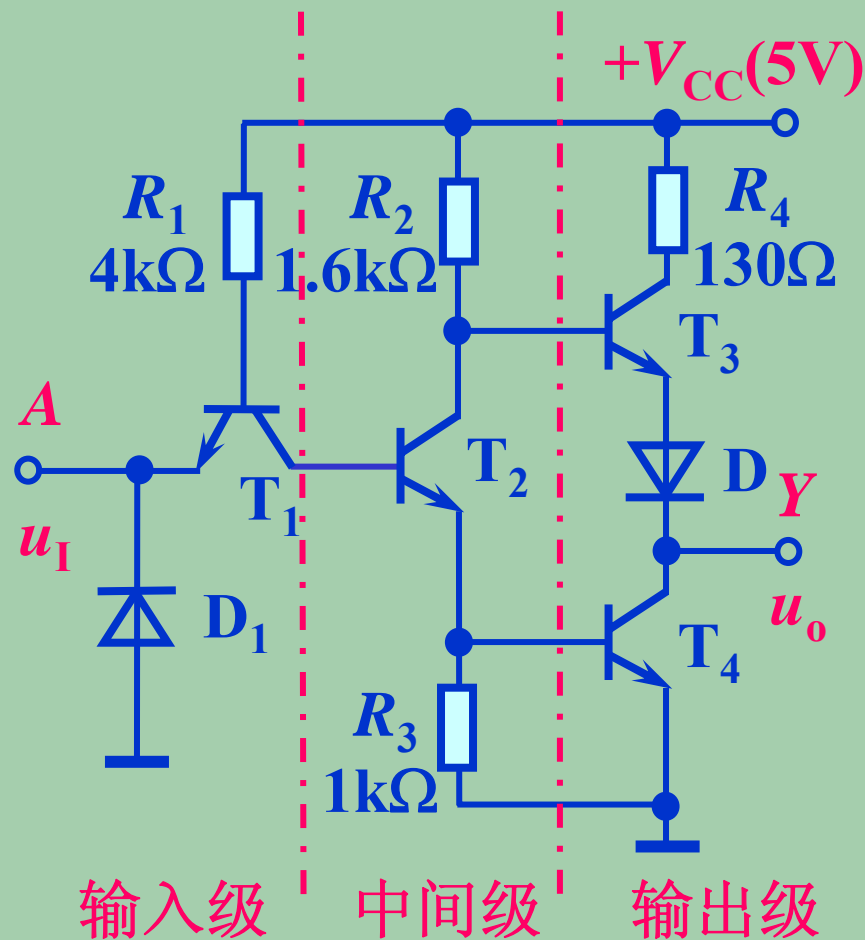
#### 2.4.1 TTL 反相器

##### 一、电路组成及工作原理

##### 1. 电路组成

**D<sub>1</sub>** — 保护二极管  
防止输入电压过低。

因为 **D<sub>1</sub>** 只起保护作用，不参加逻辑判断，为了便于分析，今后在有些电路中将省去。





## 2. 工作原理

①  $u_I = U_{IL} = 0 \text{ V}$

$$u_{B1} = u_{BE1} = 0.7 \text{ V}$$

$$i_{B1} = \frac{V_{CC} - u_{B1}}{R_1} \approx 1.1 \text{ mA}$$

因为  $T_1$  的基极电压无法使  $T_2$  和  $T_4$  的发射结导通

所以  $T_2$ 、 $T_4$  截止,  $i_{C1} = 0$

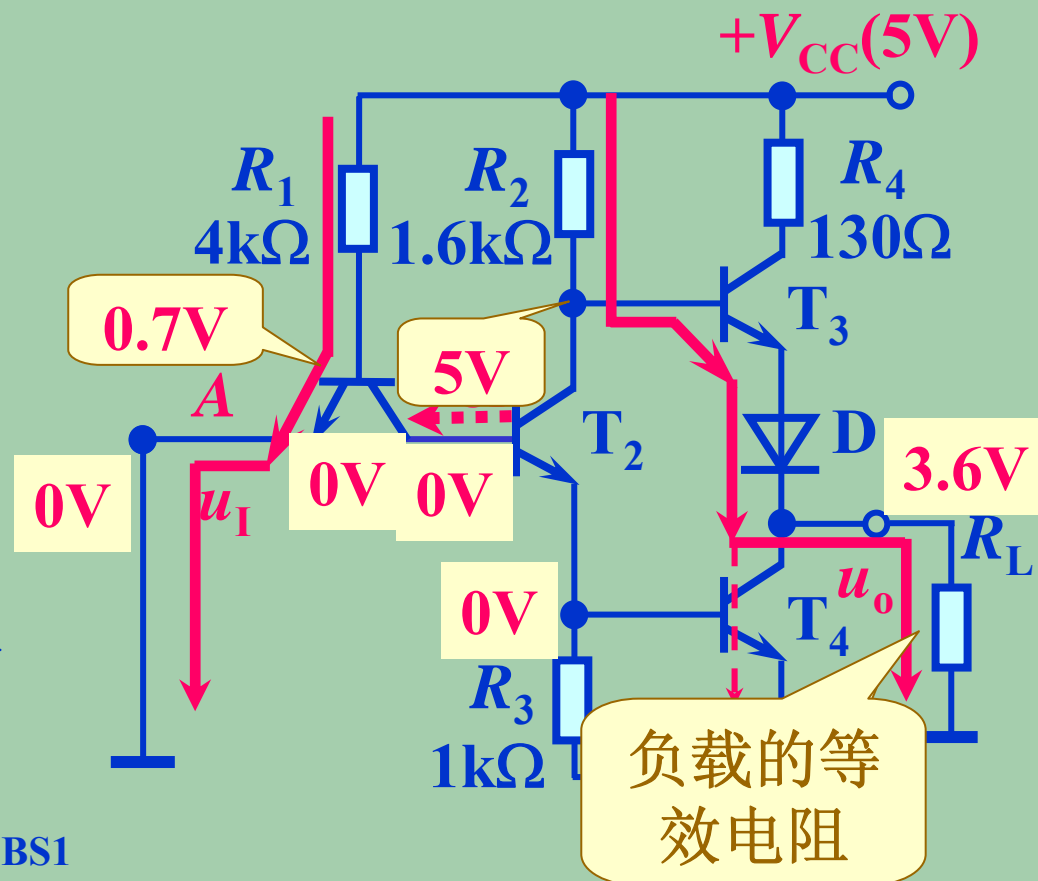
$$I_{BS1} = 0 \quad \text{则} \quad i_{B1} \gg I_{BS1}$$

→  $T_1$  深度饱和  $u_{CE1} = U_{CES1} \approx 0 \text{ V}$

$$u_{B2} = u_I + u_{CE1} = u_I + U_{CES1} \approx 0 \text{ V}$$

$$u_{B3} = V_{CC} - i_{B3} R_2 \approx V_{CC} = 5 \text{ V} \rightarrow T_3、D \text{ 导通}$$

$$u_O = u_{B3} - u_{BE3} - u_D = (5 - 0.7 - 0.7) \text{ V} = 3.6 \text{ V}$$



## 2. 工作原理

②  $u_I = U_{IH} = 3.6\text{ V}$

$T_1$  倒置放大状态

因为： $u_E > u_B > u_C$ ，即

发射结反偏

集电结正偏

$T_2$  饱和， $T_3$ 、 $D$  均截止

$T_4$  饱和导通

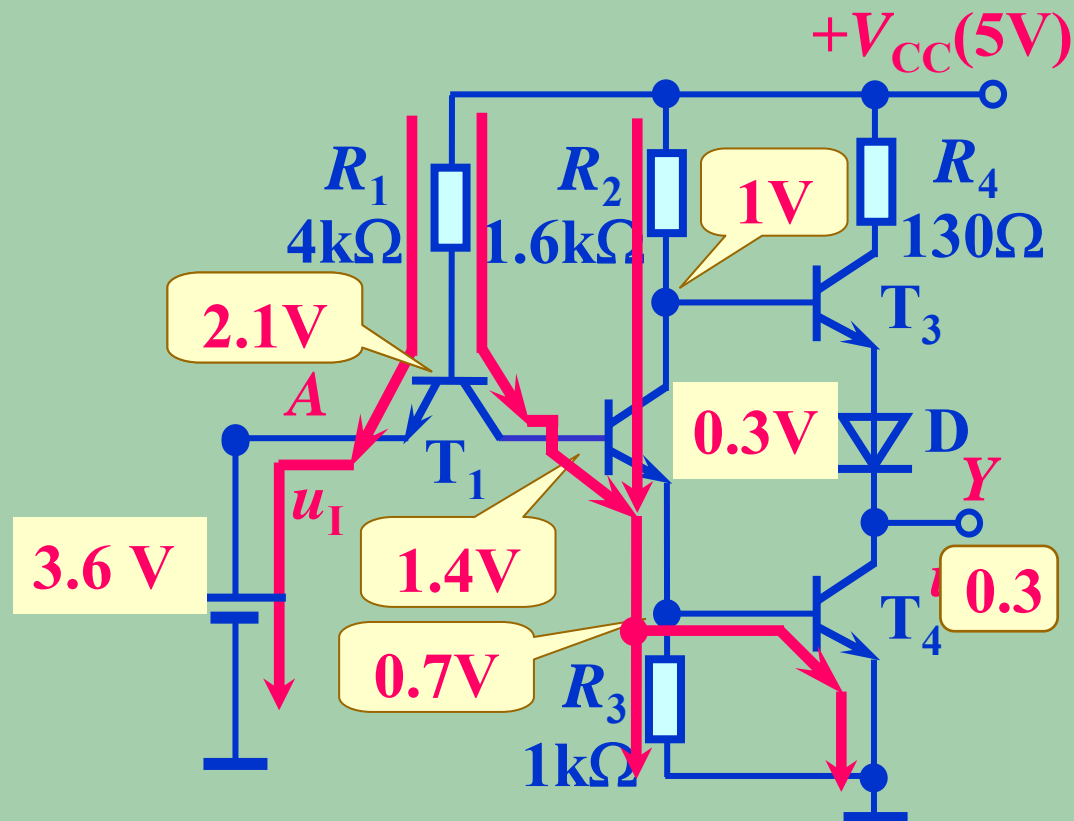
$$u_O = U_{CES4} \leq 0.3\text{ V}$$

则

$u_I/\text{V}$	$u_O/\text{V}$
0	3.6
3.6	0.3

所以

$$Y = \overline{A}$$



$\beta_i \approx 0.02$

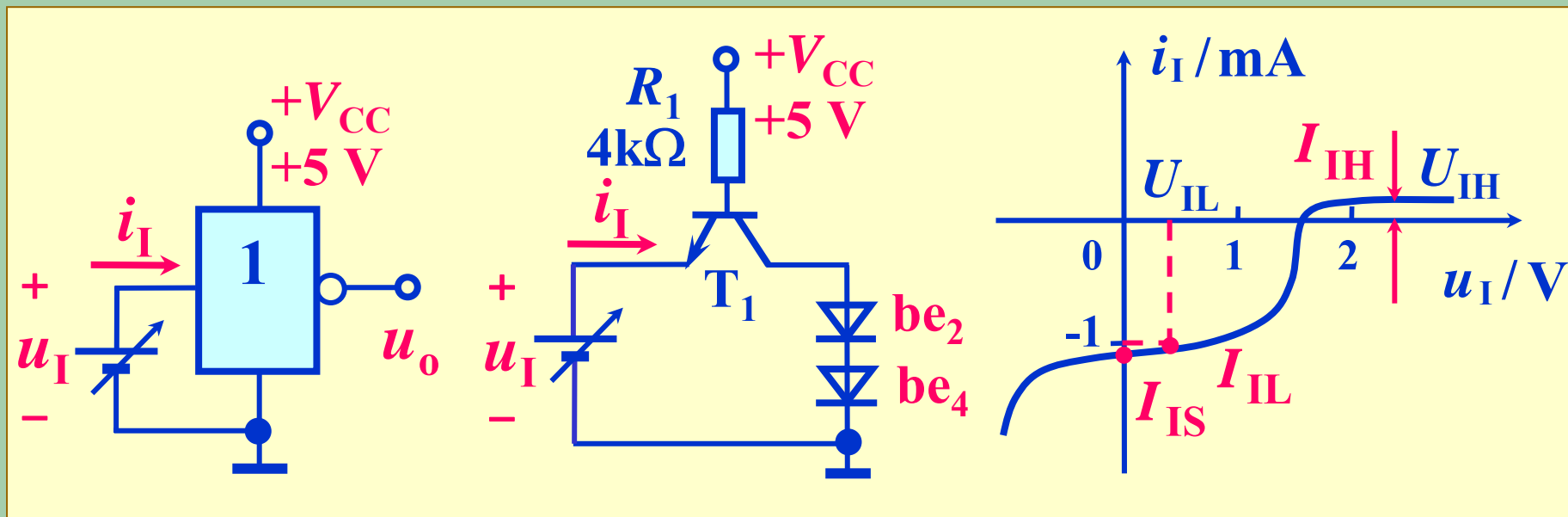
$$i_{c'} = \beta_i i_b, i_{e'} = (1 + \beta_i) i_b$$



## 二、静态特性

### 1. 输入特性

(1) 输入伏安特性:  $i_I = f(u_I)$

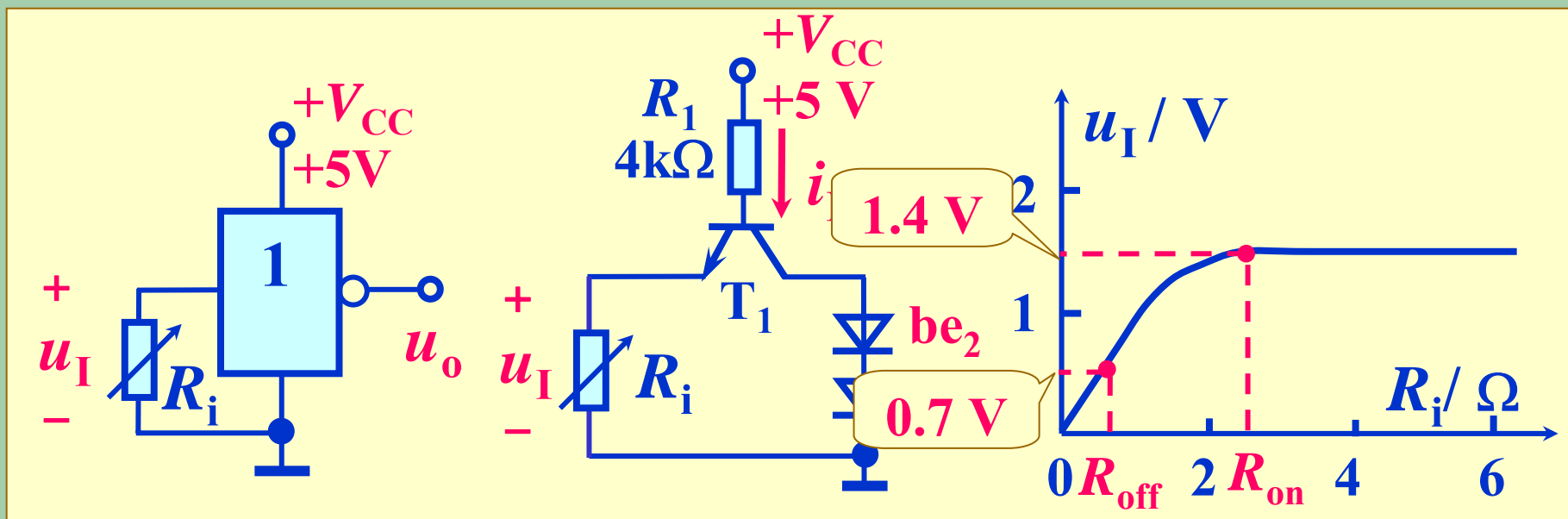


$u_I = U_{IH} = 3.6\text{ V}$  高电平输入电流或输入端漏电流  $I_{IH}$

$$i_I = I_{IH} = \frac{\beta_i(V_{CC} - 2.1\text{ V})}{R_1} = 0.0145\text{ mA}$$



## (2) 输入端负载特性: $u_I = f(R_i)$



$$R_i < 0.7 k\Omega$$

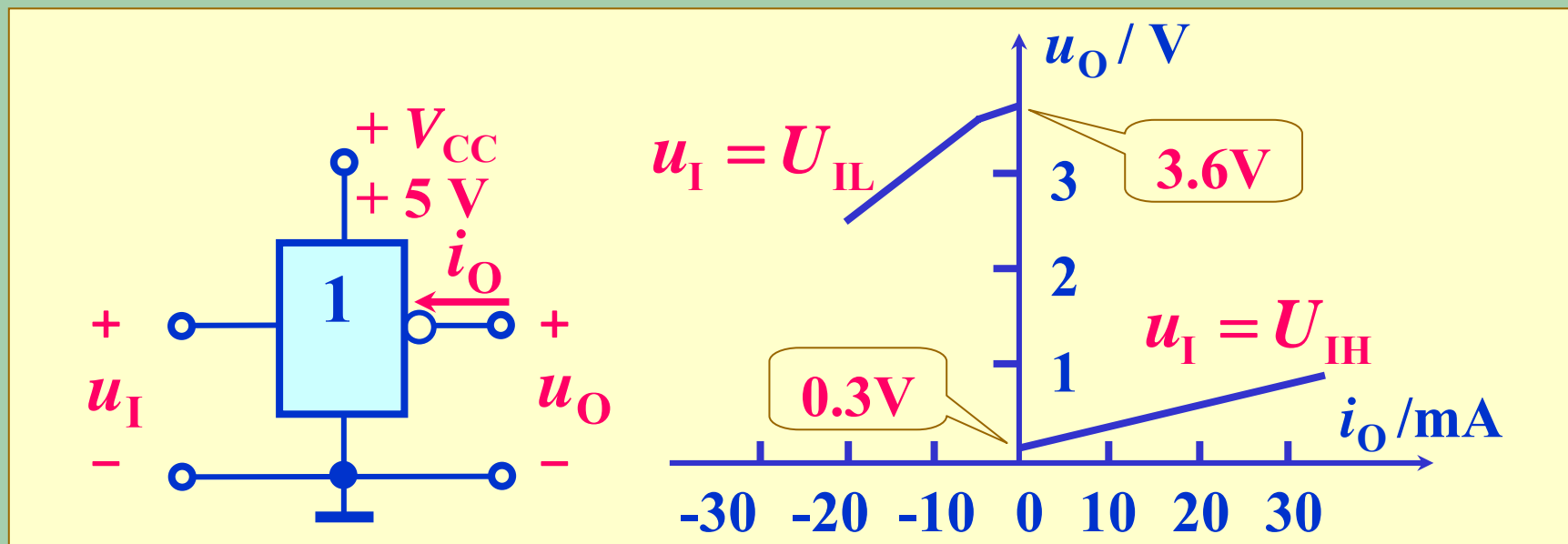
$$u_I < 0.7 V \quad T_2、T_4 \text{ 截止} \quad u_O = U_{OH} = 3.6 V$$

$R_i = R_{off}$  — 关门电阻 ( $< 0.7 k\Omega$ )

即：当  $R_i$  为  $0.7 k\Omega$  以下电阻时，输入端相当于低电平。



## 2. 输出特性 $u_O = f(i_O)$



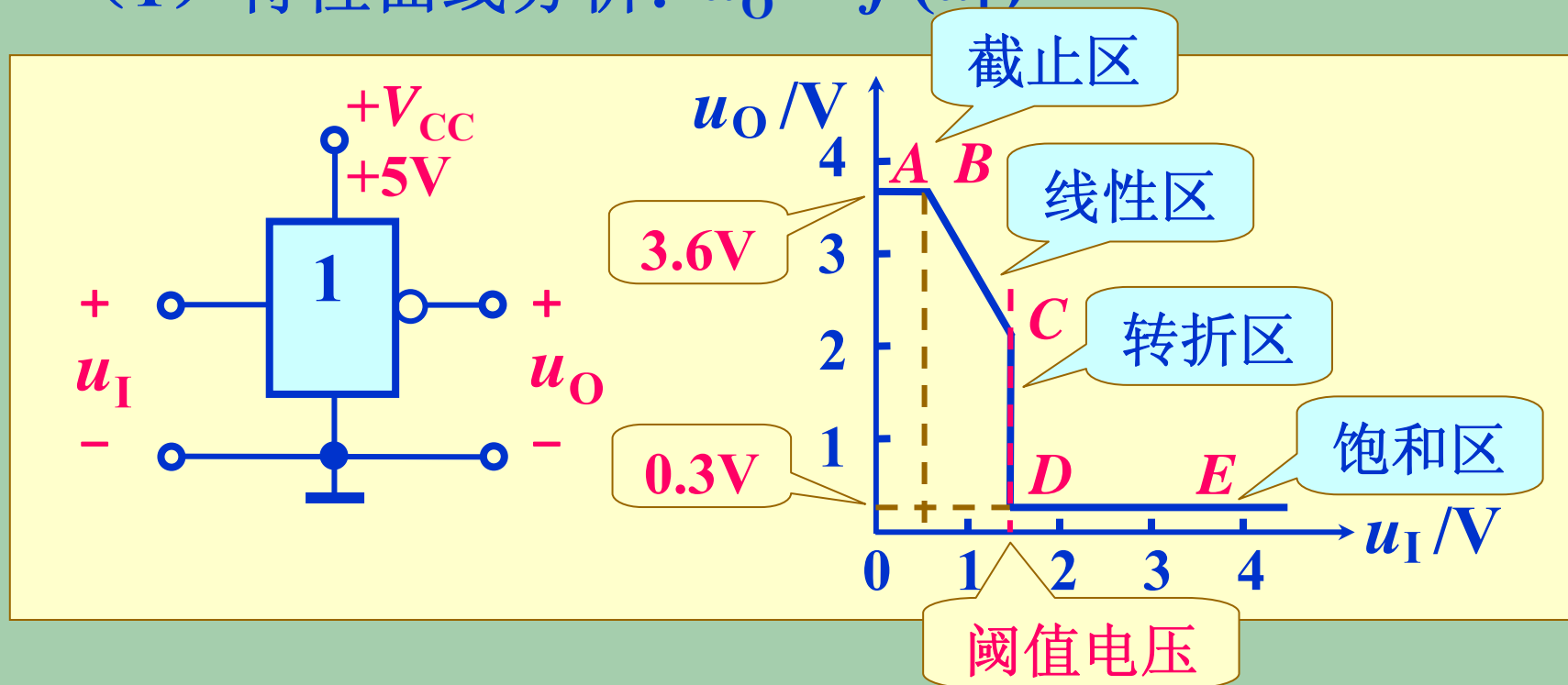
注意:

输出短路电流  $I_{OS}$  可达  $-33mA$ ，将造成器件过热烧毁，故门电路输出端不能接地!!!



### 3. 电压传输特性

#### (1) 特性曲线分析: $u_O = f(u_I)$



**DE 段:**  $u_I > 1.4 V$  ,

$T_2$ 、 $T_4$  饱和导通,  $T_3$ 、 $D$  截止。

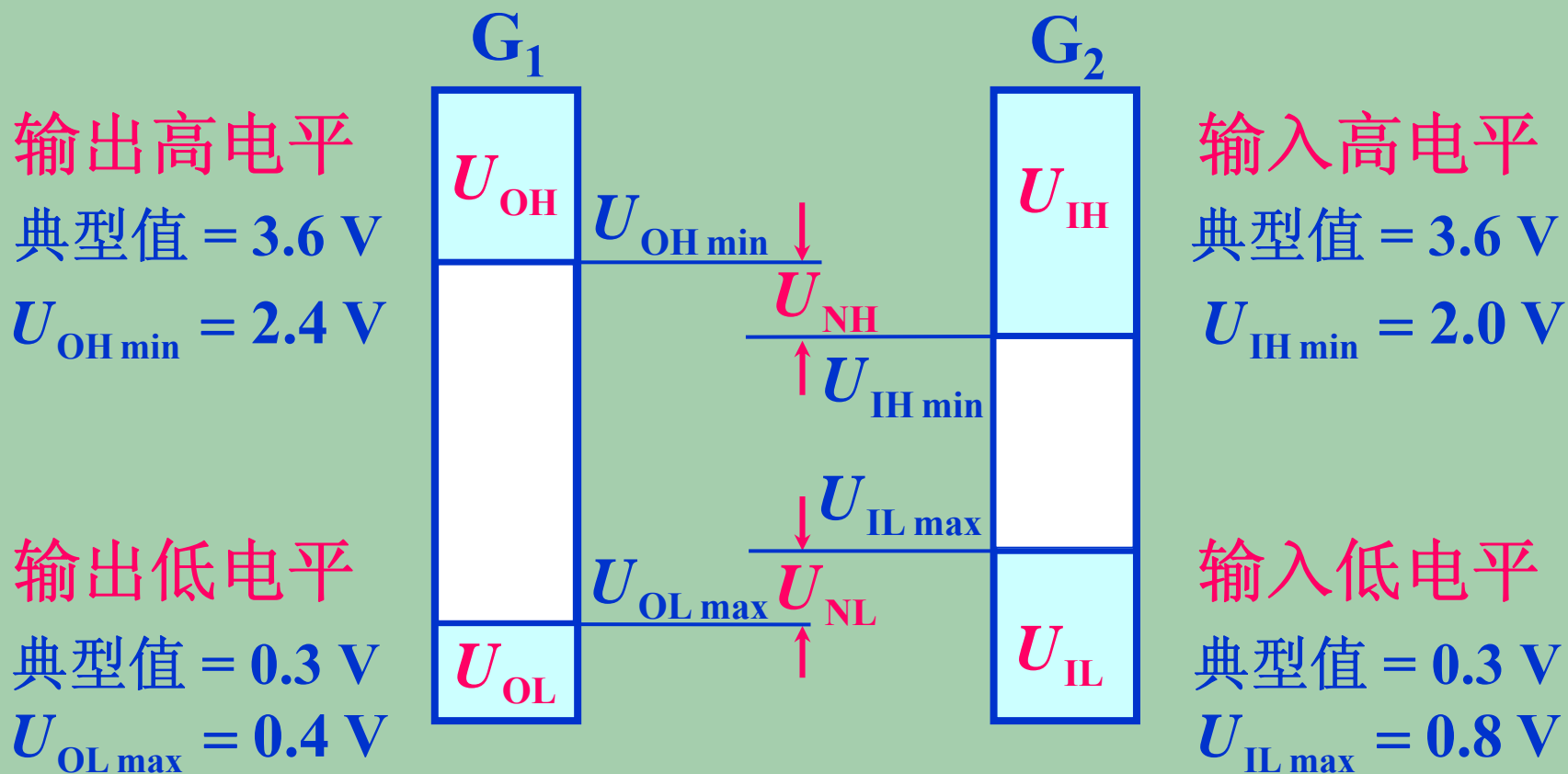
$$u_O = U_{OL} \leq 0.3 V$$



$G_2$  输入低电平时的噪声容限:

$U_{NL}$  — 允许叠加的正向噪声电压的最大值

$$U_{NL} = U_{ILmax} - U_{OLmax} = 0.4 \text{ V}$$







### 三、动态特性

#### 传输延迟时间

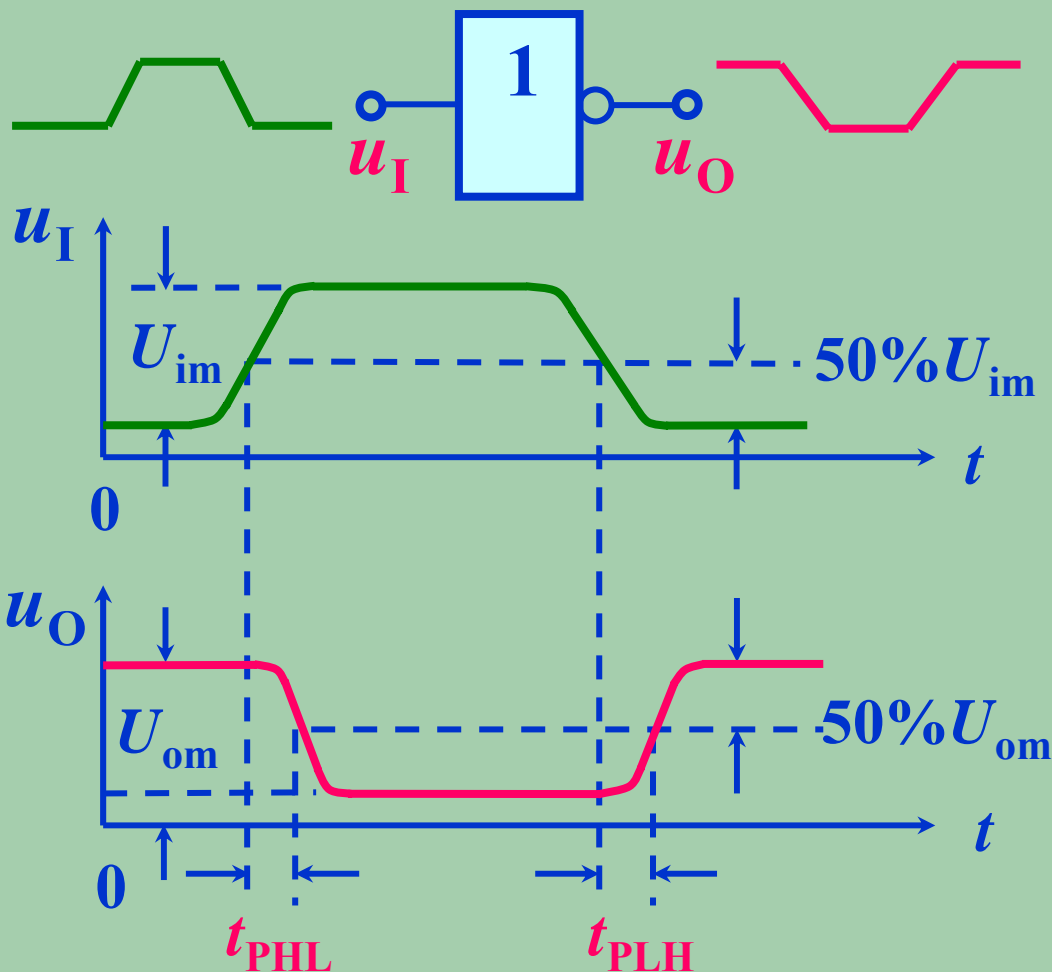
$t_{\text{PHL}}$  — 输出电压由高到低时的传输延迟时间。

$t_{\text{PLH}}$  — 输出电压由低到高时的传输延迟时间。

$t_{\text{pd}}$  — 平均传输延迟时间

$$t_{\text{pd}} = \frac{t_{\text{PHL}} + t_{\text{PLH}}}{2}$$

典型值:  $t_{\text{PHL}} = 8 \text{ ns}$ ,  $t_{\text{PLH}} = 12 \text{ ns}$   
 最大值:  $t_{\text{PHL}} = 15 \text{ ns}$ ,  $t_{\text{PLH}} = 22 \text{ ns}$





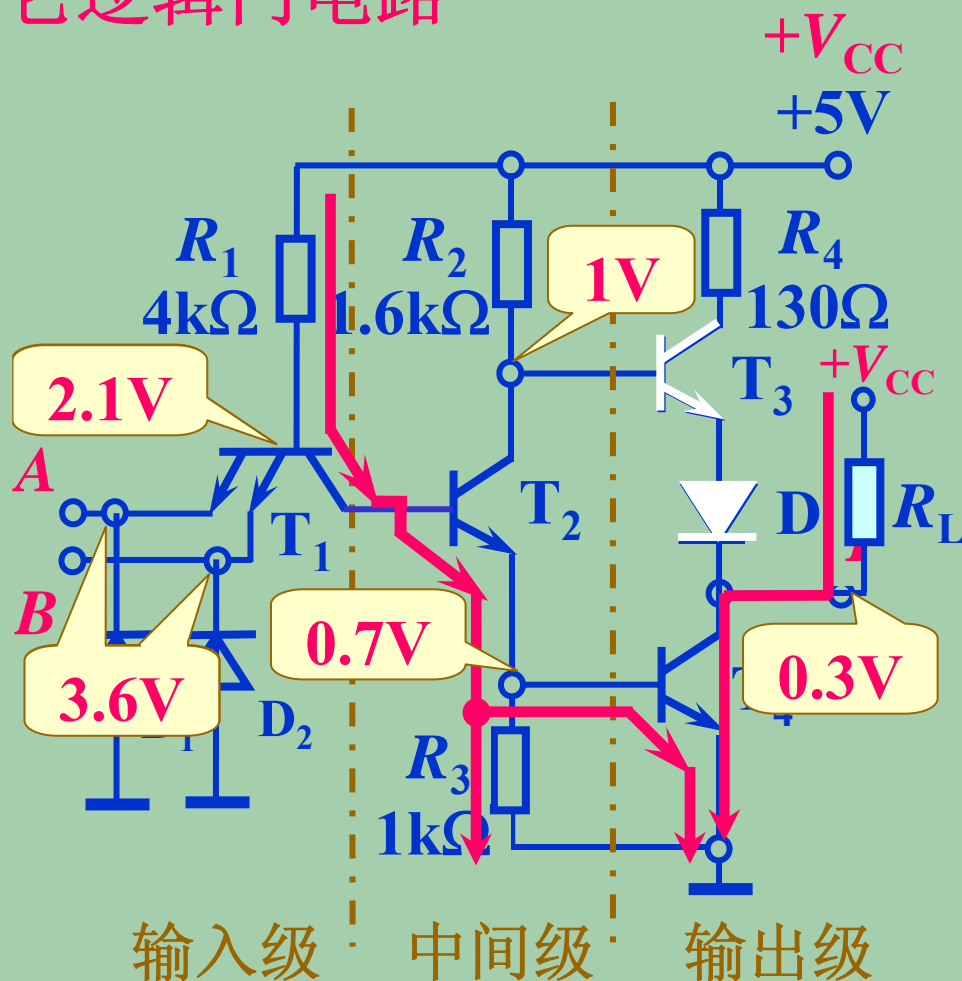
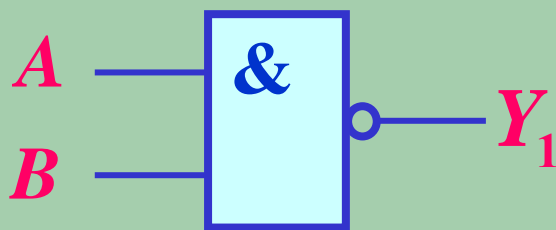
## 2.4.2 TTL与非门和其它逻辑门电路

### 一、TTL 与非门

整理结果:

$A$	$B$	$Y$
0	0	1
0	1	1
1	0	1
1	1	0

$$Y_1 = \overline{AB} \quad \text{与非门}$$

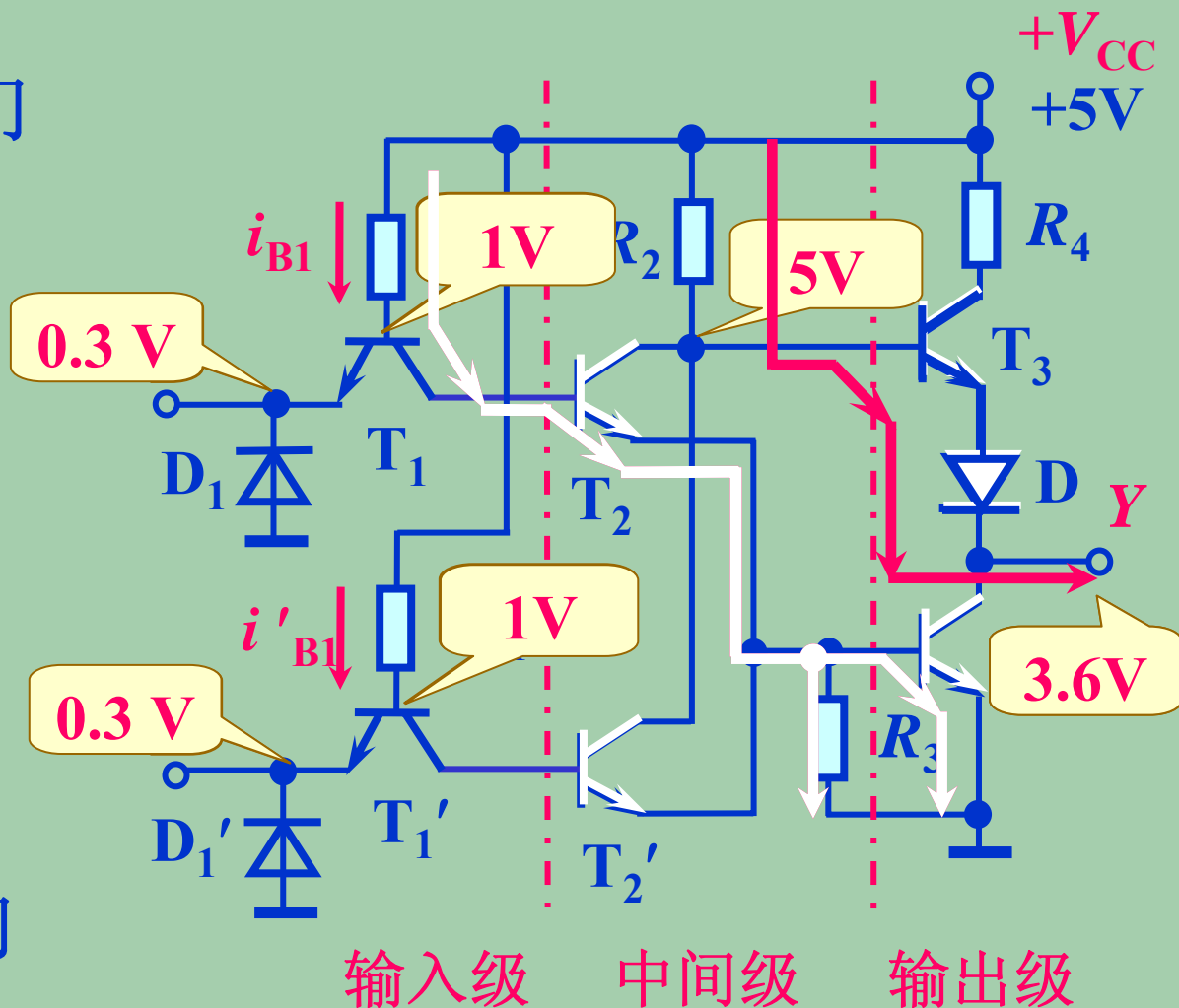
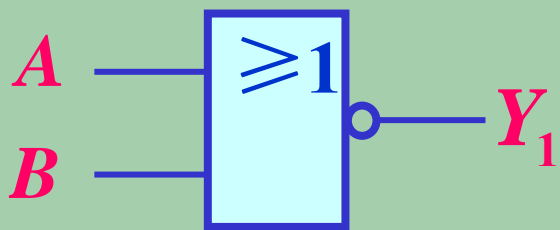


## 二、TTL 或非门

整理结果:

$A$	$B$	$Y$
0	0	1
0	1	0
1	0	0
1	1	0

$$Y_1 = \overline{A + B} \quad \text{或非门}$$



其它逻辑门原理相似。

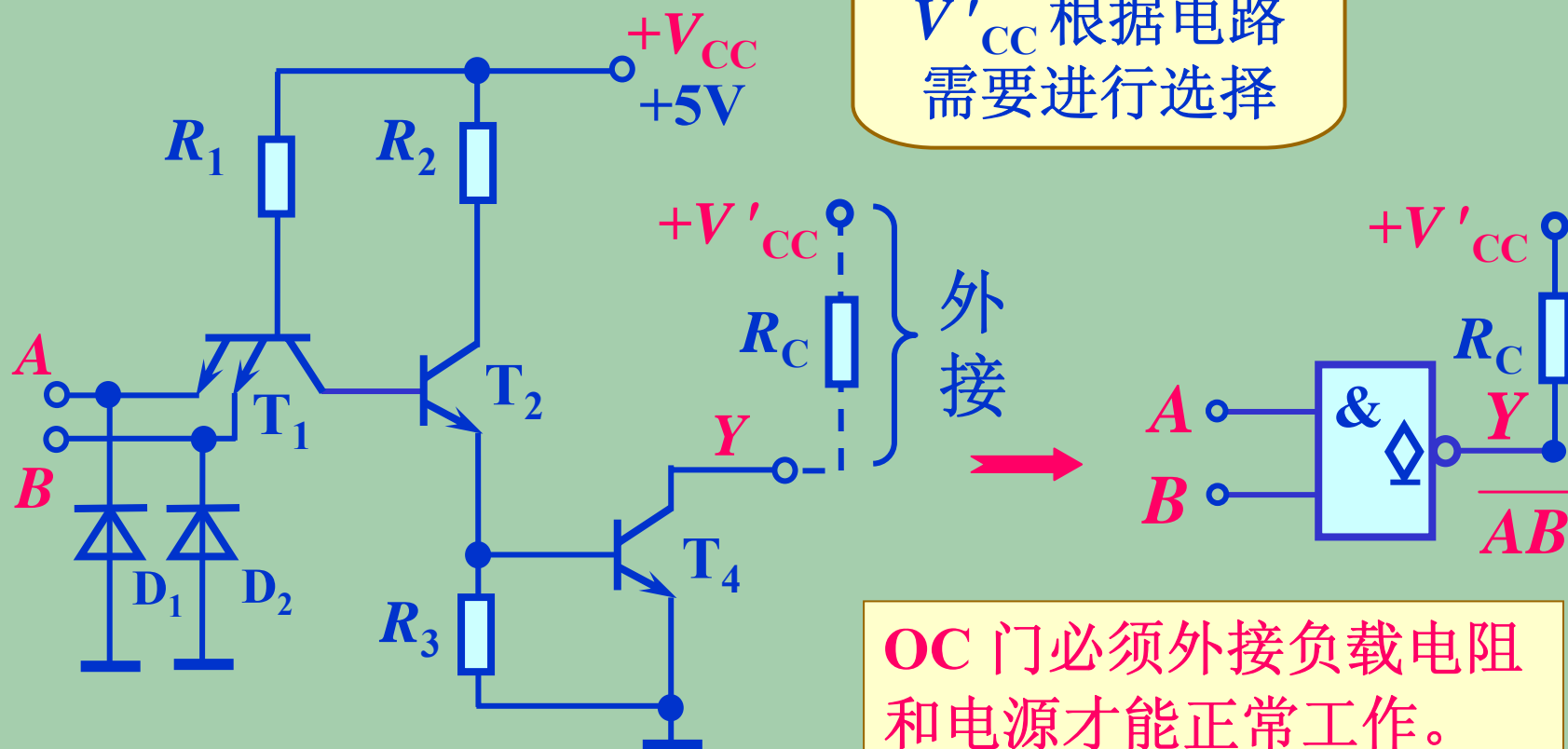


## 2.4.3 TTL 集电极开路门和三态门

### 一、集电极开路门—OC 门(Open Collector Gate)

#### 2. OC 门的主要特点:

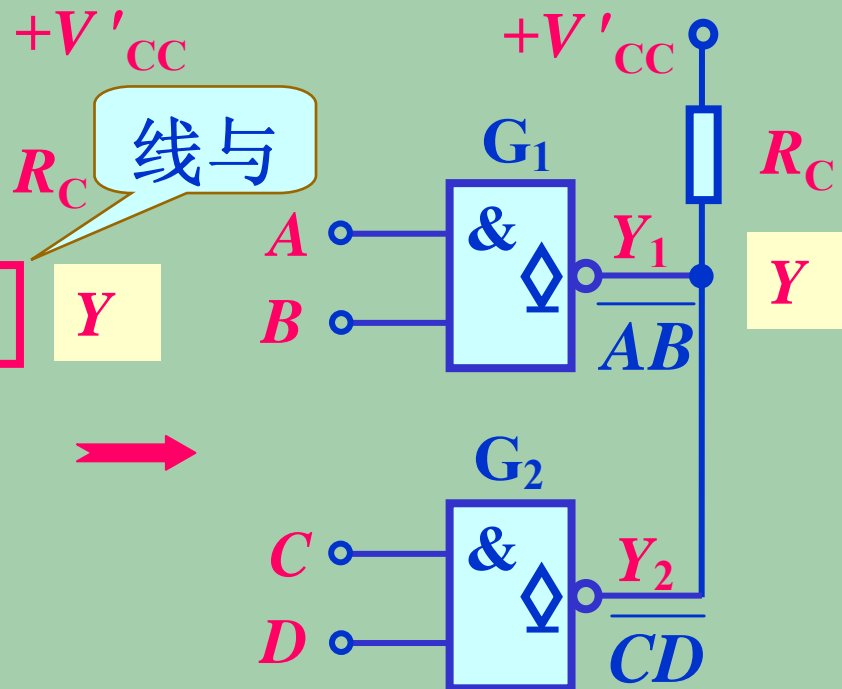
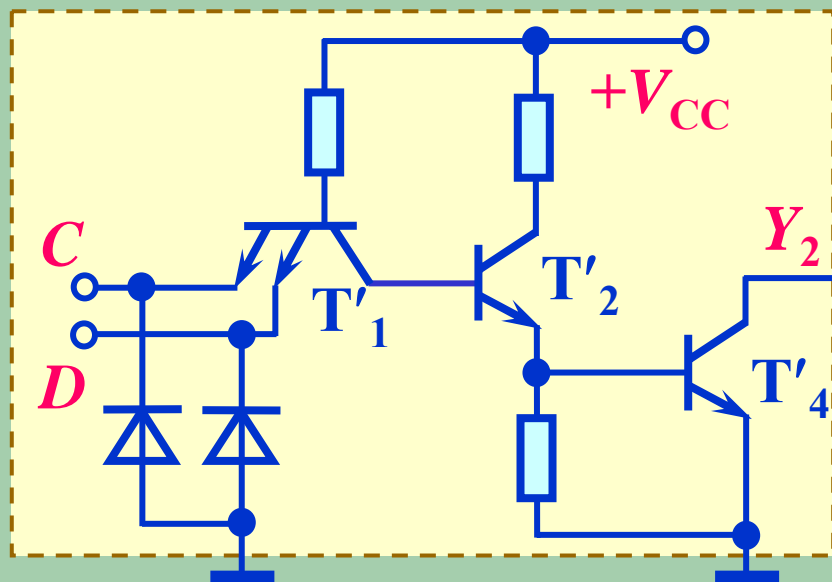
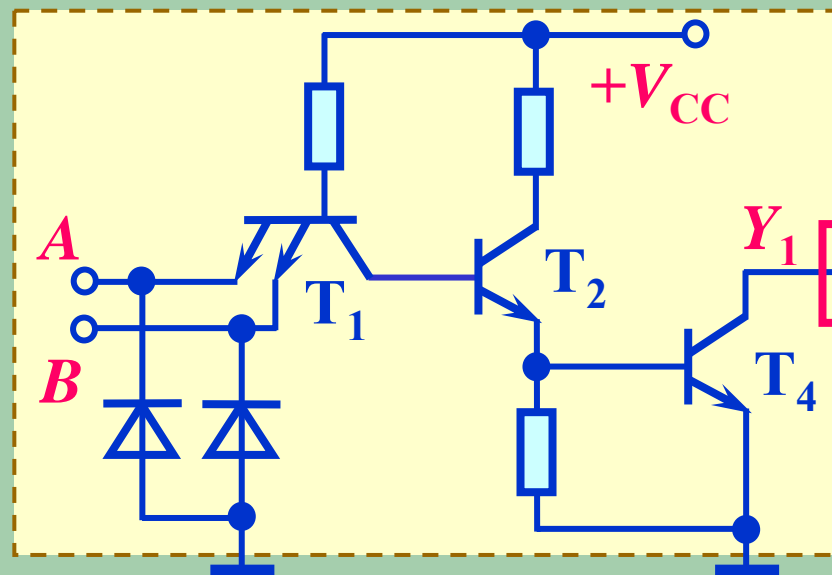
可以线与连接  
 $V'_{CC}$  根据电路  
需要进行选择



OC 门必须外接负载电阻  
和电源才能正常工作。



# 线与连接举例：



$$Y = Y_1 \cdot Y_2 = \overline{AB} \cdot \overline{CD} = \overline{AB + CD}$$

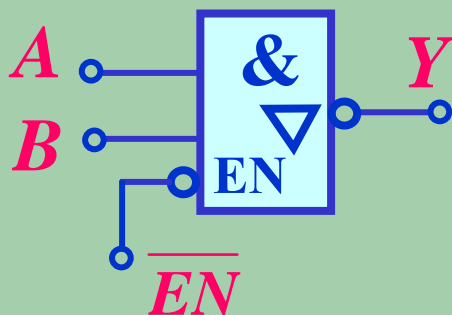


## 二、 输出三态门 -TSL门(Three - State Logic)

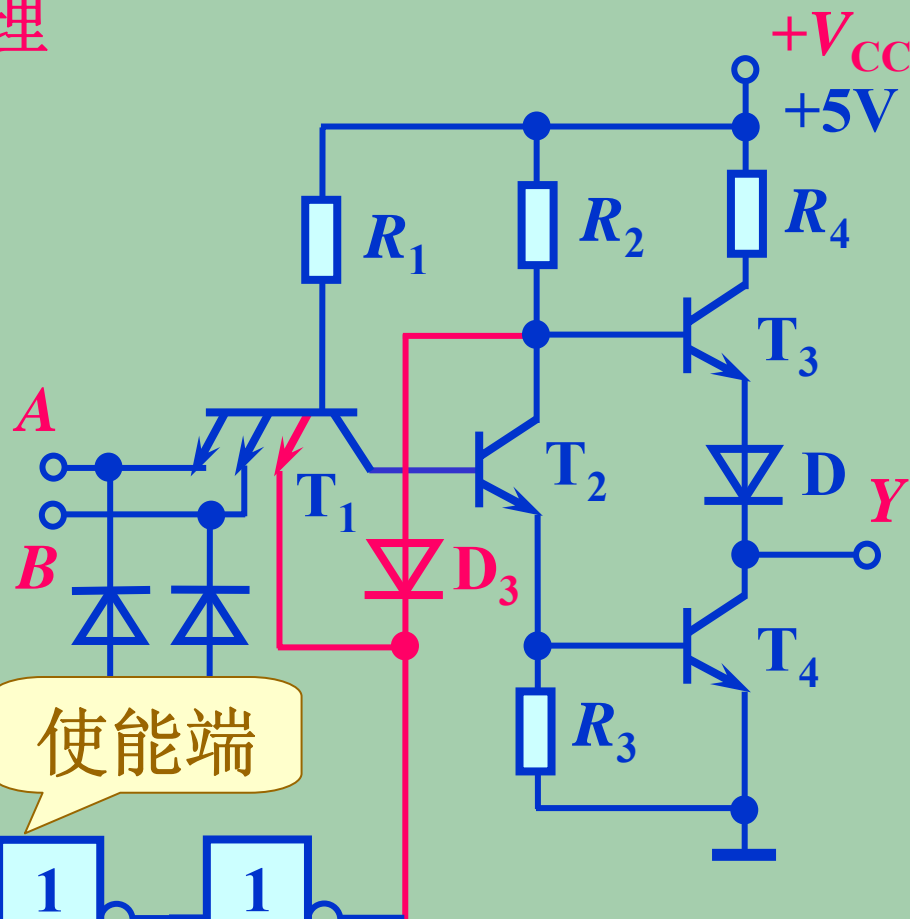
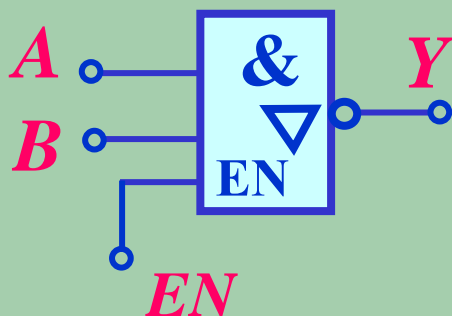
### 1. 电路组成及其工作原理

#### (1) 电路组成

##### ① 使能端低电平有效



##### ② 使能端高电平有效





## (2) 工作原理

以使能端低电平有效为例：

$\overline{EN} = 1$  时

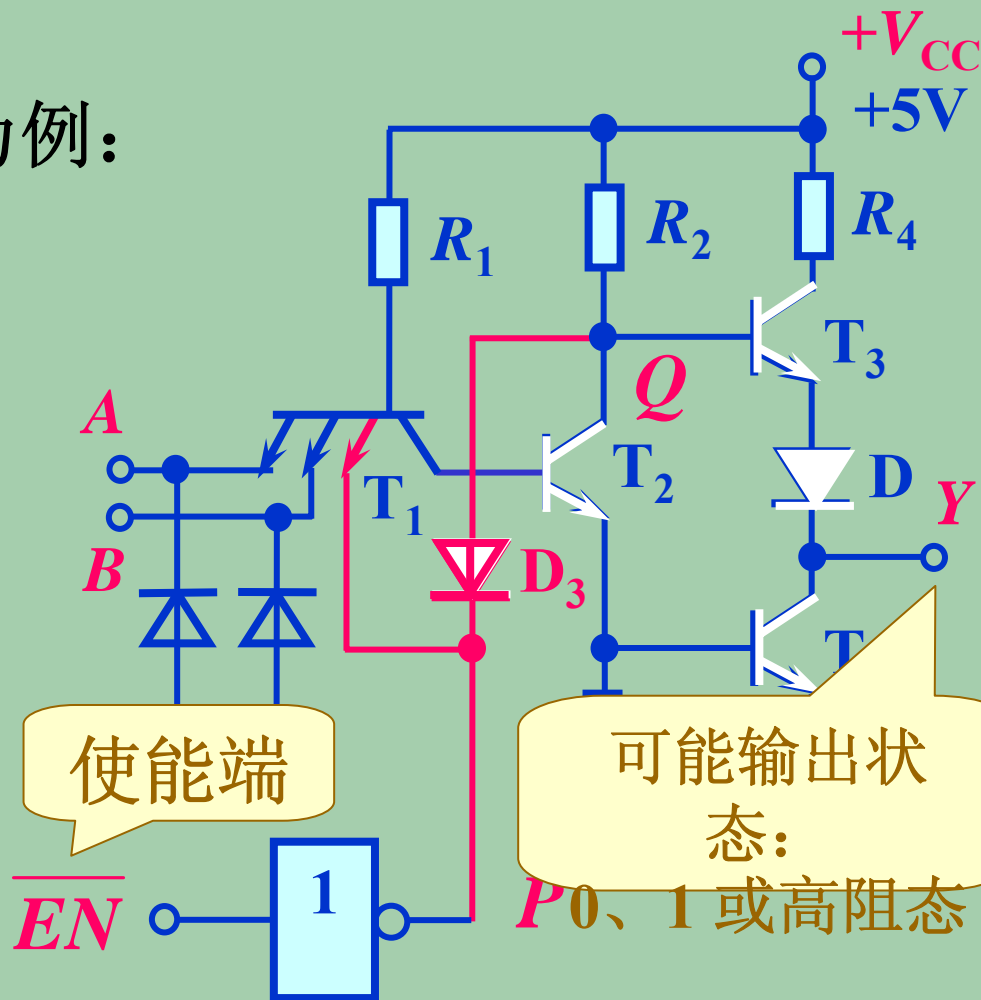
→  $P = 0$  (低电平)

$T_2$ 、 $T_4$ 截止

→  $D_3$  导通

$u_Q \leq 1\text{ V}$

$T_3$ 、 $D$  截止



输出端与上、下均断开 — 高阻态，记做  $Y = Z$

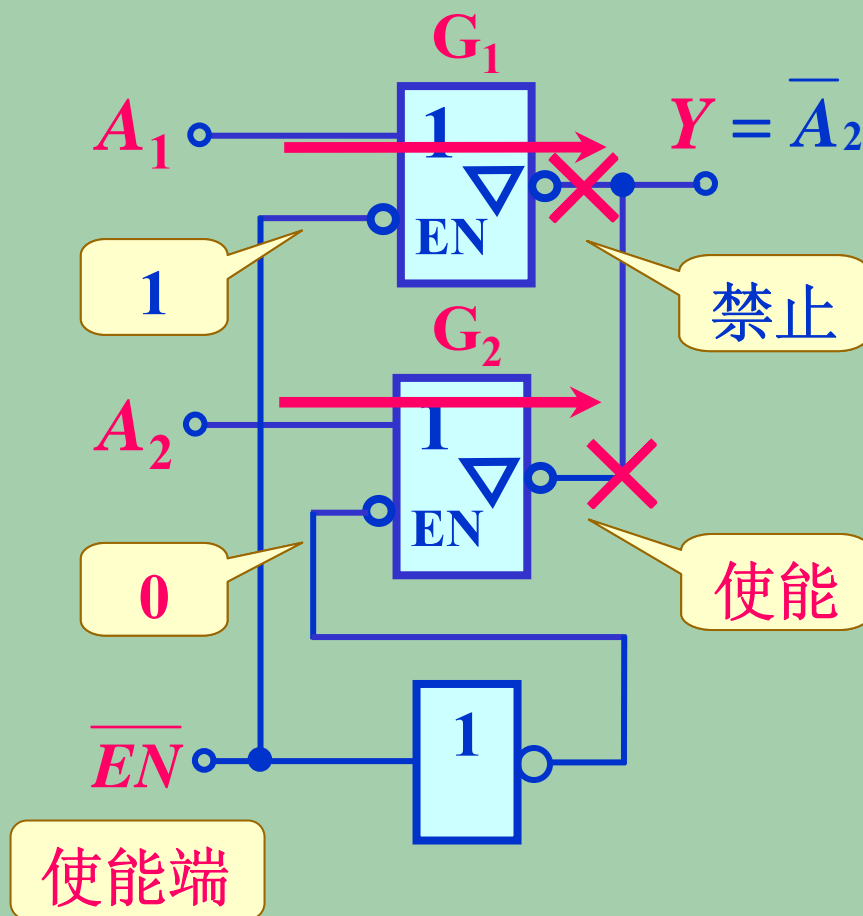


## 2. 应用举例:

### (1) 用做多路开关

$\overline{EN} = 0$  时

$\overline{EN} = 1$  时





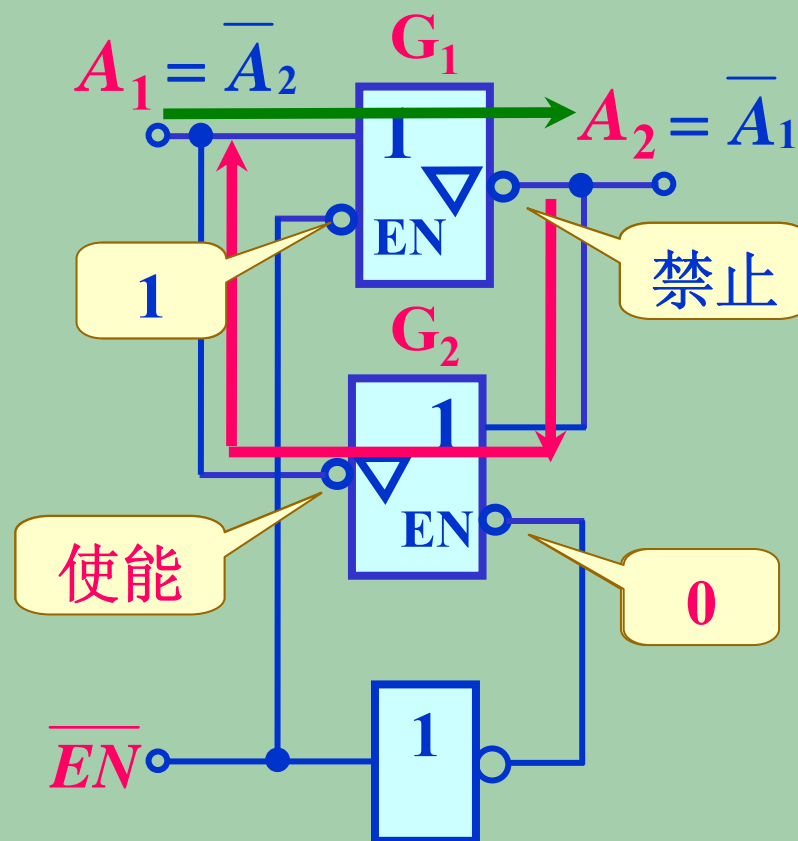


## 2. 应用举例:

### (2) 用于信号双向传输

$\overline{EN} = 0$  时

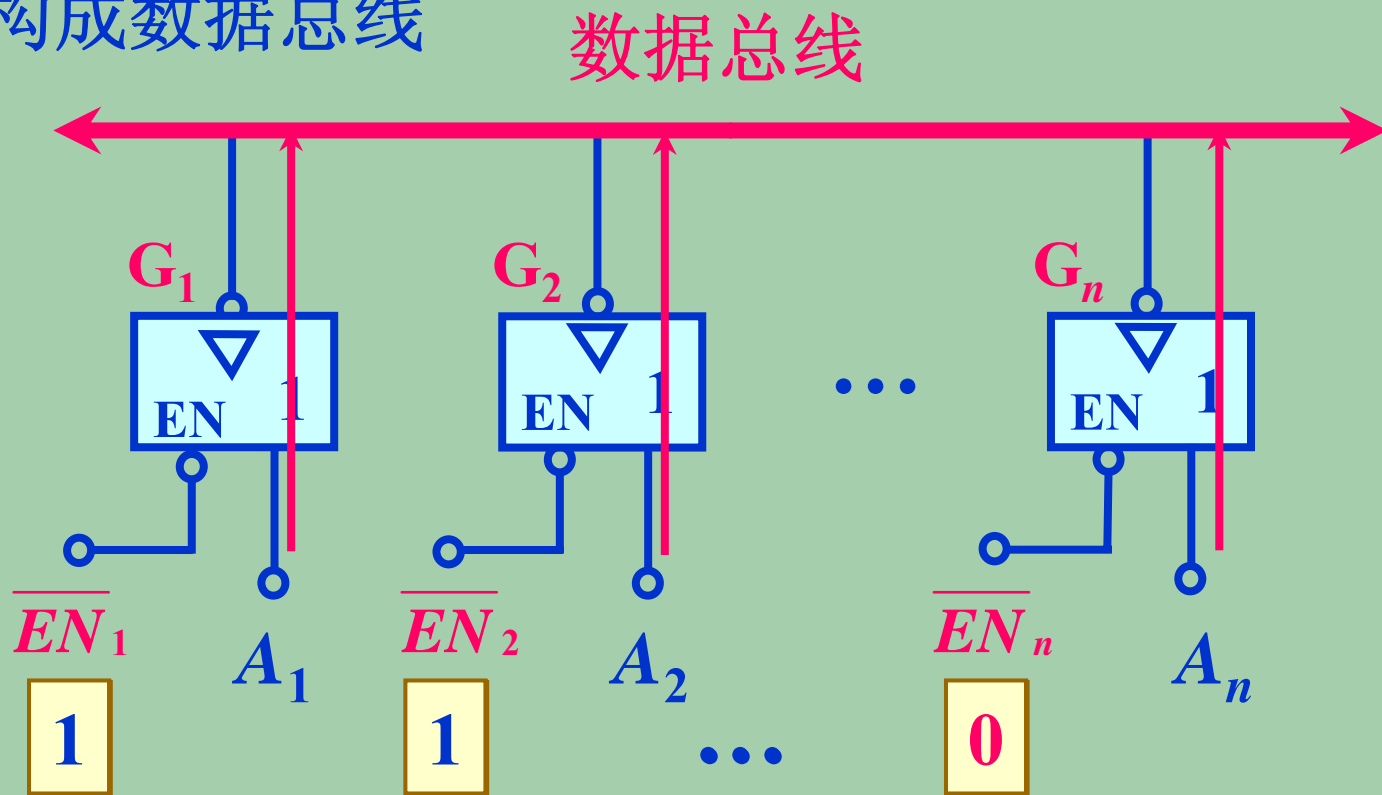
$\overline{EN} = 1$  时





## 2. 应用举例:

### (3) 构成数据总线



**注意:**

任何时刻，只允许一个三态门使能，其余为高阻态。