



4.4 触发器的电气特性

4.4.1 静态特性

一、CMOS 触发器

由于 CMOS 触发器的输入、输出以 CMOS 反相器作为缓冲级，故特性与 CMOS 反相器相同，不赘述。

二、TTL 触发器

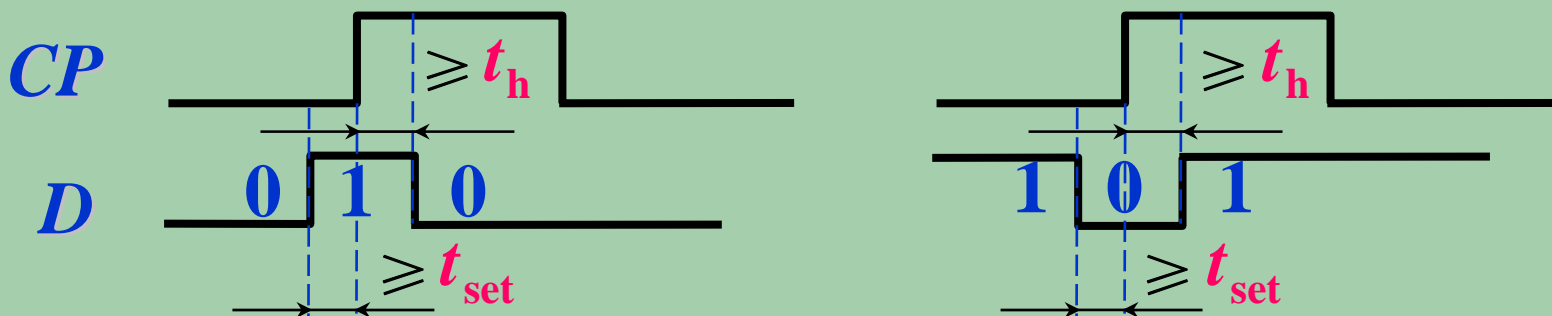
与 TTL 反相器相同，不赘述。

4.4.2 动态特性

一、输入信号的建立时间和保持时间

1. 建立时间 t_{set}

指要求触发器输入信号先于 CP 信号的时间。



2. 保持时间 t_{h}

指保证触发器可靠翻转， CP 到来后输入信号需保持的时间。

边沿 D 触发器的 t_{set} 和 t_{h} 均在 **10 ns** 左右。



二、时钟触发器的传输延迟时间

指从 CP 触发沿到达开始，到输出端 Q 、 \overline{Q} 完成状态改变所经历的时间。

1. t_{PHL}

为输出端由高电平变为低电平的传输延迟时间。

TTL 边沿 D 触发器 7474, $t_{PHL} \geq 40 \text{ ns}$ 。

2. t_{PLH} 7474, $\leq 25 \text{ ns}$ 。

为输出端由低电平变为高电平的传输延迟时间。

三、时钟触发器的最高时钟频率 f_{\max}

由于每一级门电路的传输延迟，使时钟触发器的最高工作频率受到限制。7474, $f_{\max} \geq 15 \text{ MHz}$ 。