



5.3 寄存器和读/写存储器 (Register and Random Access Memory)

5.3.1 寄存器的主要特点和分类

一、概念和特点

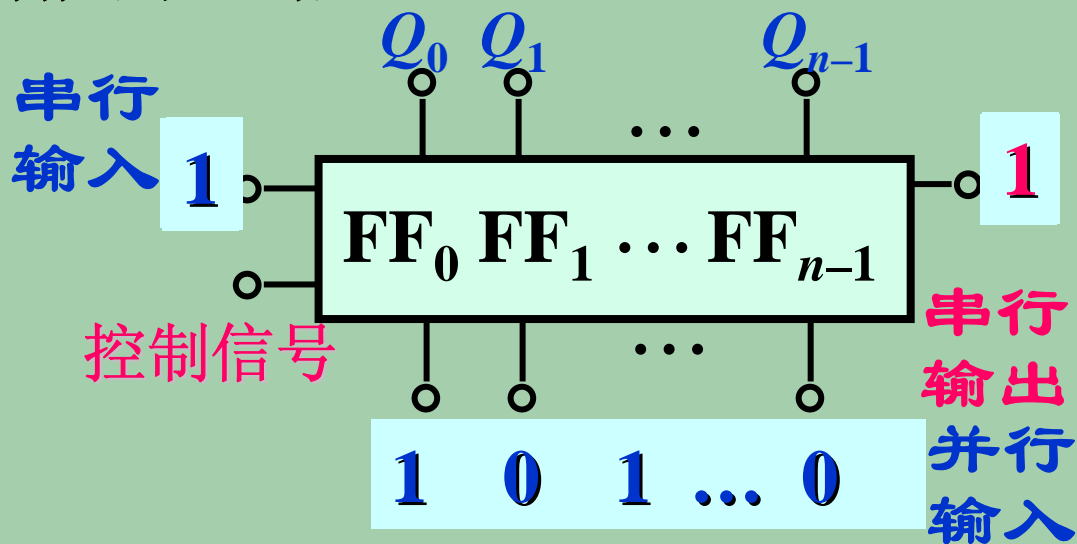
1. 概念

寄存：把二进制数据或代码暂时存储起来。

寄存器：具有寄存功能的电路。 **1 0 1 ... 0** **并行输出**

2. 特点

主要由触发器构成,一般不对存储内容进行处理。





二、分类

1. 按**功能**分

- 基本寄存器 (并入并出)
- 移位寄存器 (并入并出、并入串出、串入并出、串入串出)

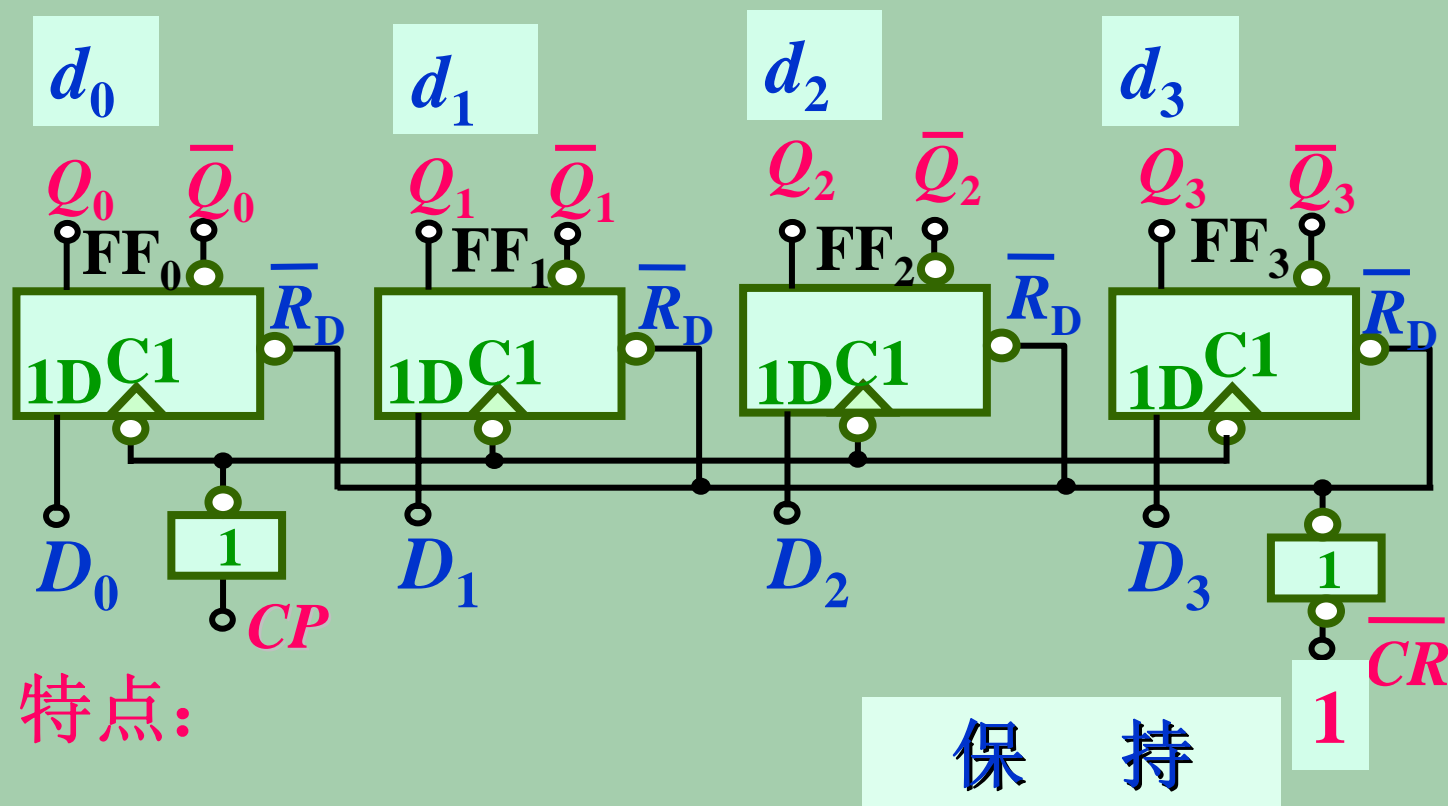
2. 按**开关元件**分

- TTL 寄存器
 - 基本寄存器
 - 多位 D 型触发器
 - 锁存器
 - 寄存器阵列
 - 移位寄存器
 - 单向移位寄存器
 - 双向移位寄存器
- CMOS 寄存器
 - 基本寄存器 (多位 D 型触发器)
 - 移位寄存器 (同 TTL)

5.3.2 基本寄存器

一个触发器可以存储 **1** 位二进制信号；寄存 n 位二进制数码，需要 n 个触发器。

一、4 边沿 D 触发器 (74175、74LS175)

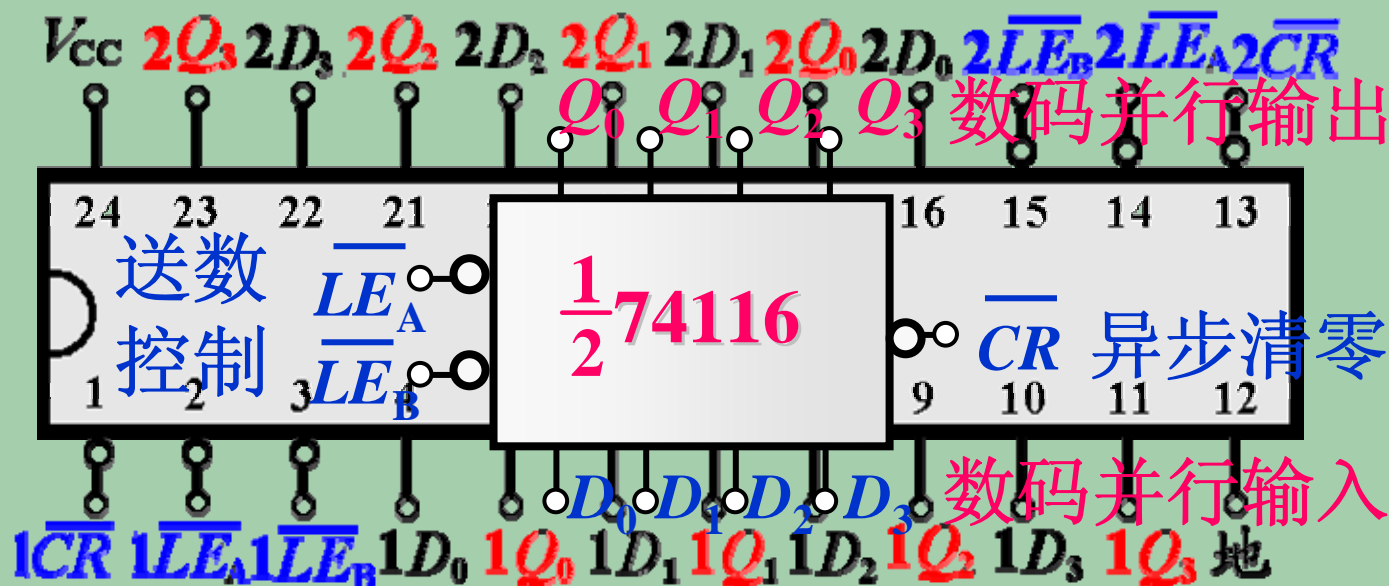


并入并出，结构简单，抗干扰能力强。



二、双 4 位锁存器 (74116) Latch

(一) 引脚排列图和逻辑功能示意图



(二) 逻辑功能

清零 $\overline{CR} = 0$ $Q_3Q_2Q_1Q_0 = 0000$

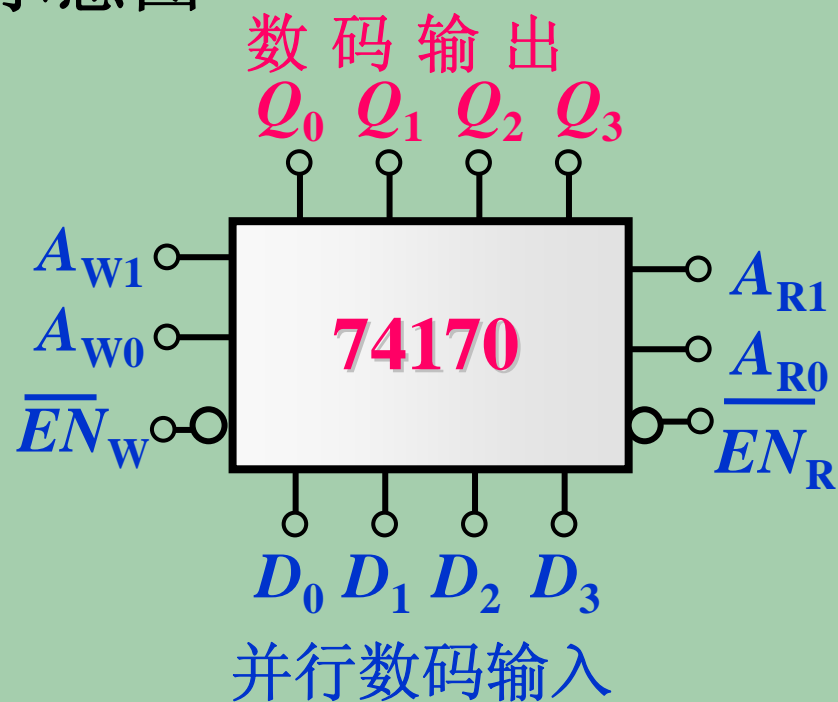
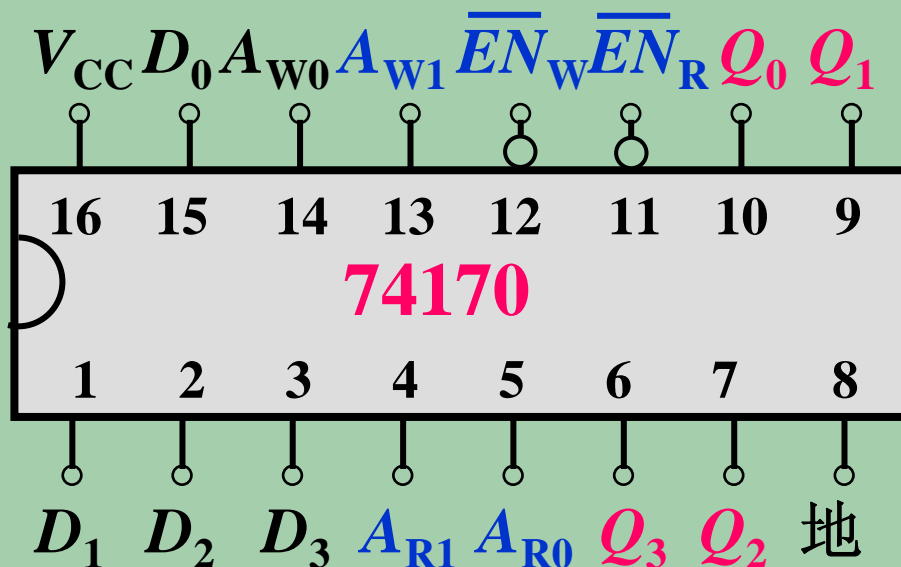
送数 $\overline{CR} = 1$ $\overline{LE}_A + \overline{LE}_B = 0$ $Q_3Q_2Q_1Q_0 = d_3d_2d_1d_0$

保持 $\overline{CR} = 1$ $\overline{LE}_A + \overline{LE}_B = 1$ $Q_3Q_2Q_1Q_0$ 不变



三、 4×4 寄存器阵列 (74170、74LS170)

(一) 引脚排列图和逻辑功能示意图



A_{W0}, A_{W1} — 写入地址码

A_{R0}, A_{R1} — 读出地址码

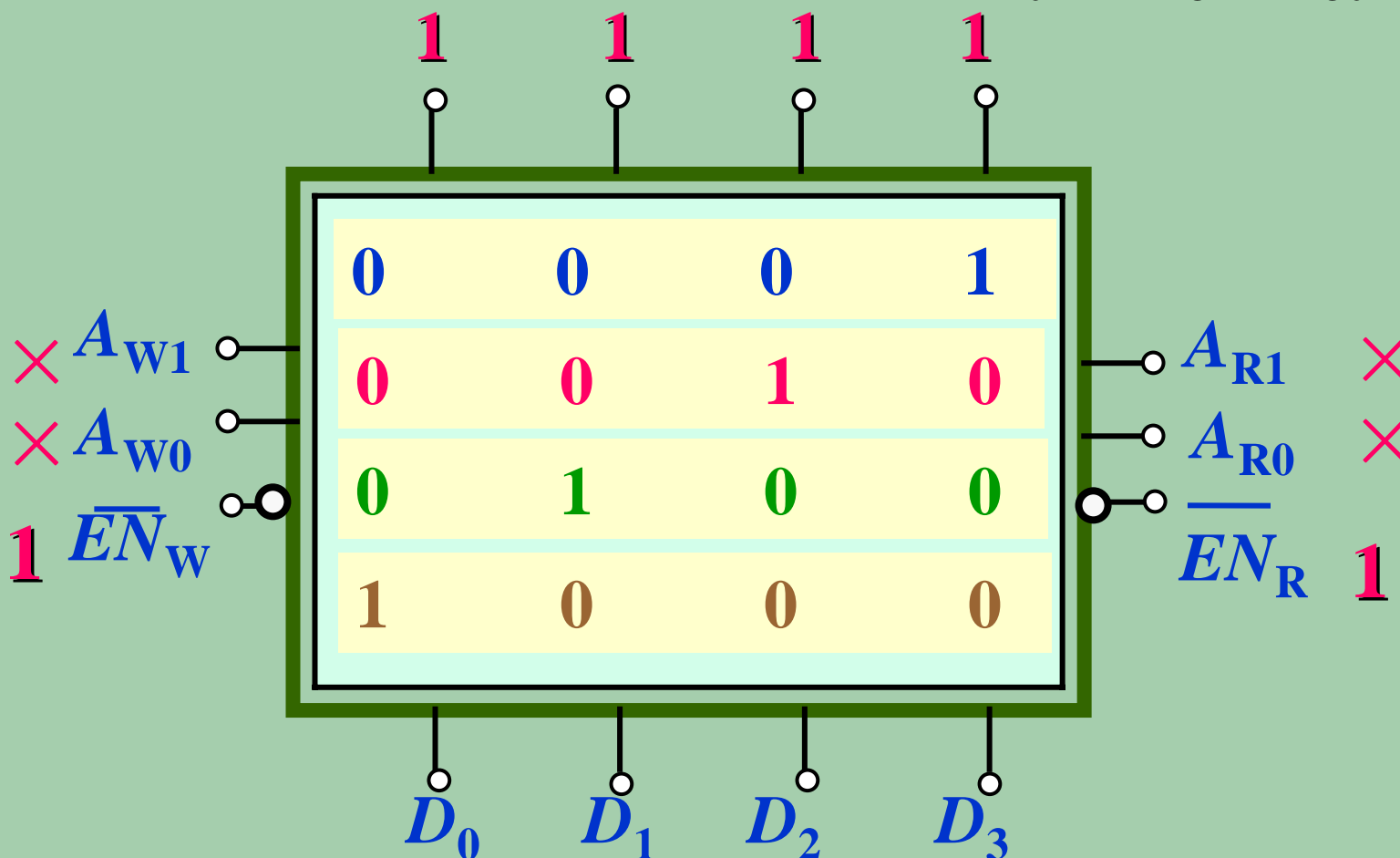
\overline{EN}_W — 写入时钟脉冲

\overline{EN}_R — 读出时钟脉冲



(二) 逻辑功能

每个存储单元： $Q_{00} \sim Q_{13}$ 、 $Q_{20} \sim Q_{23}$ 、 $Q_{30} \sim Q_{33}$

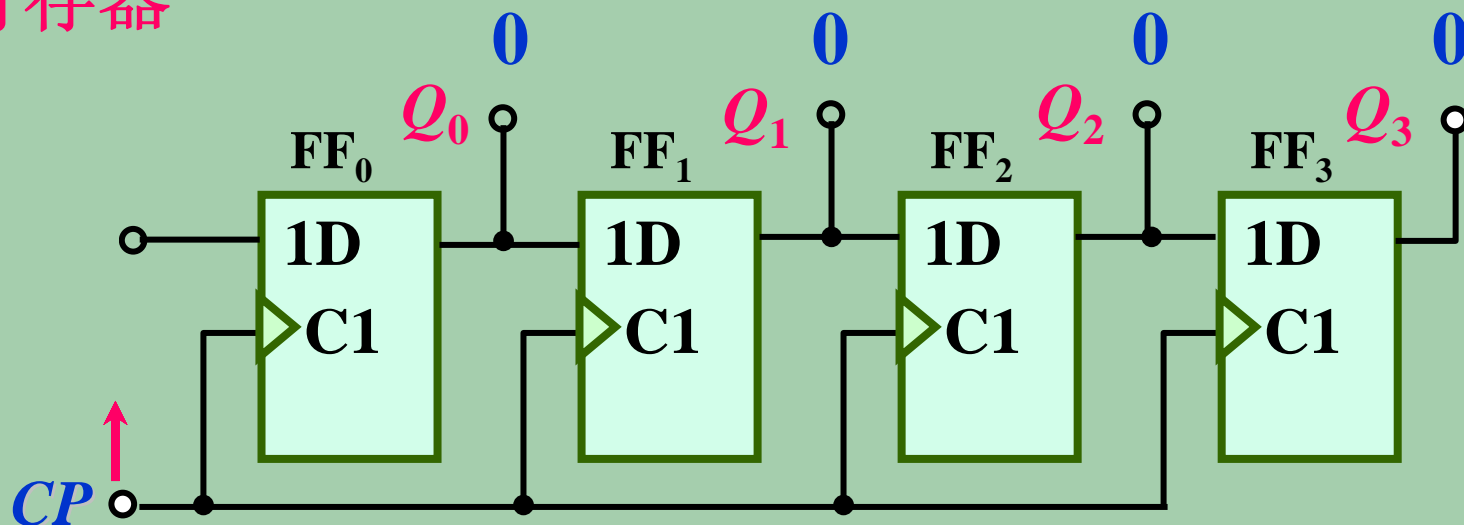


特点：能同时进行读写；集电极开路输出



5.3.3 移位寄存器

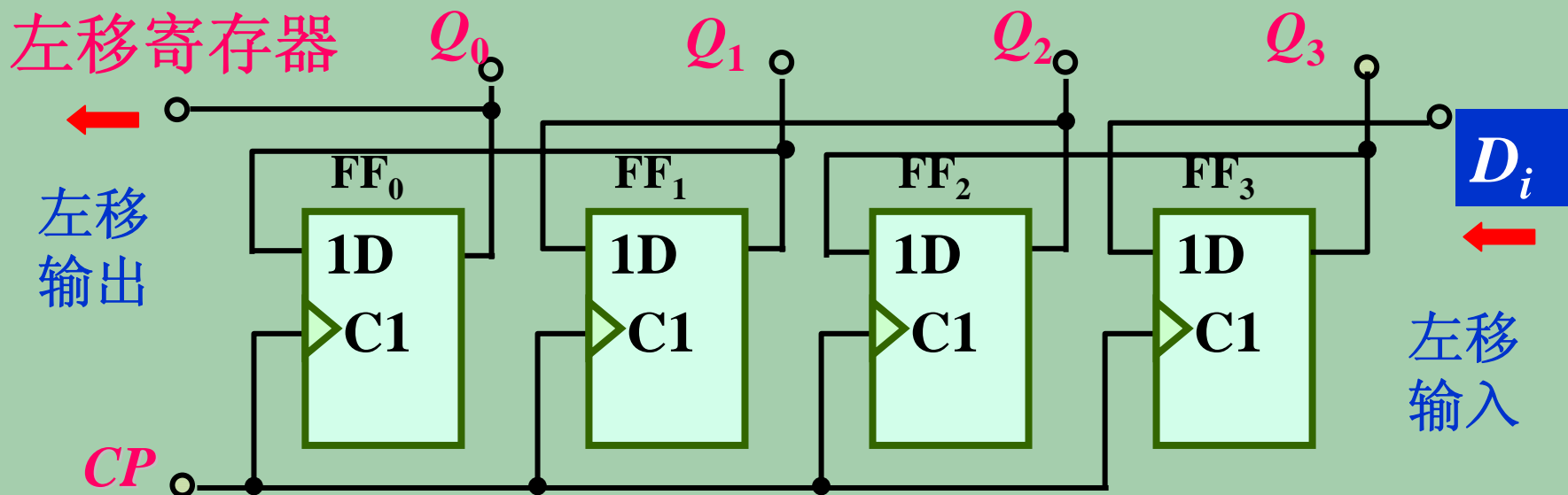
一、单向移位寄存器 右移寄存器



时钟方程 $CP_0 = CP_1 = CP_2 = CP_3 = CP$

驱动方程 $D_0 = D_i, D_1 = Q_0^n, D_2 = Q_1^n, D_3 = Q_2^n$

状态方程 $Q_0^{n+1} = D_i, Q_1^{n+1} = Q_0^n, Q_2^{n+1} = Q_1^n, Q_3^{n+1} = Q_2^n$



驱动方程 $D_0 = Q_1^n, D_1 = Q_2^n, D_2 = Q_3^n, D_3 = D_i$

状态方程 $Q_0^{n+1} = Q_1^n, Q_1^{n+1} = Q_2^n, Q_2^{n+1} = Q_3^n, Q_3^{n+1} = D_i$

主要特点:

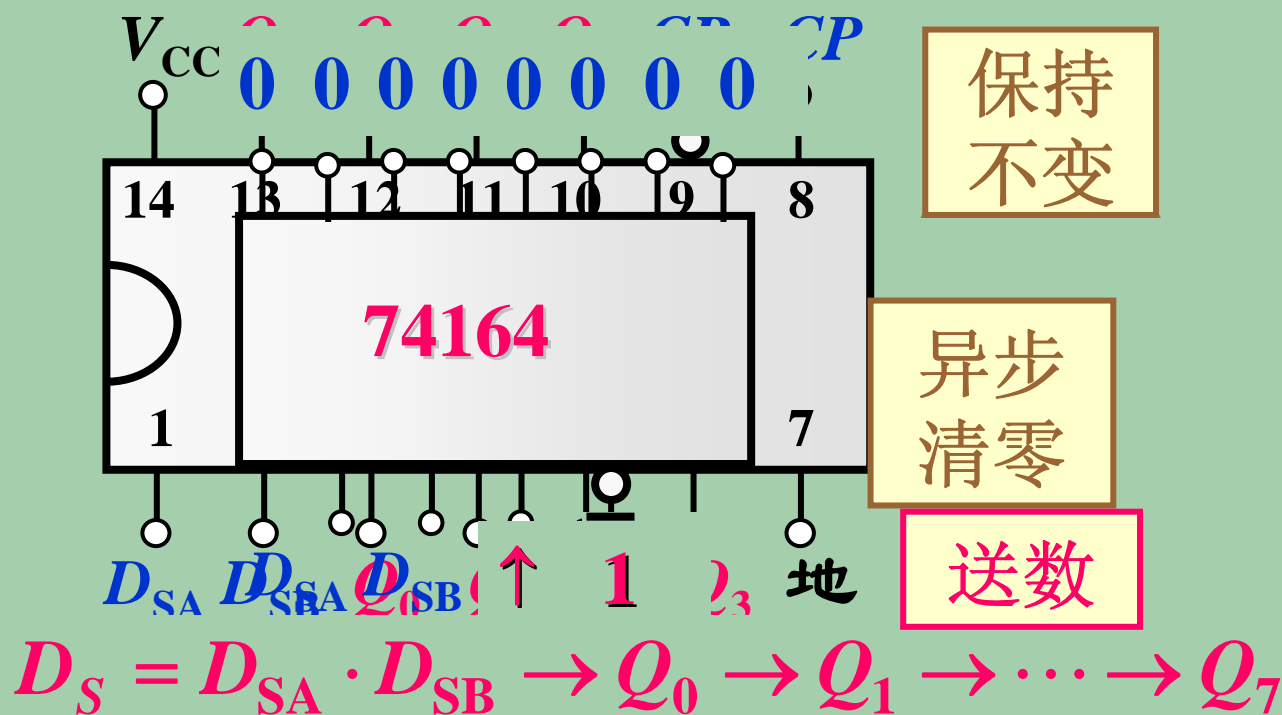
1. 输入数码在 CP 控制下, 依次右移或左移;
2. 寄存 n 位二进制数码。 N 个 CP 完成串行输入, 并可从 $Q_0 \sim Q_3$ 端获得并行输出, 再经 n 个 CP 又获得串行输出。
3. 若串行数据输入端为 0, 则 n 个 CP 后寄存器被清零。



二、双向移位寄存器(自学)

三、集成移位寄存器

1. 8 位单向移位寄存器 **74164**

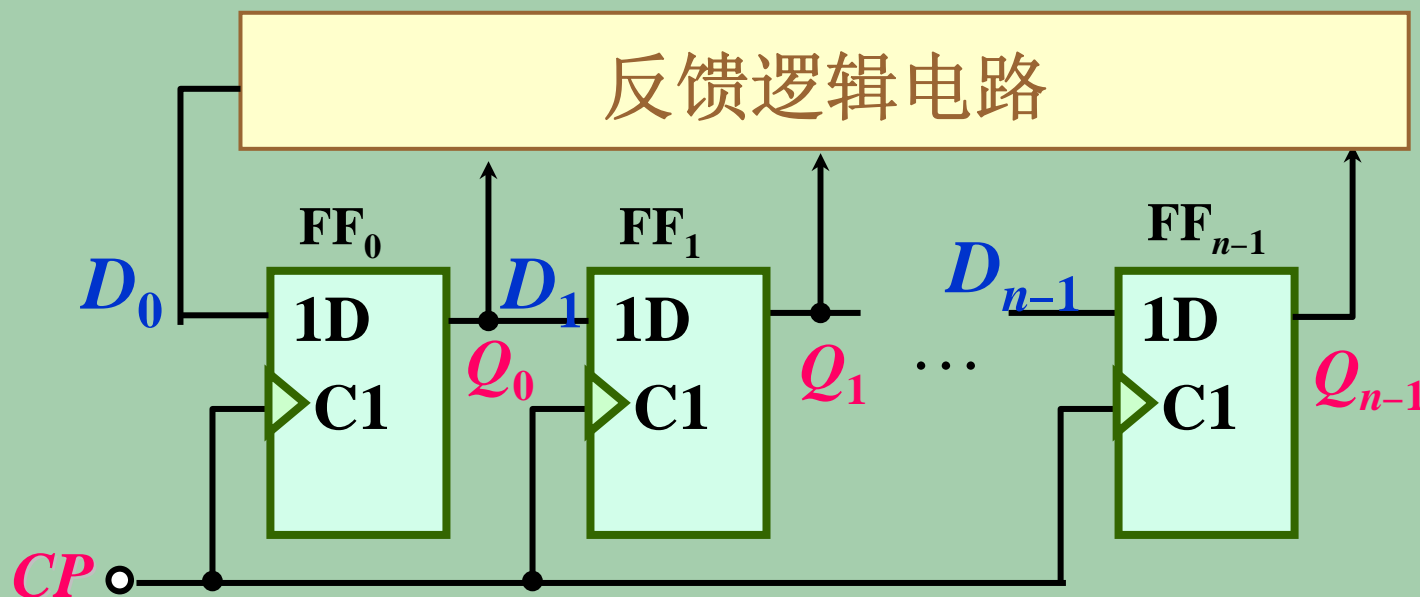


2. 4 位双向移位寄存器 **74LS194** (略)



5.3.4 移位寄存器型计数器

结构示意图



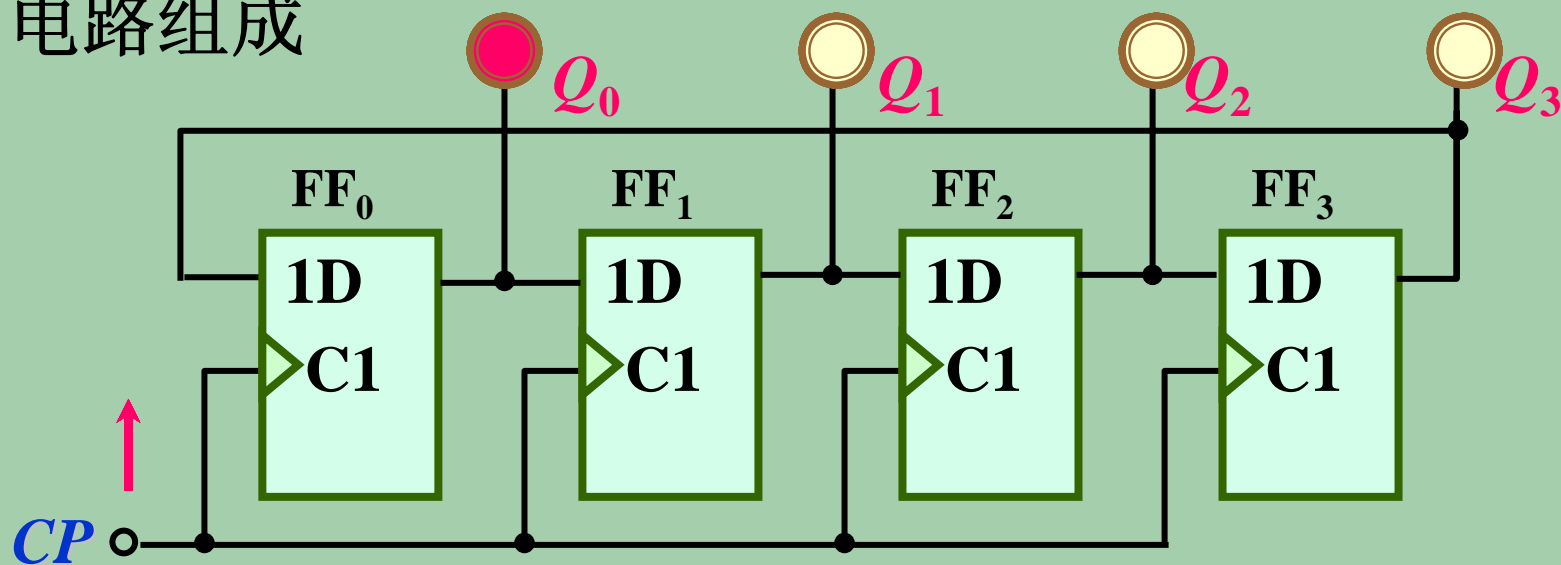
$$D_0 = F(Q_0^n, Q_1^n, \dots, Q_{n-1}^n)$$

特点：电路结构简单，计数顺序一般为非自然态序，用途极为广泛。



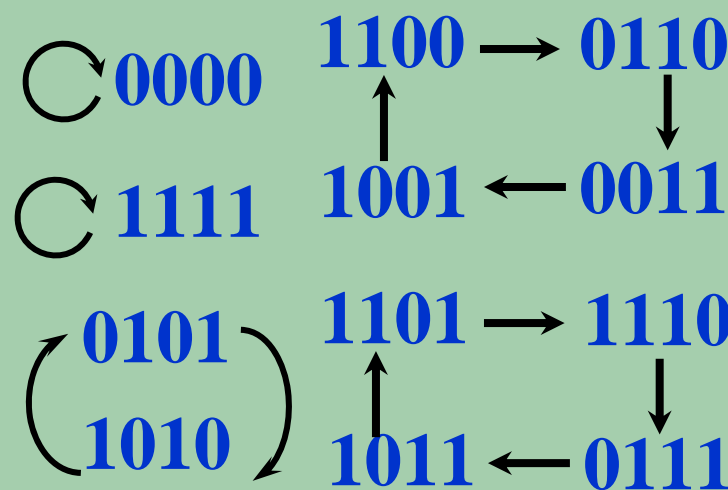
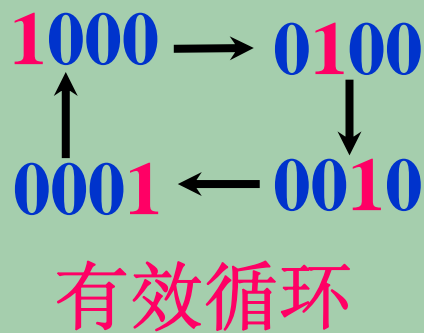
一、环形计数器

1. 电路组成



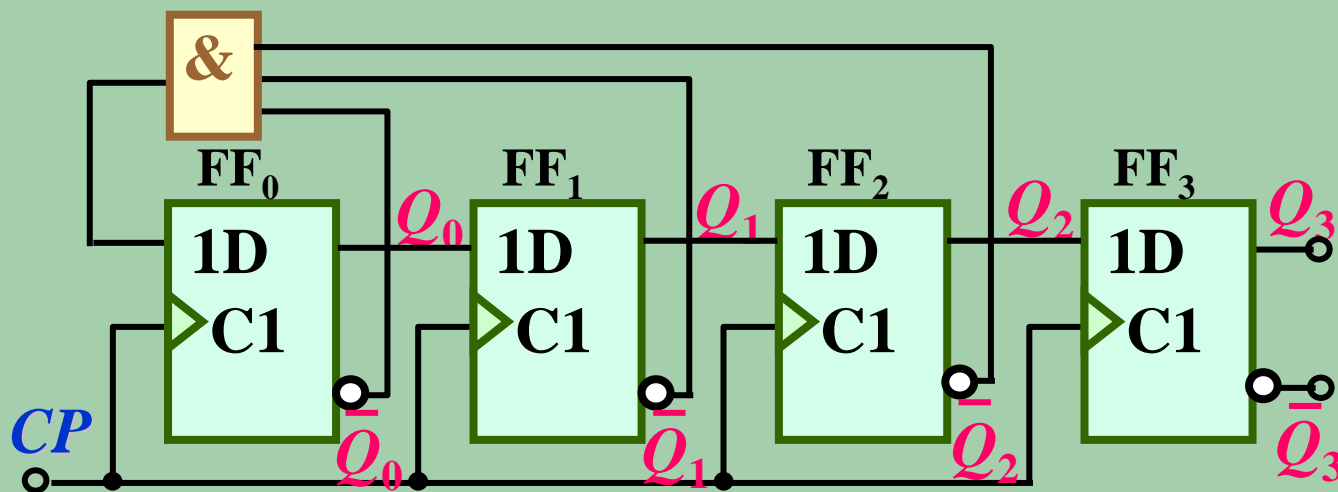
2. 工作原理

$$D_0 = Q_{n-1}^n$$





3. 能自启动的环型计数器

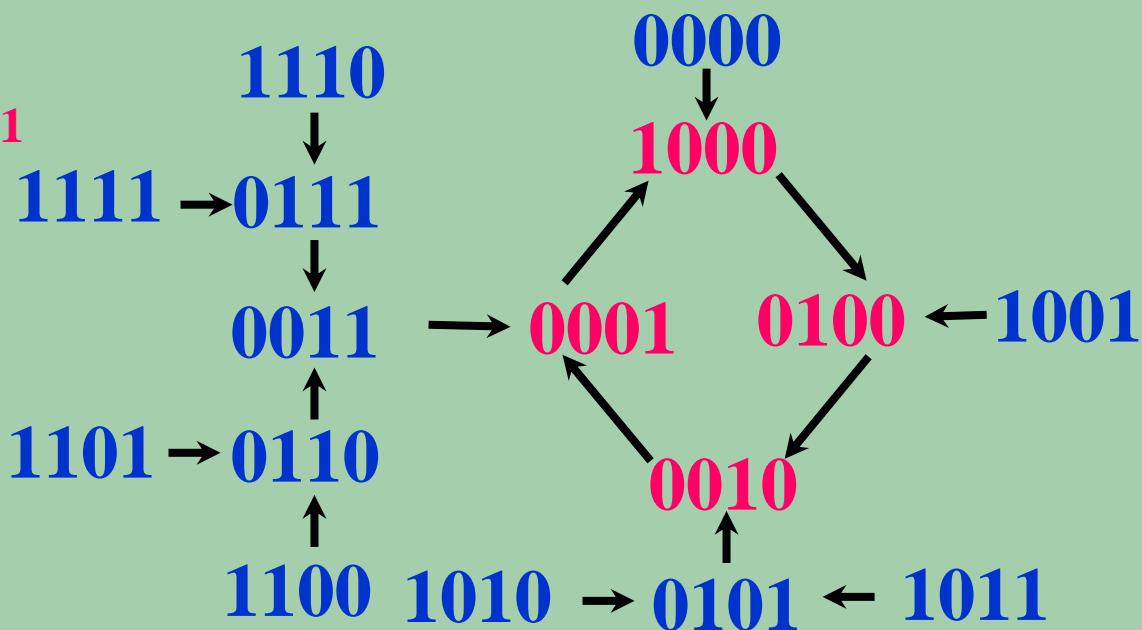


$$D_0 = \overline{Q_0} \overline{Q_1} \overline{Q_2} = Q_0^{n+1}$$

$$D_1 = Q_0 = Q_1^{n+1}$$

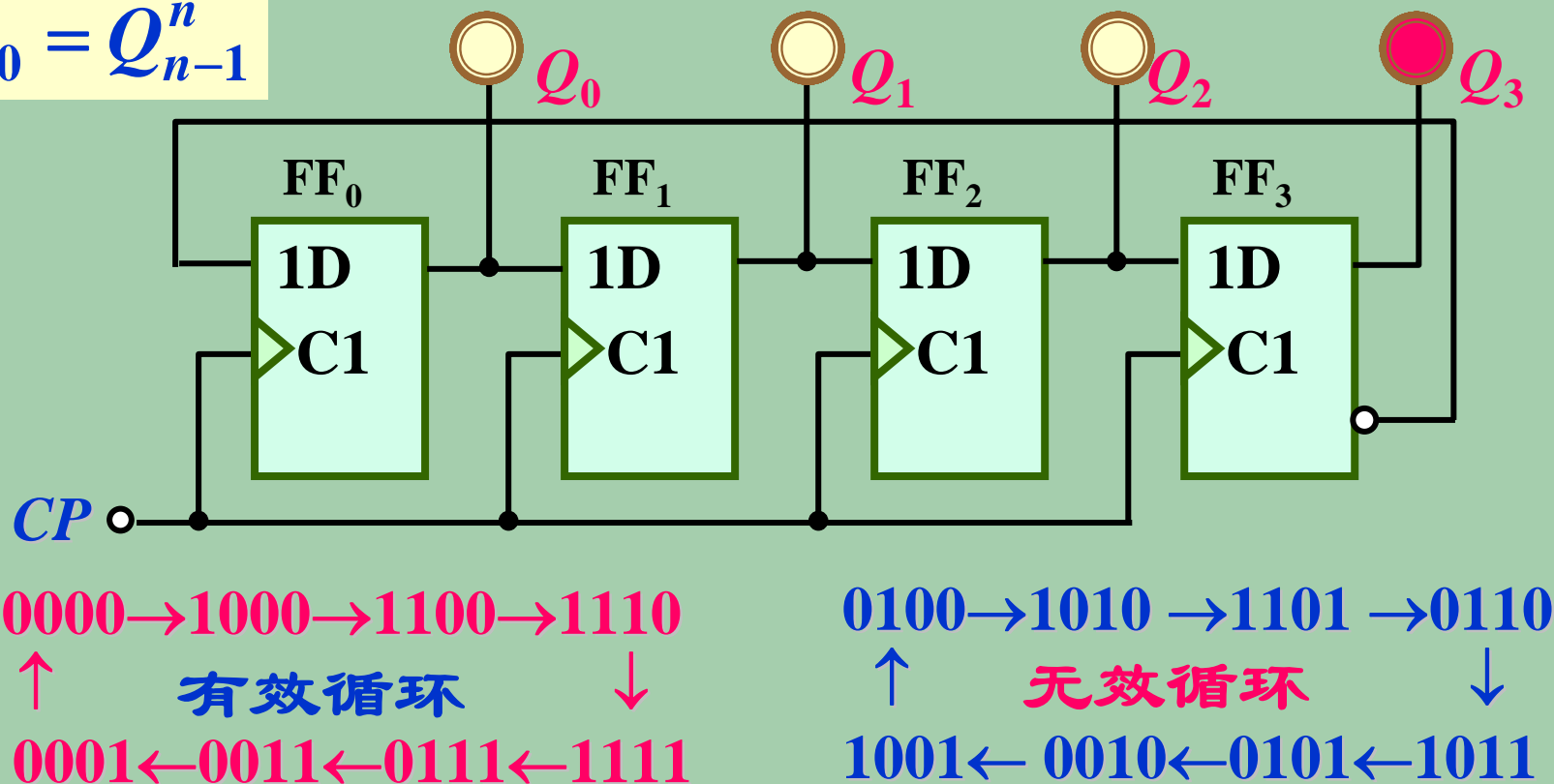
$$D_2 = Q_1 = Q_2^{n+1}$$

$$D_3 = Q_2 = Q_3^{n+1}$$



二、扭环型计数器

$$D_0 = \overline{Q_{n-1}^n}$$



克服自启动电路: **P360** 图5.3.16

三、最大长度移位寄存器型计数器 (略)



5.3.5 读/写存储器 — RAM

(Random Access Memory)

存储单元 — 存放一位二进制数的基本单元(即位)。

存储容量 — 存储器含存储单元的总个(位)数。

存储容量 = 字数 (word) × 位数 (bit)

地址 — 存储器中每一个字的编号

256×1, 256×4 一共有 256 个字, 需要 256 个地址

1024×4, 1024×8 一共有 1024 个字, 需要 1024 个地址

地址译码 — 用译码器赋予每一个字一个地址

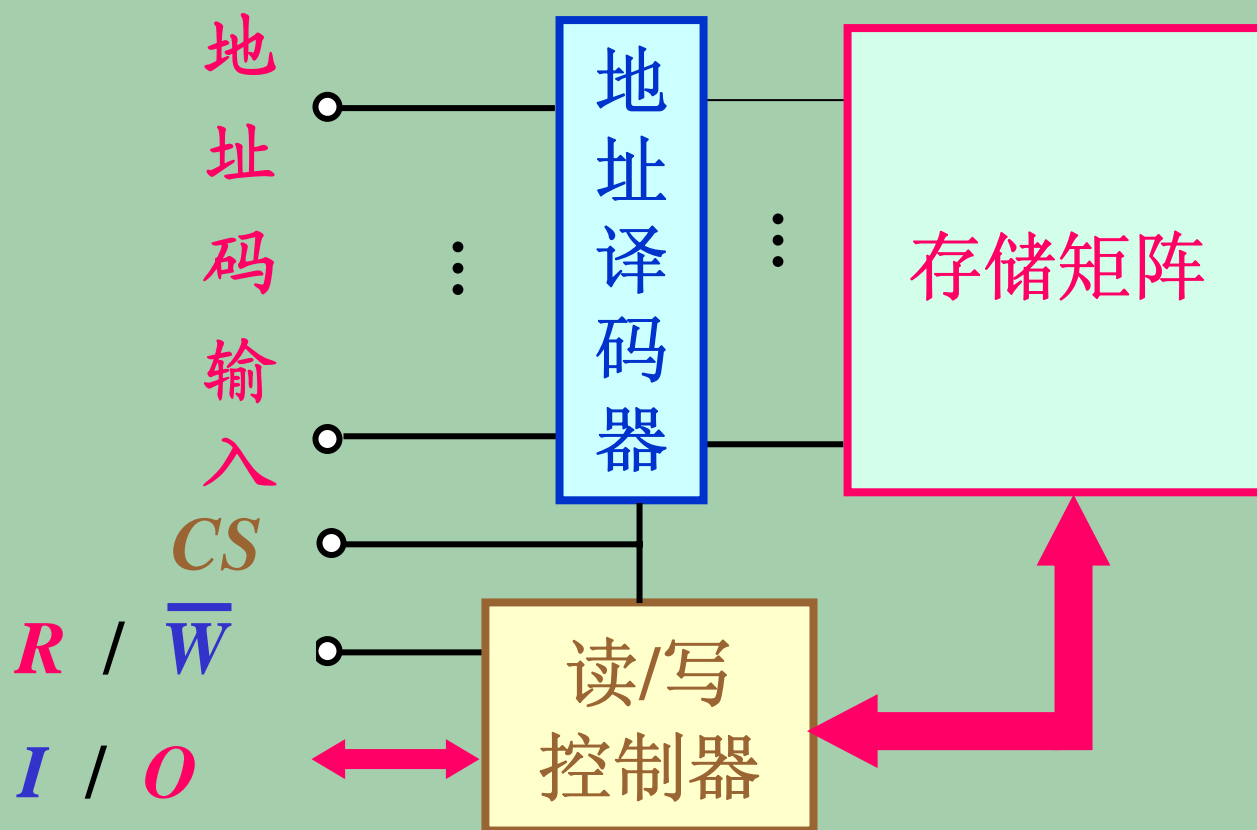
N 个地址输入, 能产生 2^N 个地址

一元地址译码(单向译码、基本译码、字译码)

二元地址译码(双向译码、位译码) — 行译码、列译码



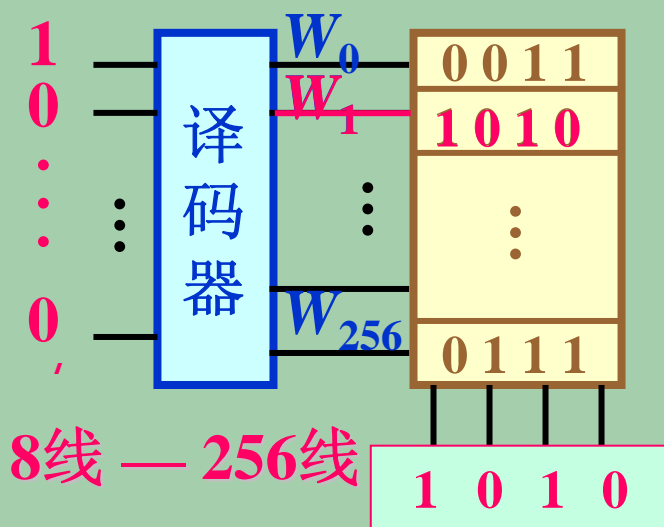
一、RAM 的结构





[例] 对 256×4 存储矩阵进行地址译码

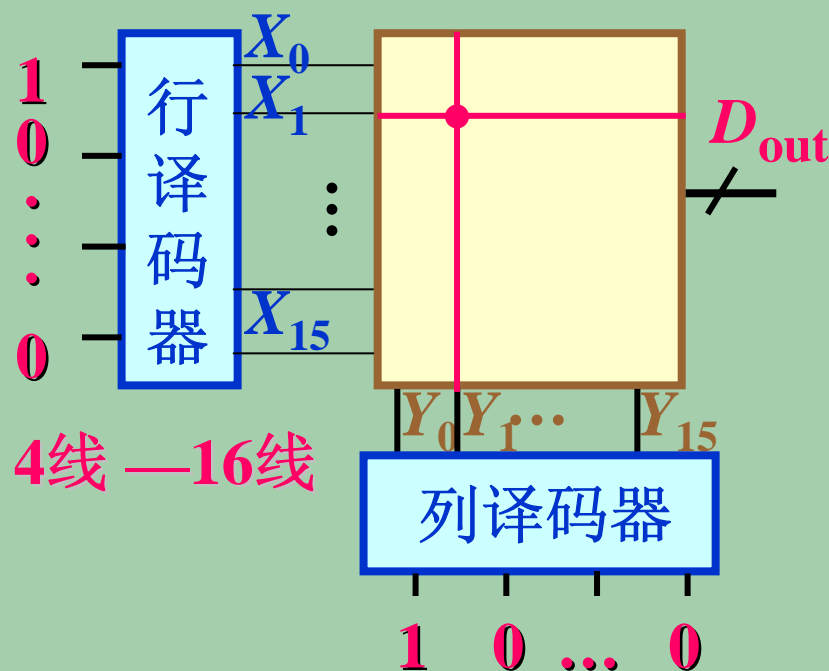
一元地址译码



缺点:

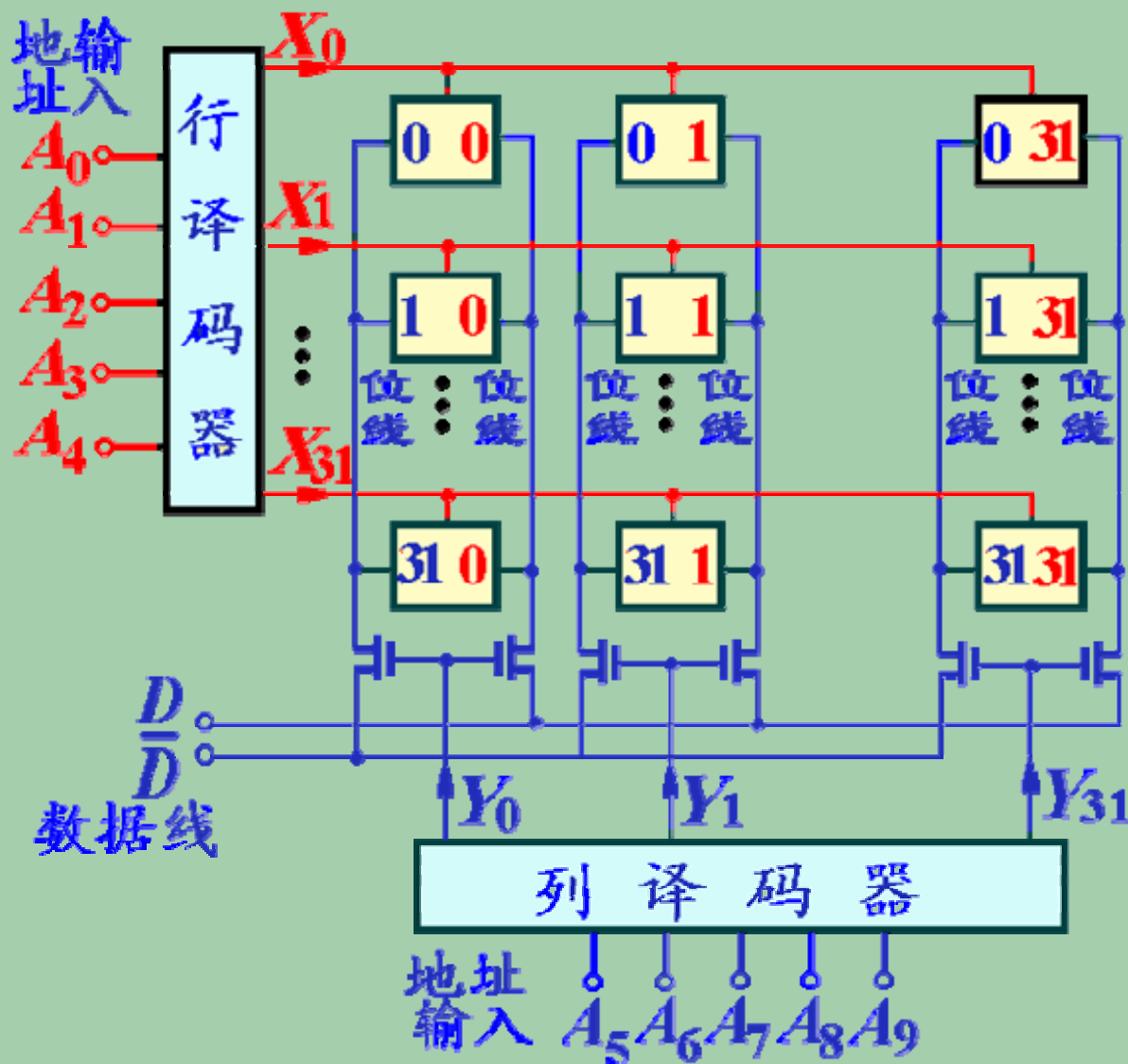
n 位地址输入的译码器,需要 2^n 条输出线。

二元地址译码



8 位地址输入的
地址译码器,只有 32
条输出线。

[例] 1024×1 存储器矩阵



10 根地址线

— 2^n (1024) 个地址

2^5 (32) 根行选择线

2^5 (32) 根列选择线

1024 个字排列成

— 32×32 矩阵

当 $X_0 = 1, Y_0 = 1$ 时,

对 $0-0$ 单元读(写)

当 $X_{31} = 1, Y_{31} = 1$ 时,

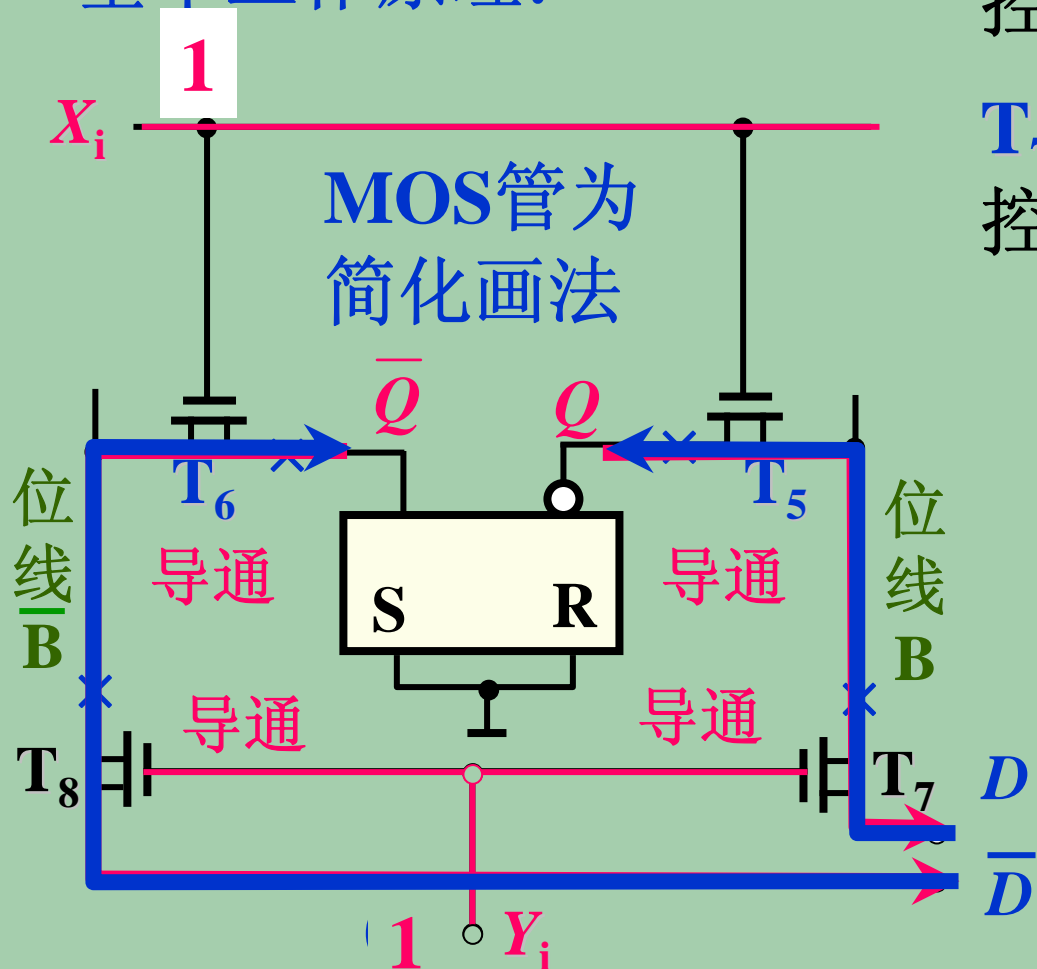
对 $31-31$ 单元读(写)



二、RAM的存储单元

1. 静态存储单元

基本工作原理:



T_5 、 T_6 — 门控管

控制触发器与位线的连通

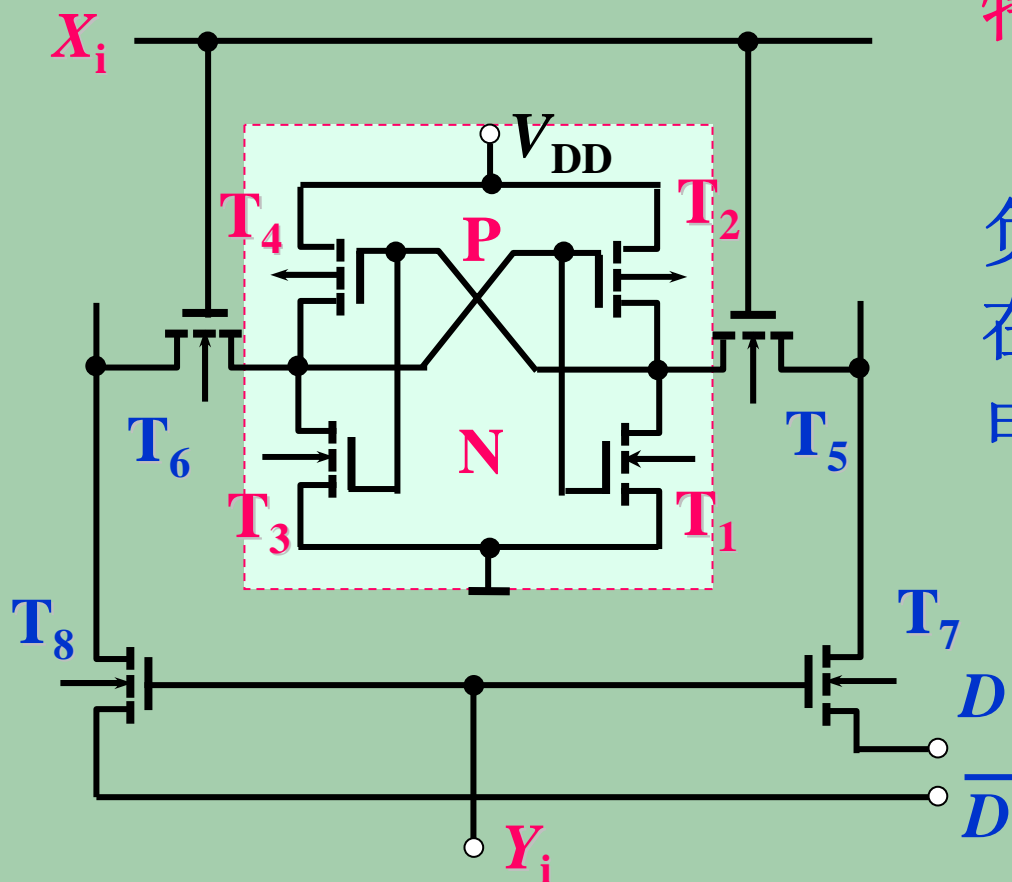
T_7 、 T_8 — 门控管

控制位线与数据线的连通

读操作时: $\underline{D} = \underline{Q}$
 $\underline{\bar{D}} = \underline{\bar{Q}}$

写操作时: $\underline{D} = \underline{Q}$
 $\underline{\bar{D}} = \underline{\bar{Q}}$

六管 CMOS 存储单元

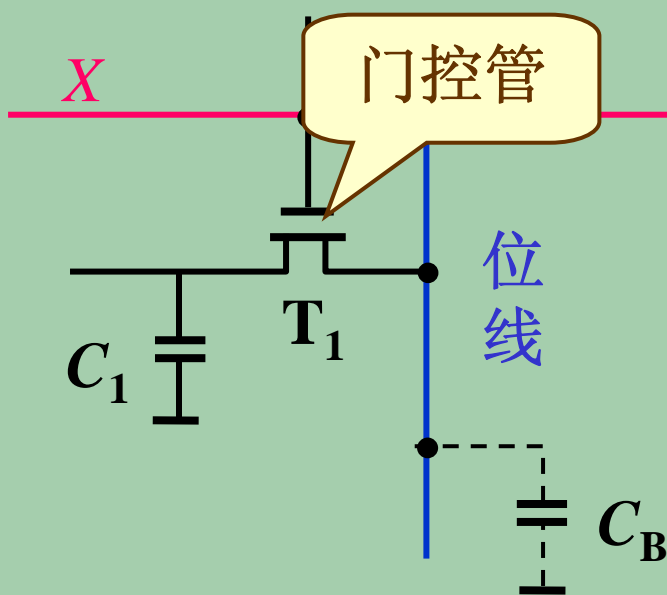


特点:

PMOS 作 NMOS
负载, 功耗极小, 可在交流电源断电后, 靠电池保持存储数据.



2. 动态MOS存储单元



单管MOS存储单元

写操作:

字线为高电平 T_1 导通

若位线为高电平(1), 则 C_1 充电

若位线为低电平(0), 则 C_1 放电

读操作:

字线为高电平 T_1 导通

若 $U_1 = \text{“1”}$, 则 C_1 向 C_B 放电使 $U_B = \text{“1”}$

若 $U_1 = \text{“0”}$, 则 $U_B = \text{“0”}$

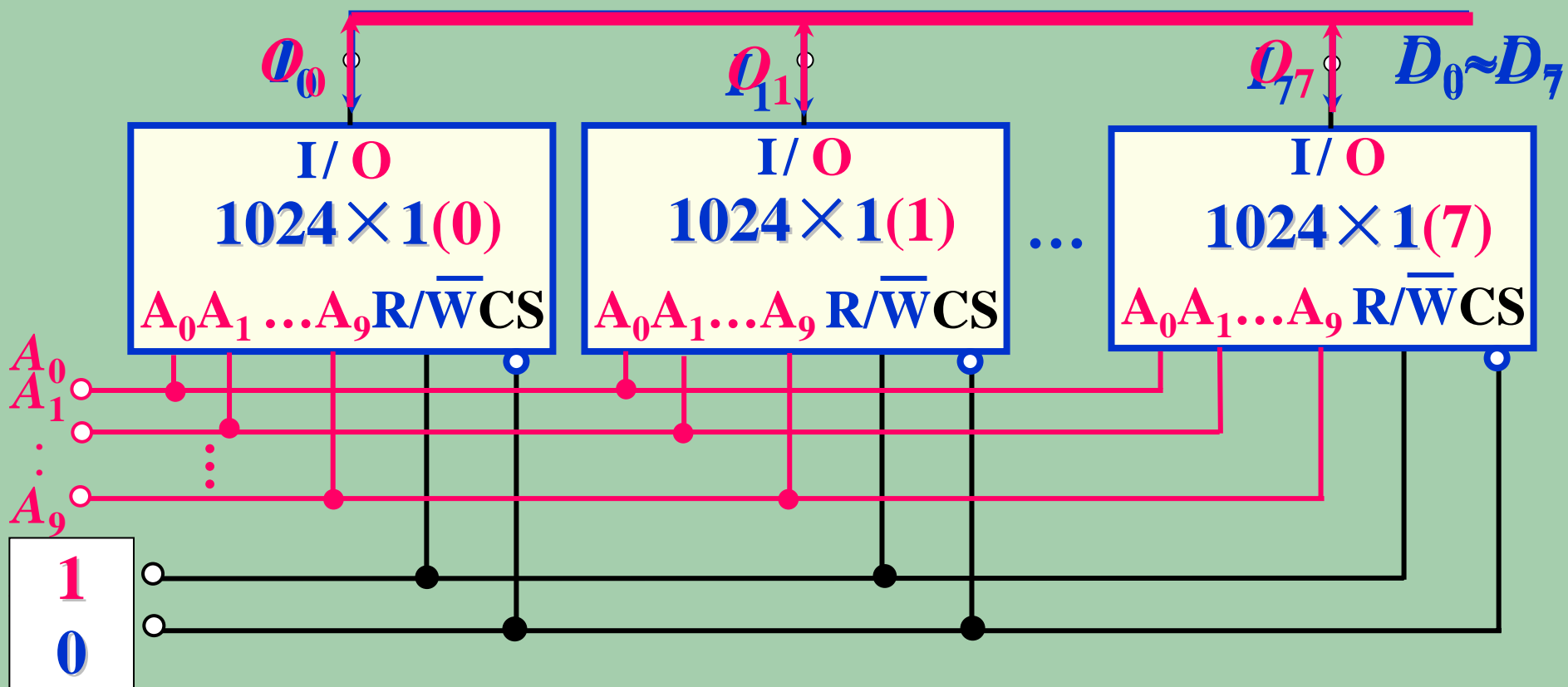
因 $C_B \gg C_1$, 在完成读操作后, $U_B = U_1 C_1 / (C_1 + C_B)$ 很小
需要高灵敏度读出器, 每次读出后需进行“刷新”。



三、RAM 容量的扩展

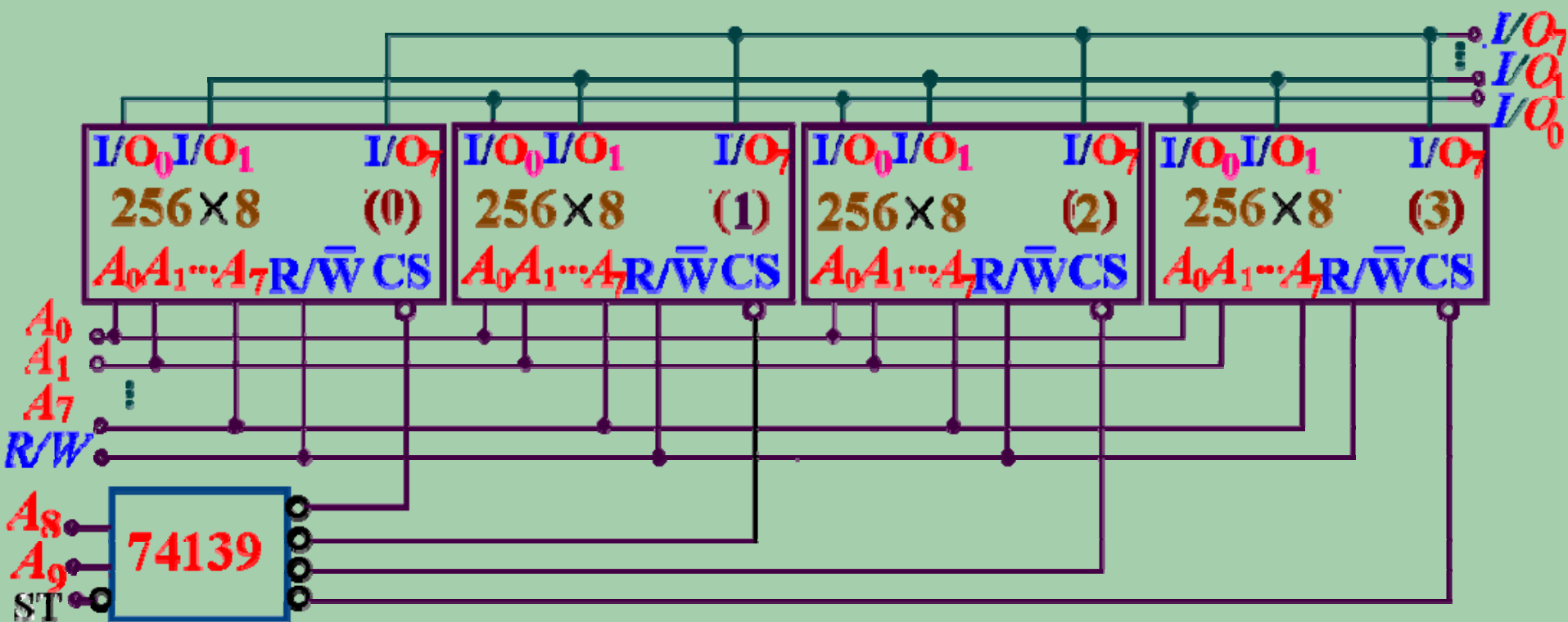
1. 位扩展 地址线、读/写控制线、片选线**并联**
 输入/输出线分开使用

如：用 8 片 1024×1 位 RAM 扩展为 1024×8 位 RAM



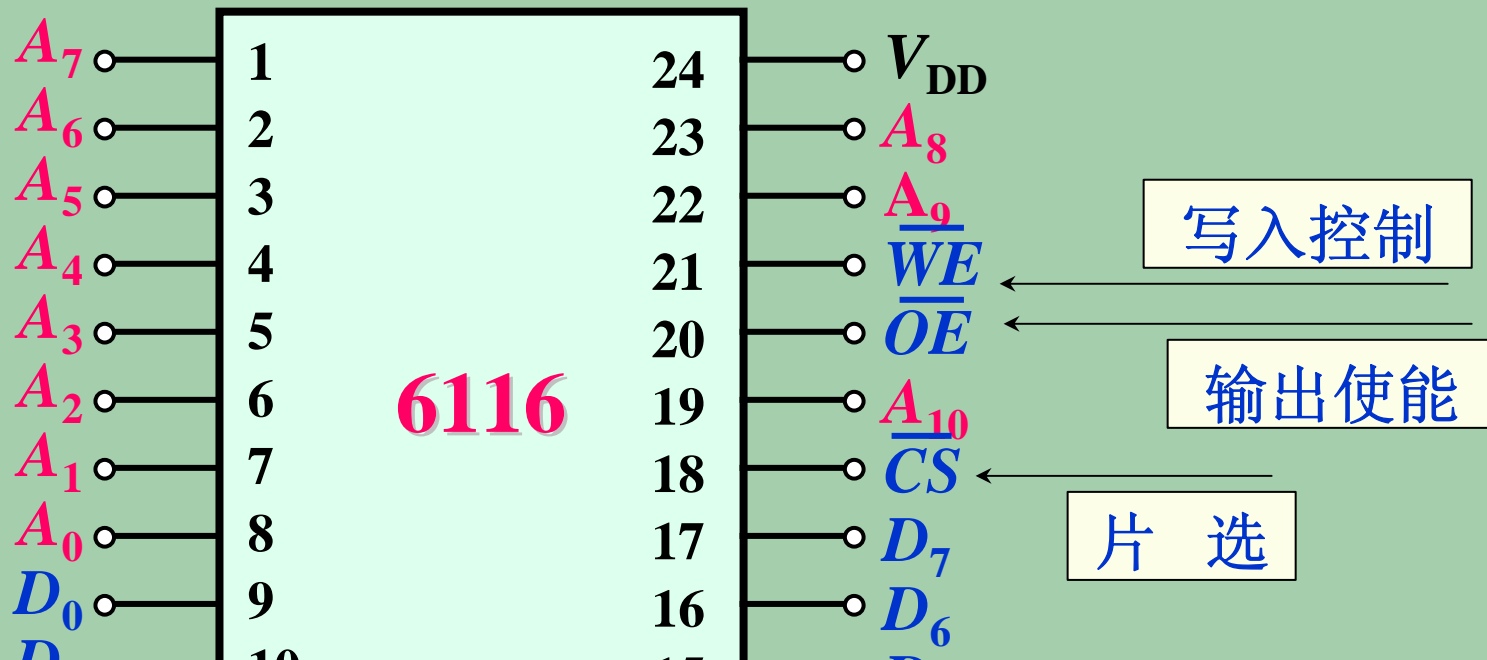


2. 字扩展





四、RAM 芯片举例



输入				工作方式	I / O
\overline{CS}	\overline{OE}	\overline{WE}	$A_0 \sim A_{10}$		$D_0 \sim D_7$
1	×	×	×	低功耗维持	高阻态
0	0	1	稳定	读	输出
0	×	0	稳定	写	输入