



5.2 计数器 (Counter)

5.2.1 计数器的特点和分类

一、计数器的功能及应用

1. 功能： 对时钟脉冲 CP 计数。
2. 应用： 分频、定时、产生节拍脉冲和脉冲序列、进行数字运算等。

二、计数器的特点

1. 输入信号： 计数脉冲 CP **Moore 型**
2. 主要组成单元： 时钟触发器



三、计数器的分类

按数制分:

二进制计数器
十进制计数器
 N 进制 (任意进制) 计数器

按计数
方式分:

加法计数器
减法计数器
可逆计数 (**Up-Down Counter**)

按触发器翻转
是否同时分:

同步计数器 (**Synchronous ~**)
异步计数器 (**Asynchronous ~**)

按开关
元件分:

TTL 计数器
CMOS 计数器



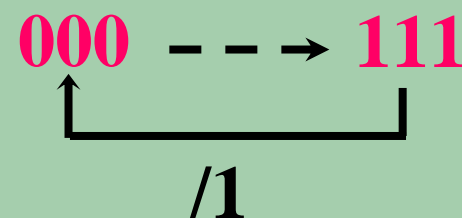
5.2.2 二进制计数器

计数器**计数容量**、**长度**或**模**的概念

计数器能够记忆输入脉冲的数目，即电路的有效状态数 **M** 。

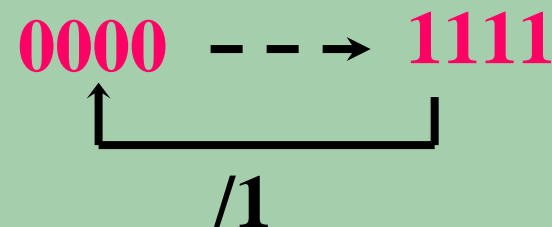
3 位二进制同步加法计数器:

$$M = 2^3 = 8$$



4 位二进制同步加法计数器:

$$M = 2^4 = 16$$



n 位二进制同步加法计数器:

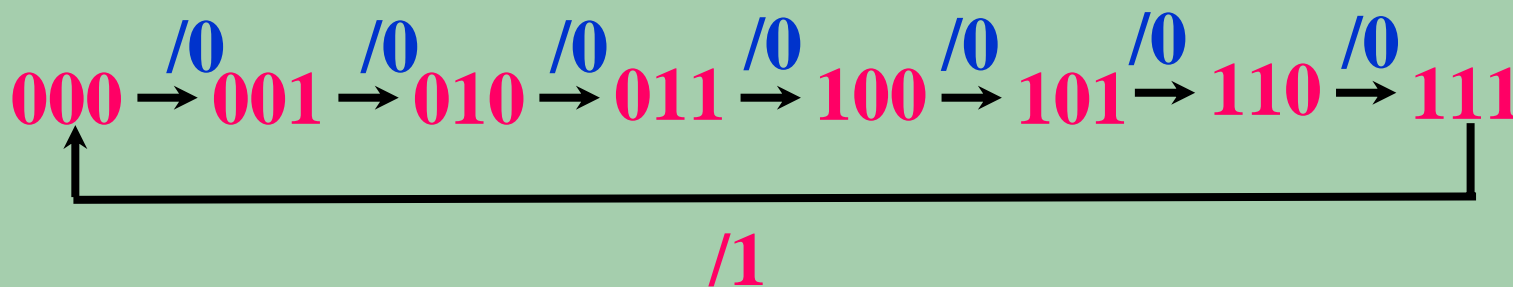
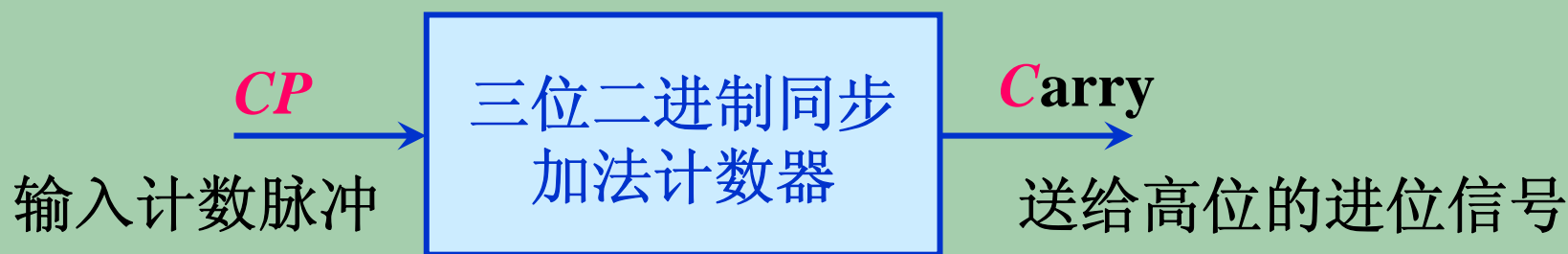
$$M = 2^n$$



一、二进制同步计数器

1. 3位二进制同步加法计数器

(1) 结构示意框图与状态图





(2) 分析和选择触发器

$$\left\{ \begin{array}{l} \text{FF}_2, \text{FF}_1, \text{FF}_0 \\ Q_2, Q_1, Q_0 \end{array} \right.$$

设计方法一：按前述设计步骤进行 (P297 ~ 299)

设计方法二：按计数规律进行级联

CP	$Q_2 Q_1 Q_0$			
0	0	0	0	
1	0	0	1	
2	0	1	0	
3	0	1	1	
4	1	0	0	
5	1	0	1	
6	1	1	0	
7	1	1	1	1
8	0	0	0	0

来一个 CP

当 $Q_0=1$, CP

当 $Q_1 Q_0=1$, CP
到来即翻转

$$Q_2^n Q_1^n Q_0^n$$

$$Q_0 = 1 = T_0$$

$$J_1 = K_1 = Q_0 = T_1$$

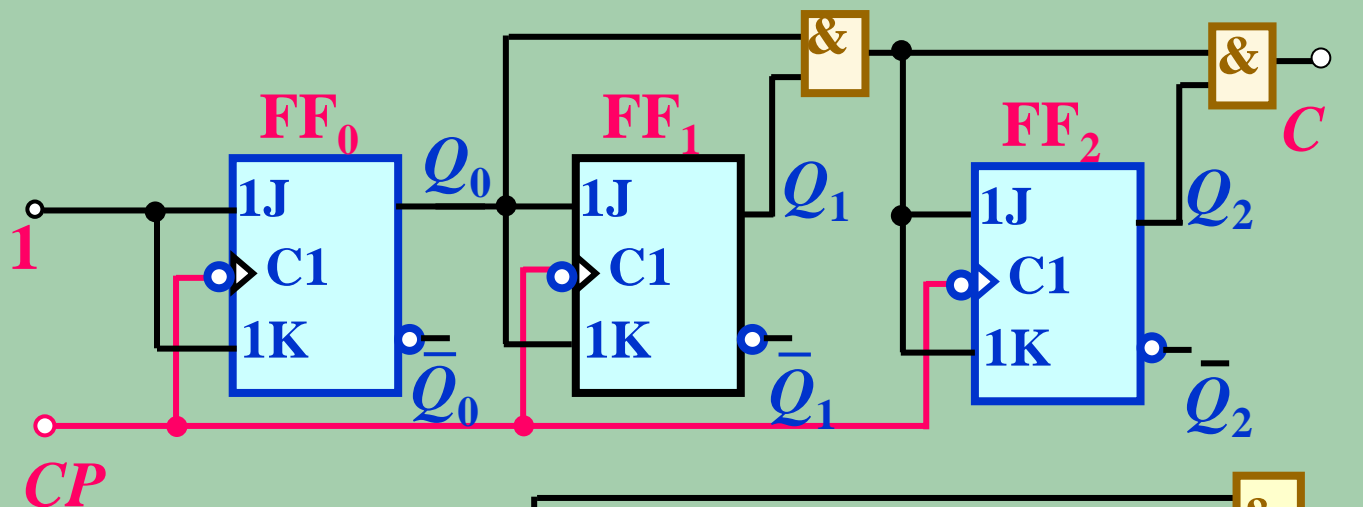
$$J_2 = K_2 = Q_1 Q_0 = T_2$$

(3) 用 T 型触发器构成的逻辑电路图

$$J_0 = K_0 = 1$$

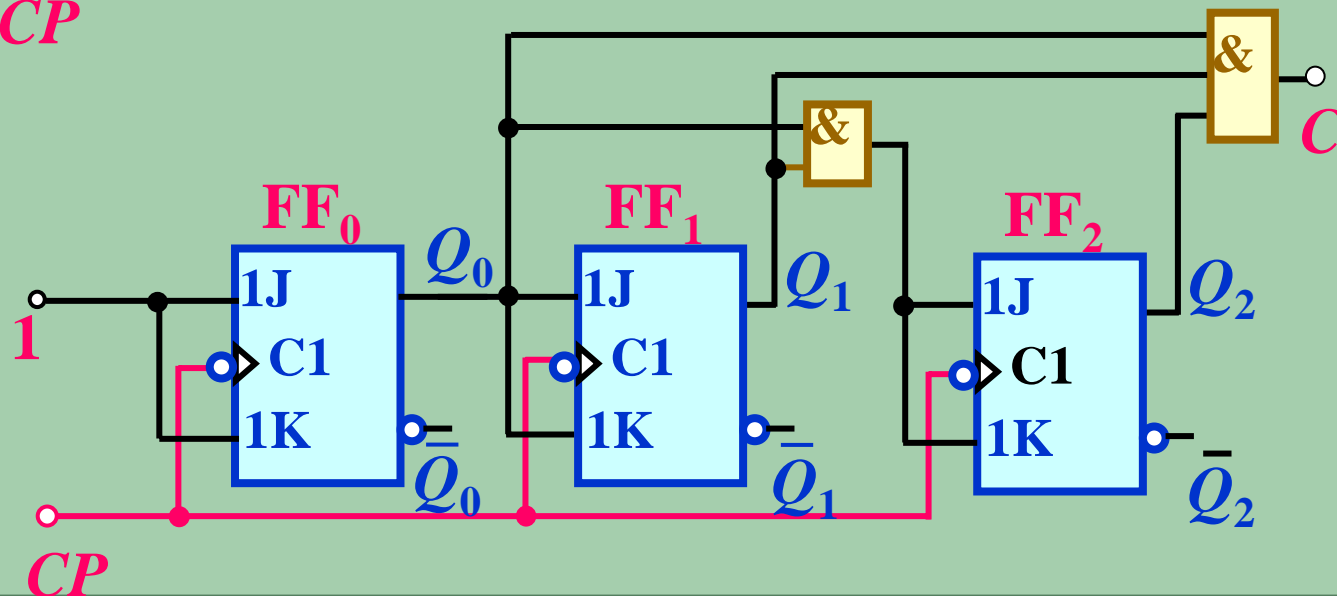
$$J_1 = K_1 = Q_0$$

$$J_2 = K_2 = Q_1 Q_0$$



串行进位

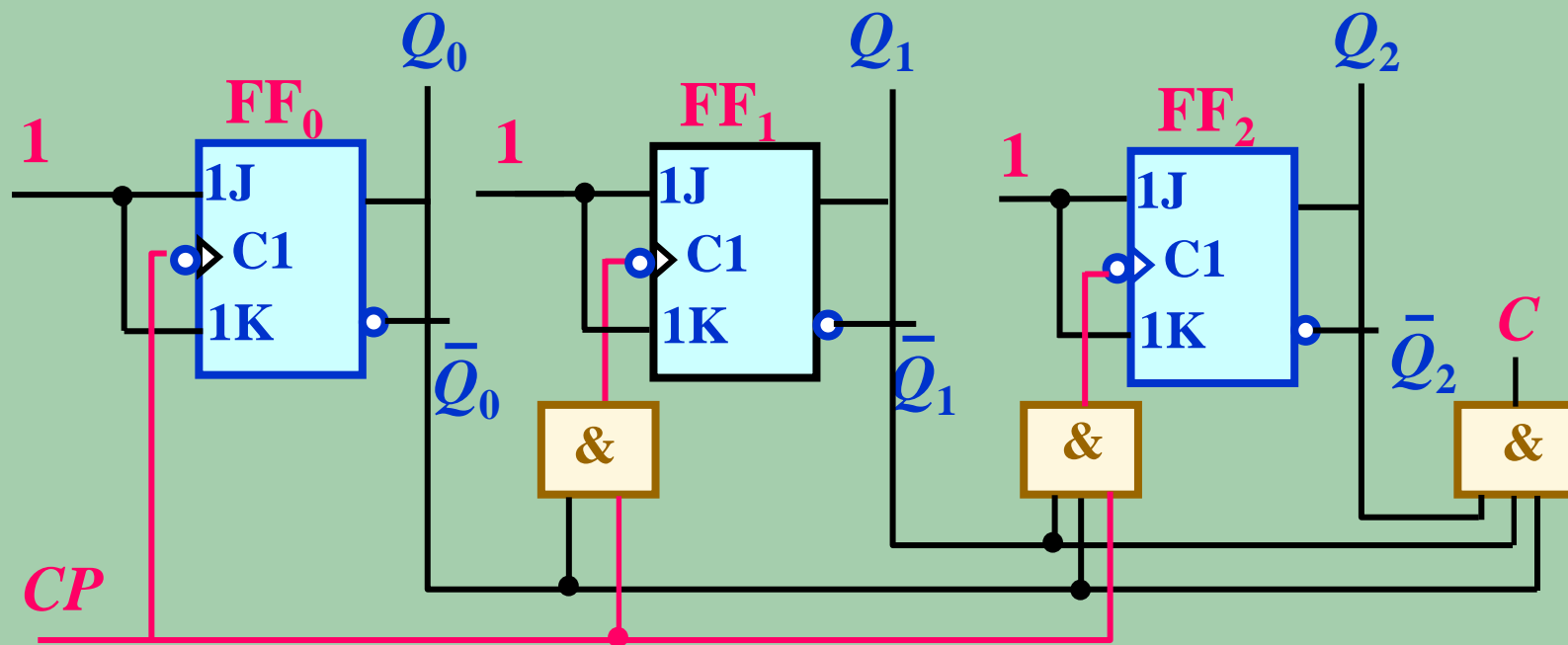
触发器
负载均匀



并行进位

低位触发
器负载重

(4) 用 T' 型触发器构成的逻辑电路图



(5) n 位二进制同步加法计数器级联规律:

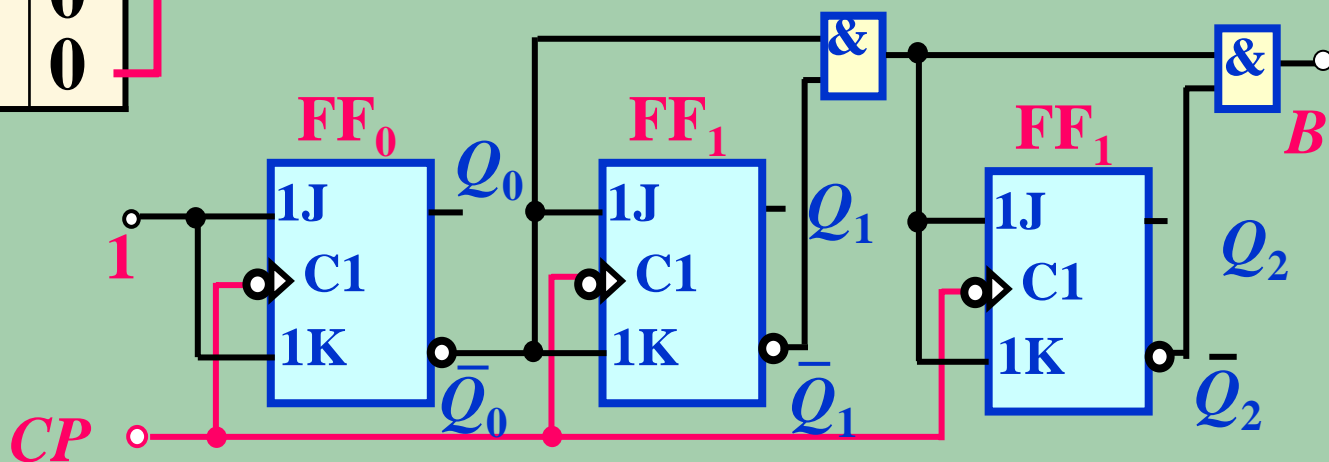
$$T_i = Q_{i-1}^n Q_{i-2}^n \cdots Q_1^n Q_0^n = \prod_{j=0}^{i-1} Q_j^n$$

$$\begin{cases} \mathbf{FF}_2, \mathbf{FF}_1, \mathbf{FF}_0 \\ Q_2, Q_1, Q_0 \end{cases}$$

级联规律:

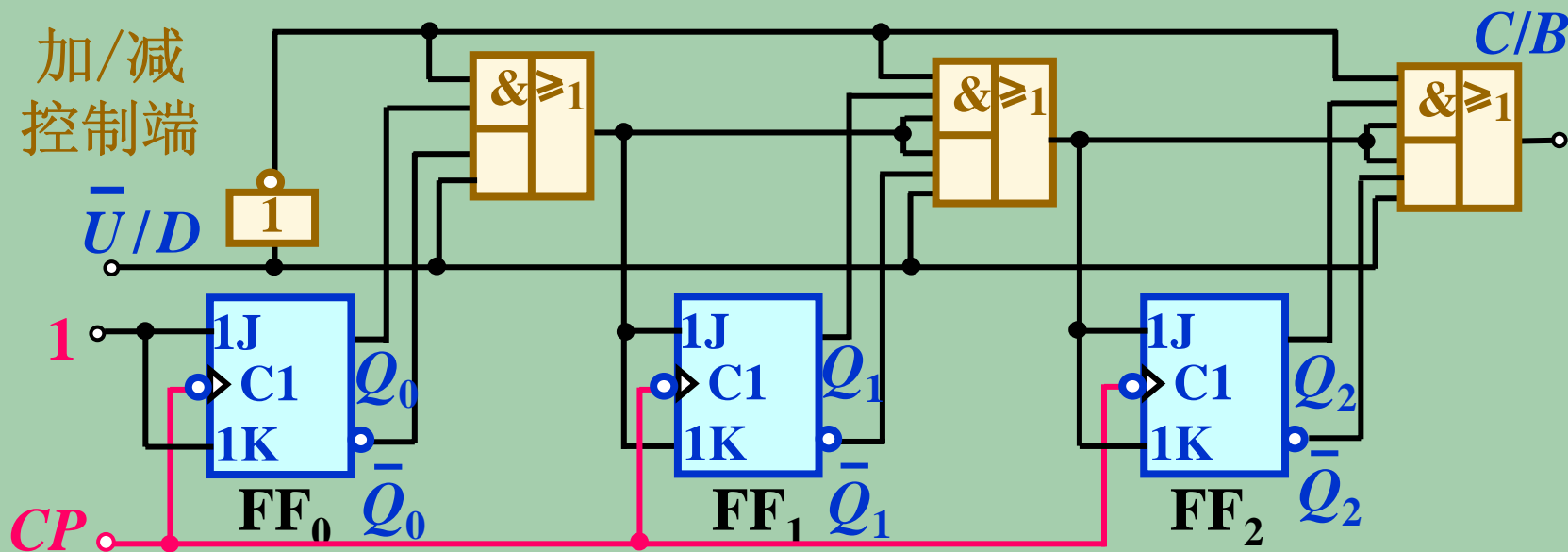
$$T_i = \overline{Q_{i-1}^n Q_{i-2}^n} \cdots \overline{Q_1^n Q_0^n} = \prod_{j=0}^{i-1} \overline{Q_j^n}$$

$$T_0 = 1 \quad T_1 = \overline{Q_0}^n \quad T_2 = \overline{Q_1}^n \overline{Q_0}^n$$



3. 3 位二进制同步可逆计数器

(1) 单时钟输入二进制同步可逆计数器



$$\overline{U}/D = 0$$

加计数

$$T_0 = 1, T_1 = Q_0^n, T_2 = Q_1^n Q_0^n$$

$$C/B = Q_2^n Q_1^n Q_0^n$$

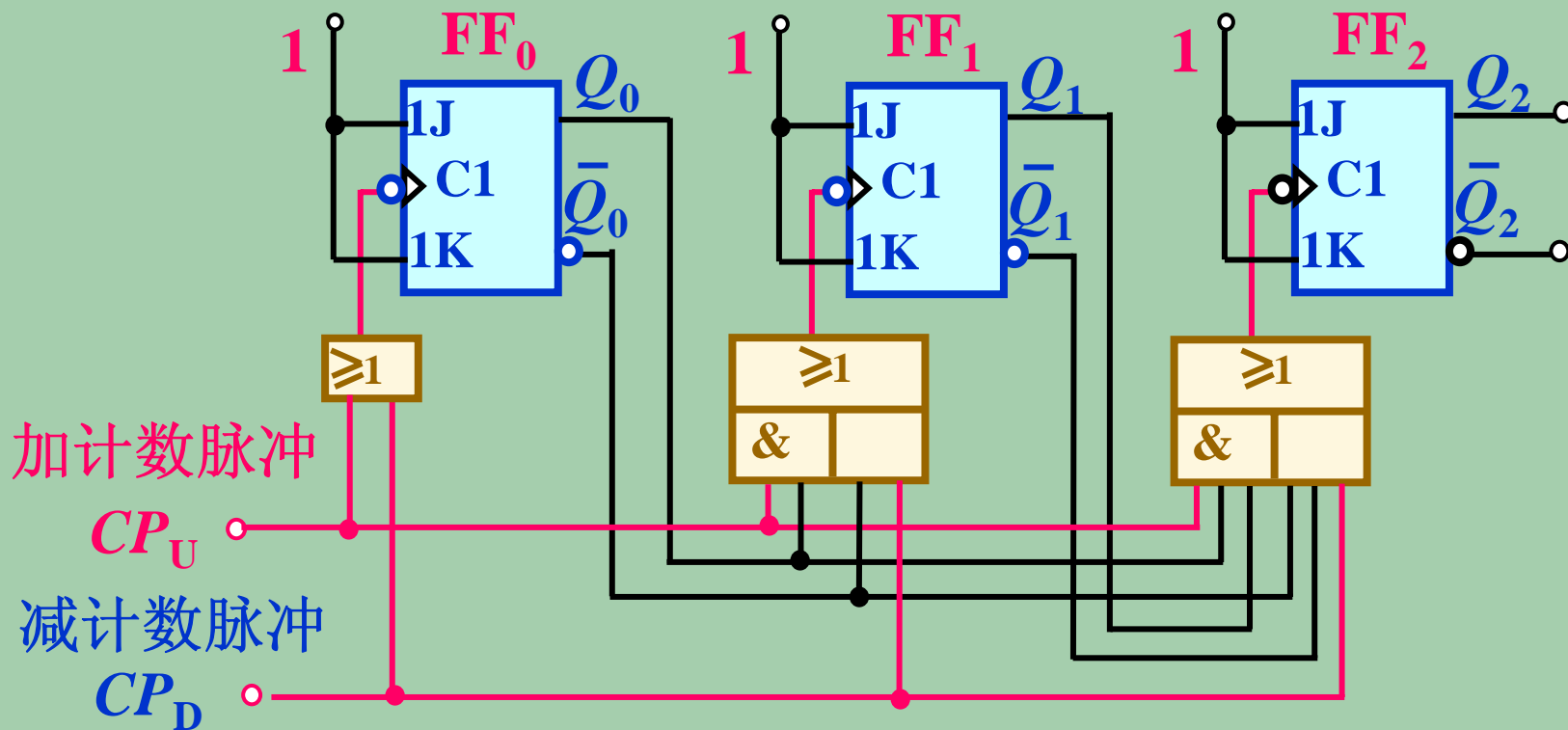
$$\overline{U}/D = 1$$

减计数

$$T_0 = 1, T_1 = \overline{Q_0}^n, T_2 = \overline{Q_1}^n \overline{Q_0}^n$$

$$C/B = \overline{Q_2}^n \overline{Q_1}^n \overline{Q_0}^n$$

(2) 双时钟输入二进制同步可逆计数器



$$\begin{cases} CP_0 = CP_U + CP_D \\ CP_1 = CP_U \cdot Q_0^n + CP_D \cdot \bar{Q}_0^n \\ CP_2 = CP_U \cdot Q_1^n Q_0^n + CP_D \cdot \bar{Q}_1^n \bar{Q}_0^n \end{cases}$$

CP_U 和 CP_D 互相排斥

$CP_U = CP, CP_D = 0$

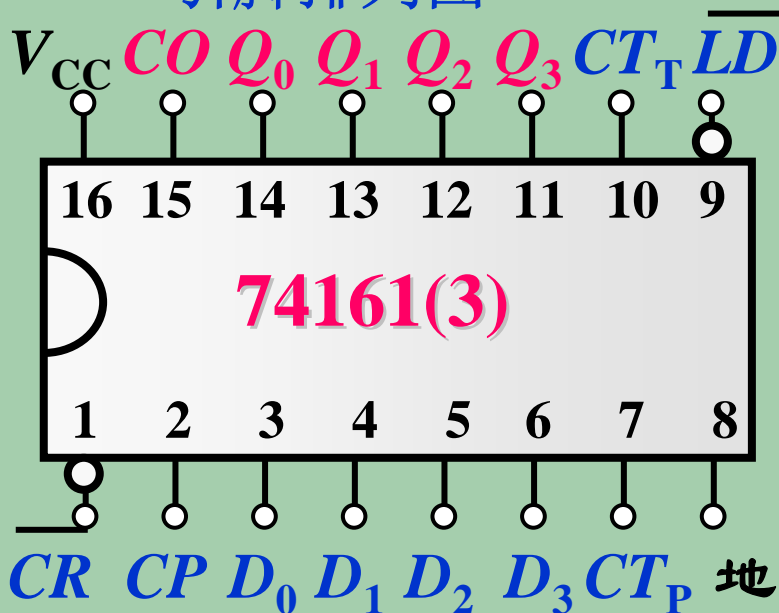
$CP_D = CP, CP_U = 0$

4. 集成二进制同步计数器

(1) 集成 4 位二进制同步加法计数器

1) 74LS161 和 74LS163

引脚排列图



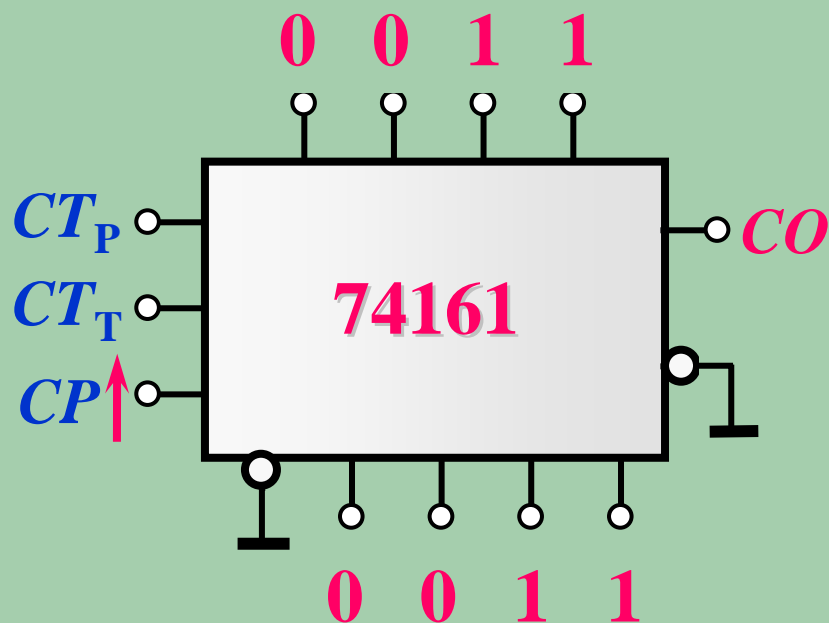
异步清零

$$\overline{CR} = 0 \quad Q_3 \sim Q_0 = 0000$$

同步并行置数

$$\overline{CR}=1, \overline{LD}=0, CP \uparrow \quad Q_3 \sim Q_0 = D_3 \sim D_0$$

逻辑功能示意图





74163的状态表

输 入									输 出					注
\overline{CR}	\overline{LD}	CT_P	CT_T	CP	D_3	D_2	D_1	D_0	Q_3^{n+1}	Q_2^{n+1}	Q_1^{n+1}	Q_0^{n+1}	CO	
0	×	×	×	↑	×	×	×	×	0	0	0	0	0	清零 置数
1	0	×	×	↑	d_3	d_2	d_1	d_0	d_3	d_2	d_1	d_0		
1	1	1	1	↑	×	×	×	×	计		数			
1	1	0	×	×	×	×	×	×	保		持			
1	1	×	0	×	×	×	×	×	保		持		0	

$\overline{CR}=1, \overline{LD}=1, CP \uparrow, CT_P=CT_T=1$ 二进制同步加法计数

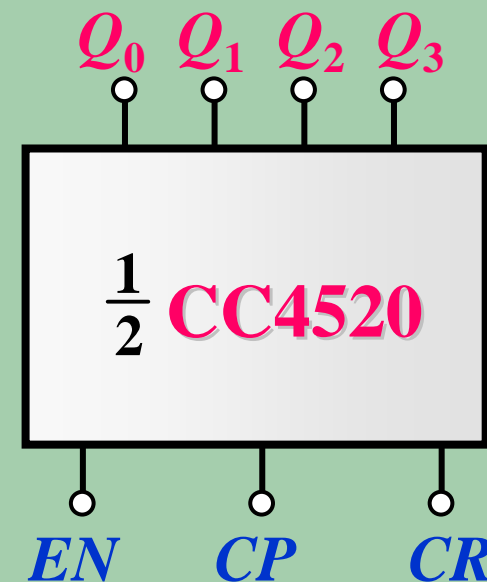
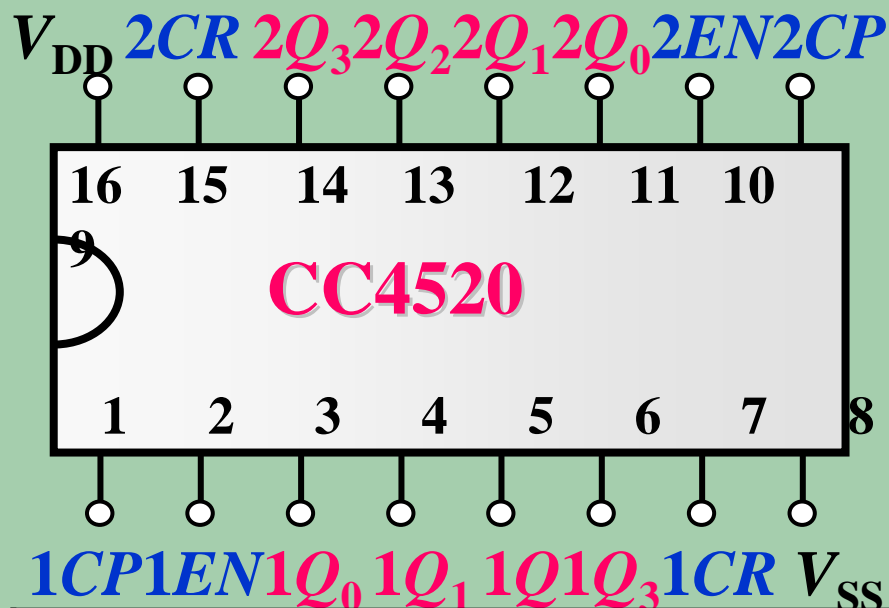
$\overline{CR}=1, \overline{LD}=1, CT_PCT_T=0$ 保持

若 $CT_T=0$ $CO=0$

若 $CT_T=1$ $CO=Q_3^n Q_2^n Q_1^n Q_0^n$



2) CC4520

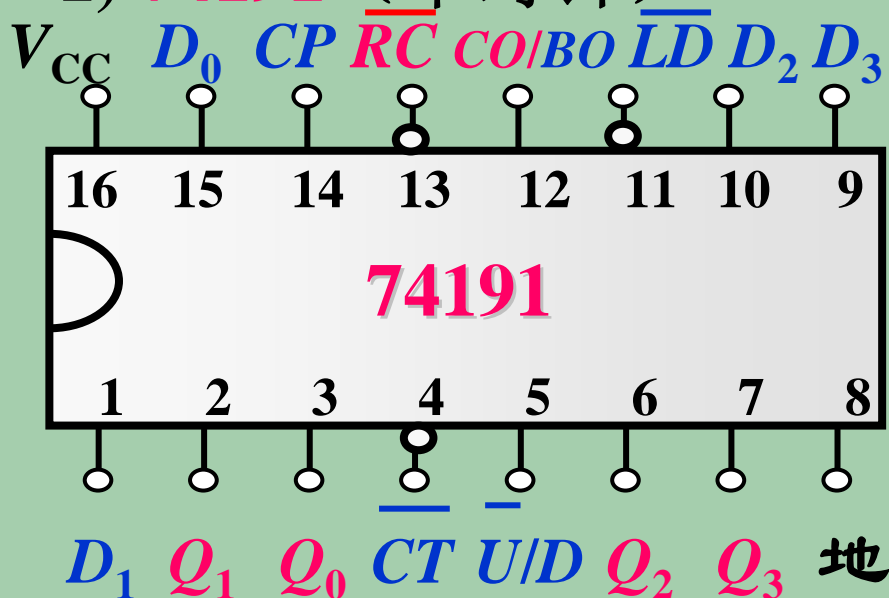


输 入			输 出			
CR	EN	CP	Q_3^{n+1}	Q_2^{n+1}	Q_1^{n+1}	Q_0^{n+1}
1	×	×	0	0	0	0
0	1	↑	加 计 数			
0	↓	0	加 计 数			
0	0	×	保 持			
0	×	1	保 持			

使能端 计数脉 异步
也可作 冲输入 清
计数脉 也可作 零
冲输入 使能端

(2) 集成 4 位二进制同步可逆计数器

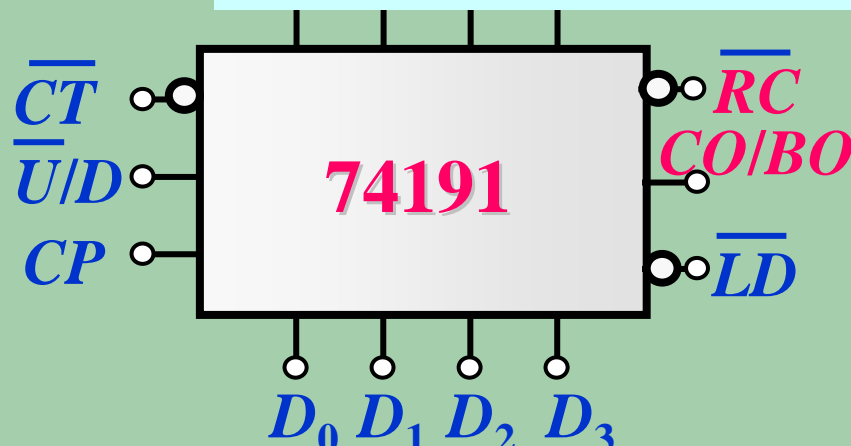
1) 74191 (单时钟)



$$RC = \overline{CP} \cdot \overline{CO/BO} \cdot CT$$

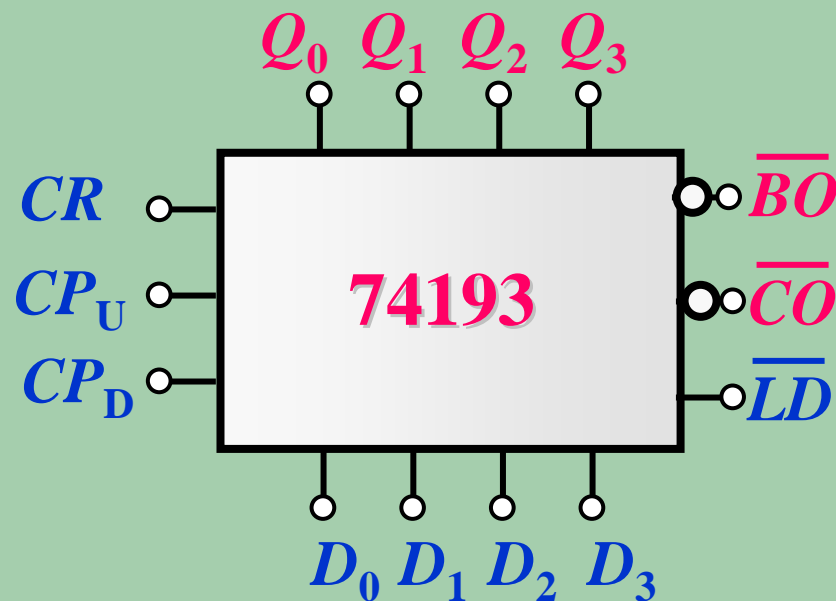
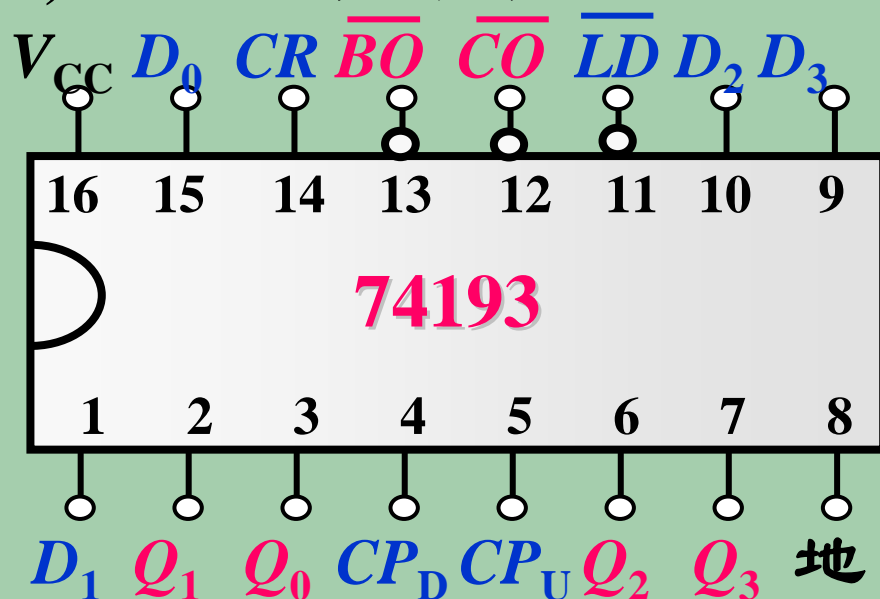
$$CT = 1, CO/BO = 1$$

时, $\overline{RC} = \overline{CP}$



\overline{LD}	\overline{CT}	$\overline{U/D}$	CP	D_3	D_2	D_1	D_0	Q_3^{n+1}	Q_2^{n+1}	Q_1^{n+1}	Q_0^{n+1}
0	x	x	x	d_3	d_2	d_1	d_0	d_3	d_2	d_1	d_0
1	0	0	↑	x	x	x	x	加法计数			
1	0	1	↑	x	x	x	x	减法计数			
1	1	x	x	x	x	x	x	保持			

2) 74193 (双时钟)

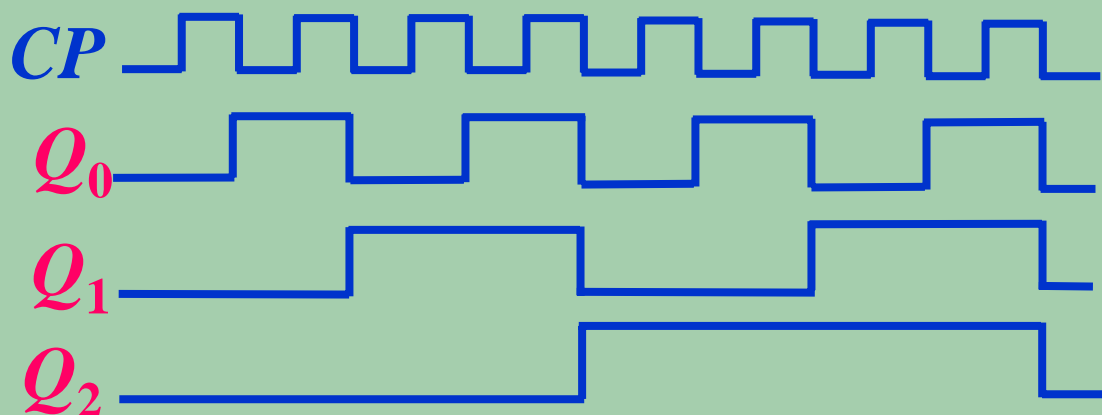


CR	\overline{LD}	CP_U	CP_D	D_3	D_2	D_1	D_0	Q_3^{n+1}	Q_2^{n+1}	Q_1^{n+1}	Q_0^{n+1}	注
1	×	×	×	×	×	×	×	0	0	0	0	异步清零
0	0	×	×	d_3	d_2	d_1	d_0	d_3	d_2	d_1	d_0	异步置数
0	1	↑	1	×	×	×	×	加 法 计 数				$BO = CO = 1$
0	1	1	↑	×	×	×	×	减 法 计 数				
0	1	1	1	×	×	×	×	保 持				



二、二进制异步计数器

1. 二进制异步加法计数器

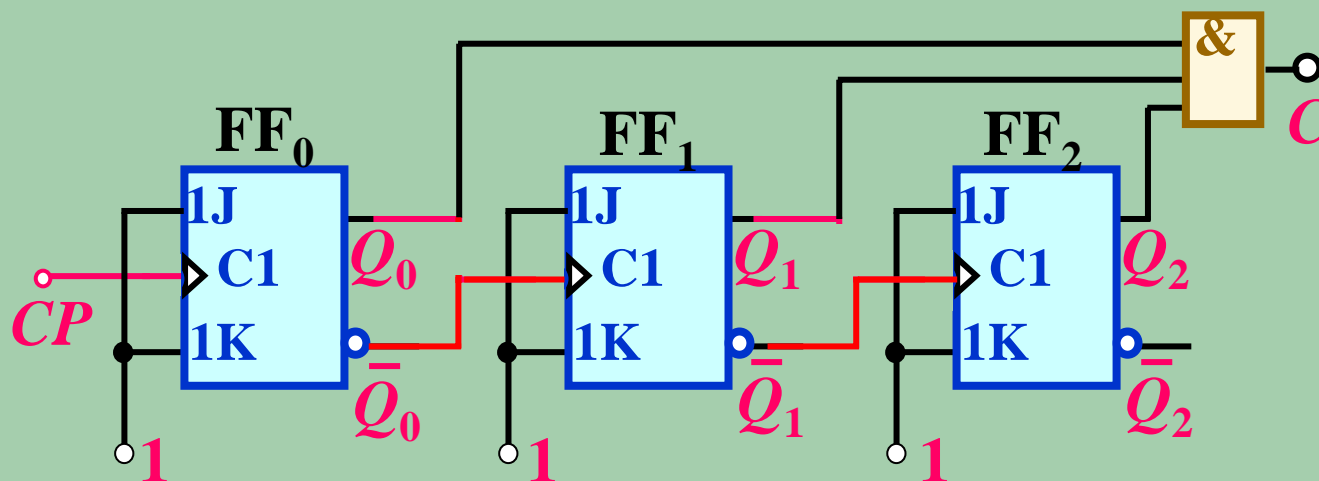


$$\begin{cases} CP_0 = CP \\ CP_1 = Q_0 \\ CP_2 = Q_1 \end{cases}$$

用 T' 触发器
($J=K=1$)

下降沿触发

$$C = Q_2^n Q_1^n Q_0^n$$



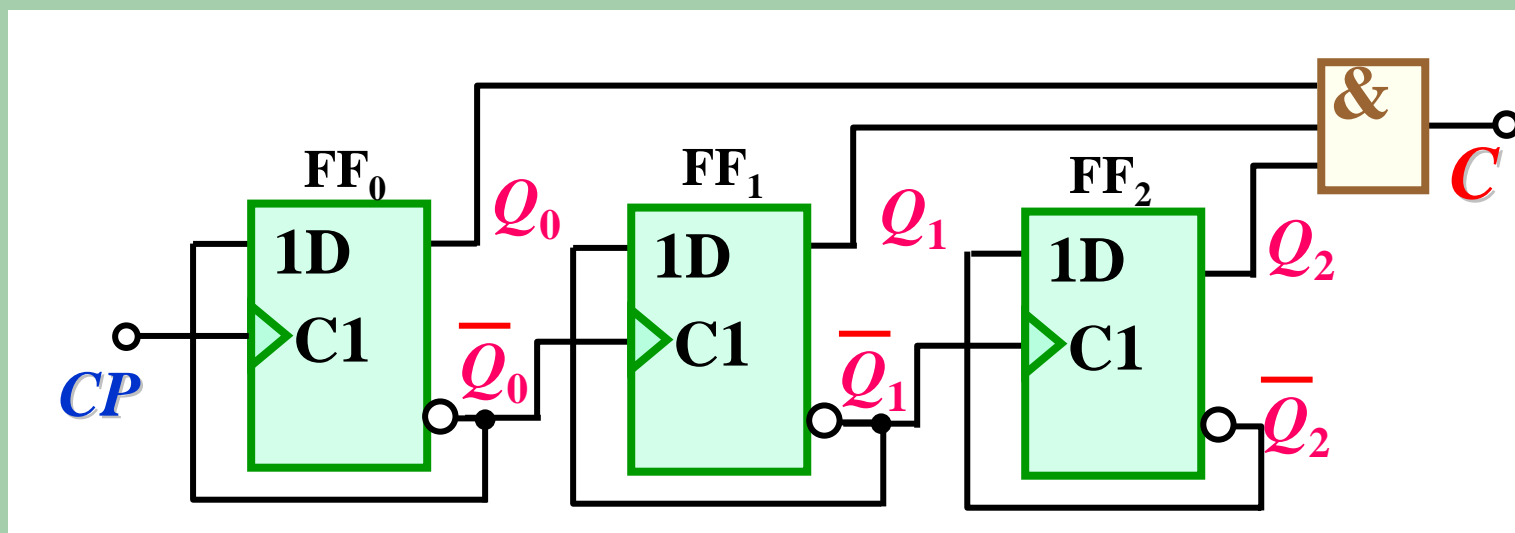
并行
进位

$$\begin{aligned} CP_0 &= CP \\ CP_1 &= \underline{\underline{Q_0}} \\ CP_2 &= \underline{\underline{Q_1}} \end{aligned}$$

若采用上升沿触发的 T' 触发器



D 触发器构成的 T' 触发器 ($D = Q$),
——下降沿触发

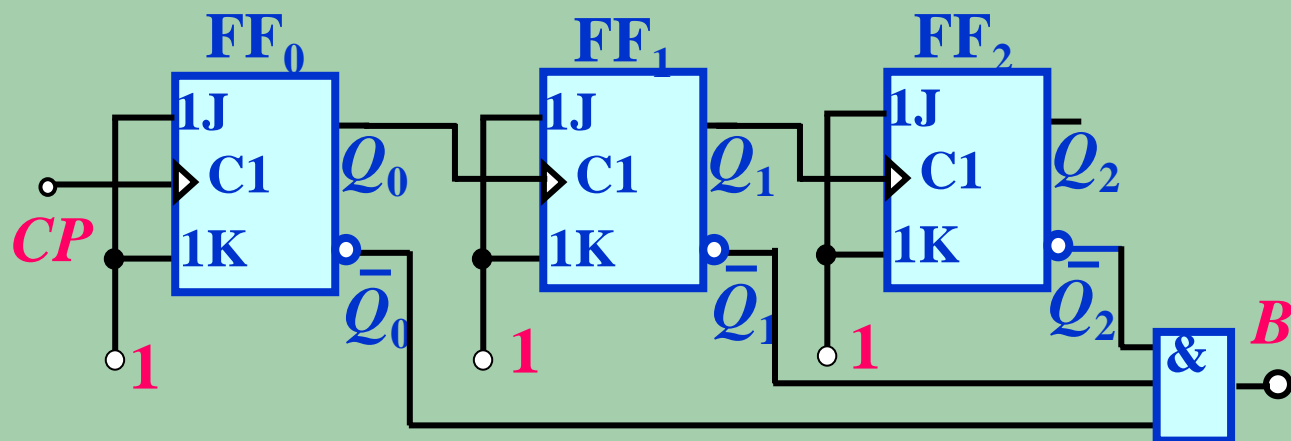


若改用上升沿触发的 D 触发器?

2. 二进制异步减法计数器

CP	$Q_2Q_1Q_0$
0	0 0 0
1	1 1 1
2	1 1 0
3	1 0 1
4	1 0 0
5	0 1 1
6	0 1 0
7	0 0 1
8	0 0 0

用 T' 触发器 ($J=K=1$) 上升沿触发



二进制异步计数器级间连接规律

$$\begin{cases} CP_0 = CP \\ CP_1 = Q_0 \\ CP_2 = Q_1 \end{cases}$$

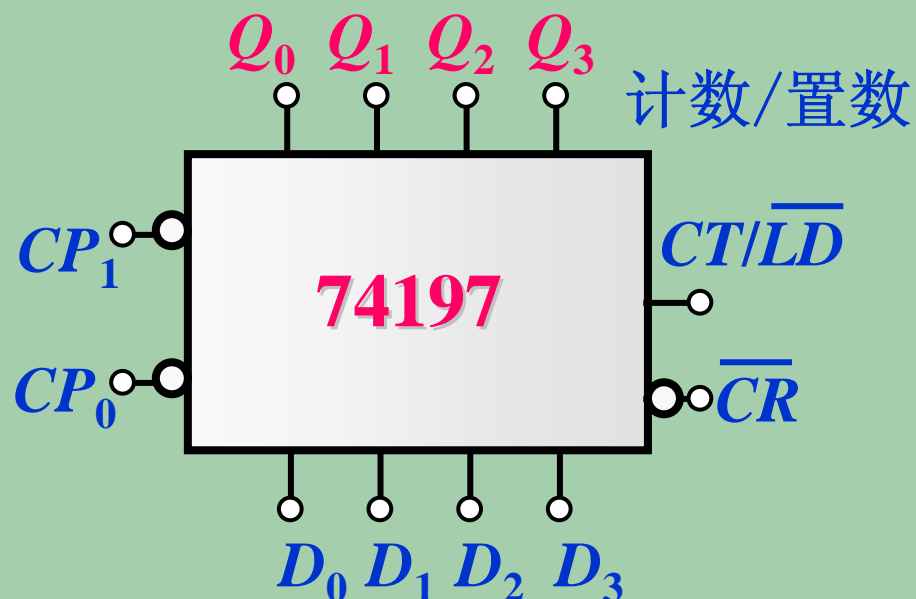
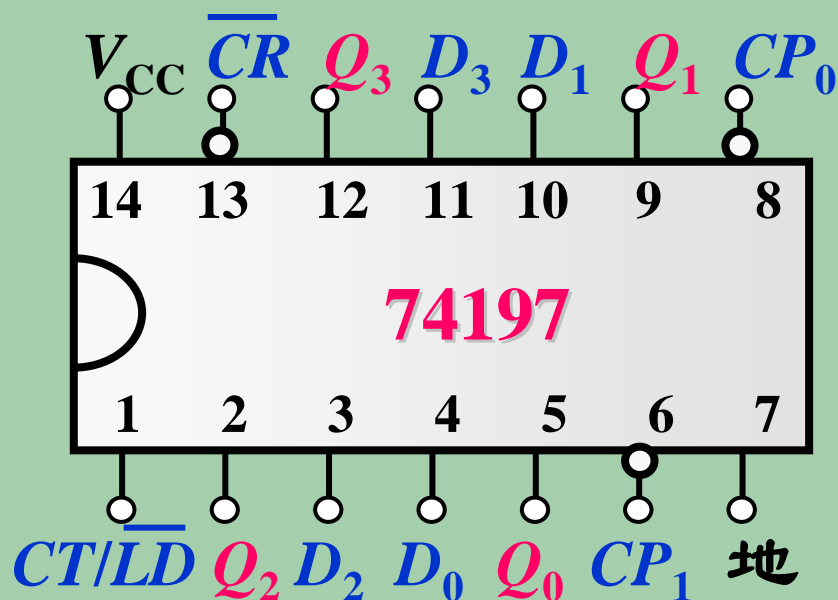
$$B = \overline{Q_2}^n \overline{Q_1}^n \overline{Q_0}^n$$

计数规律	T' 触发器的触发沿	
	上升沿	下降沿
加法计数	$CP_i = \overline{Q_{i-1}}$	$CP_i = Q_{i-1}$
减法计数	$CP_i = Q_{i-1}$	$CP_i = \overline{Q_{i-1}}$



3. 集成二进制异步计数器

74197、74LS197



异步清零

$$\overline{CR} = 0$$

$$Q_0 \sim Q_3 = 0000$$

异步置数

$$\overline{CR} = 1$$

$$\overline{CT} / \overline{LD} = 0$$

$$Q_0 \sim Q_3 = D_0 \sim D_3$$

加法计数

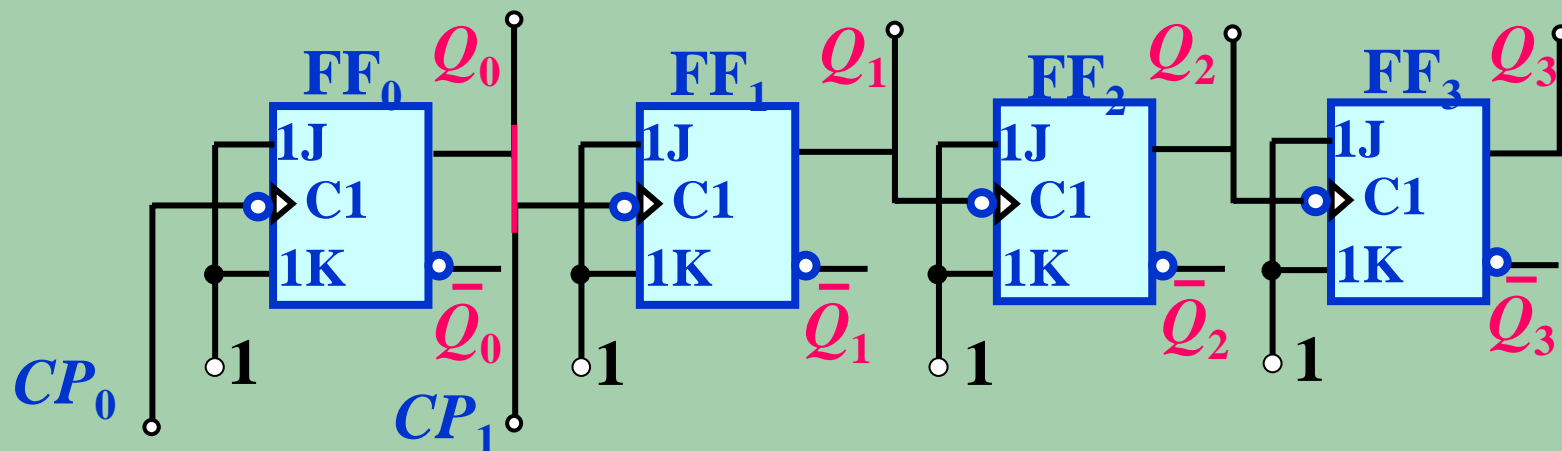
$$\overline{CR} = 1$$

$$\overline{CT} / \overline{LD} = 1$$

二—八—十六进制计数



二-八-十六进制计数器的实现



$M = 2$ $CP_0 = CP$

计数输出: Q_0

$M = 8$ $CP_1 = CP$

计数输出: $Q_3 Q_2 Q_1$

$M = 16$ $CP_0 = CP, CP_1 = Q_0$ 计数输出: $Q_3 Q_2 Q_1 Q_0$
 $CP_1 = CP, CP_0 = Q_3$ $Q_0 Q_3 Q_2 Q_1$

其它: 74177、74LS177、74293、74LS293 等。

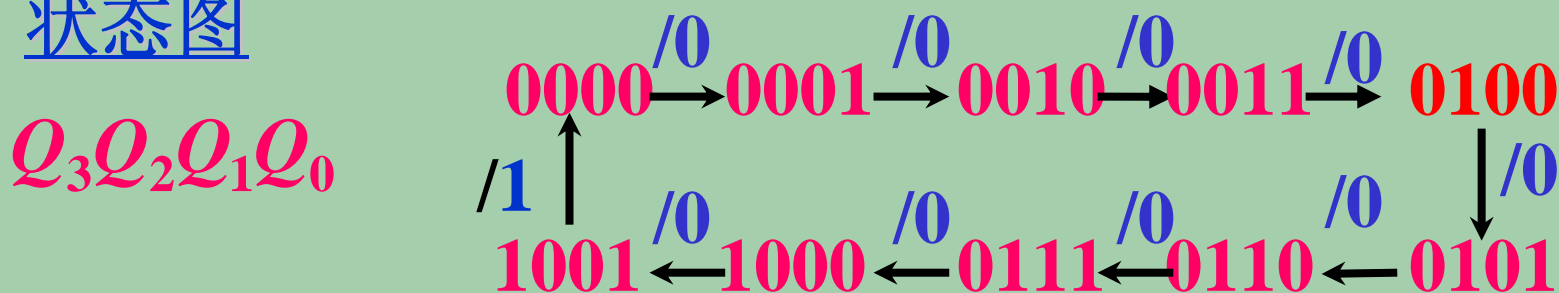


5.2.3 十进制计数器 (8421BCD 码)

一、十进制同步计数器

1. 十进制同步加法计数器

状态图



时钟方程

$$CP_0 = CP_1 = CP_2 = CP_3 = CP$$

输出方程

卡诺图 (Karnaugh Map) 用于化简输出方程 C 。

	$Q_1^n Q_0^n$	00	01	11	10
$Q_3^n Q_2^n$	00	0	0	0	0
	01	0	0	0	0
	11	×	×	×	×
	10	0	1	×	×

$$C = Q_3^n Q_0^n$$



状态方程

$$Q_0^{n+1} = \overline{Q_0^n}$$

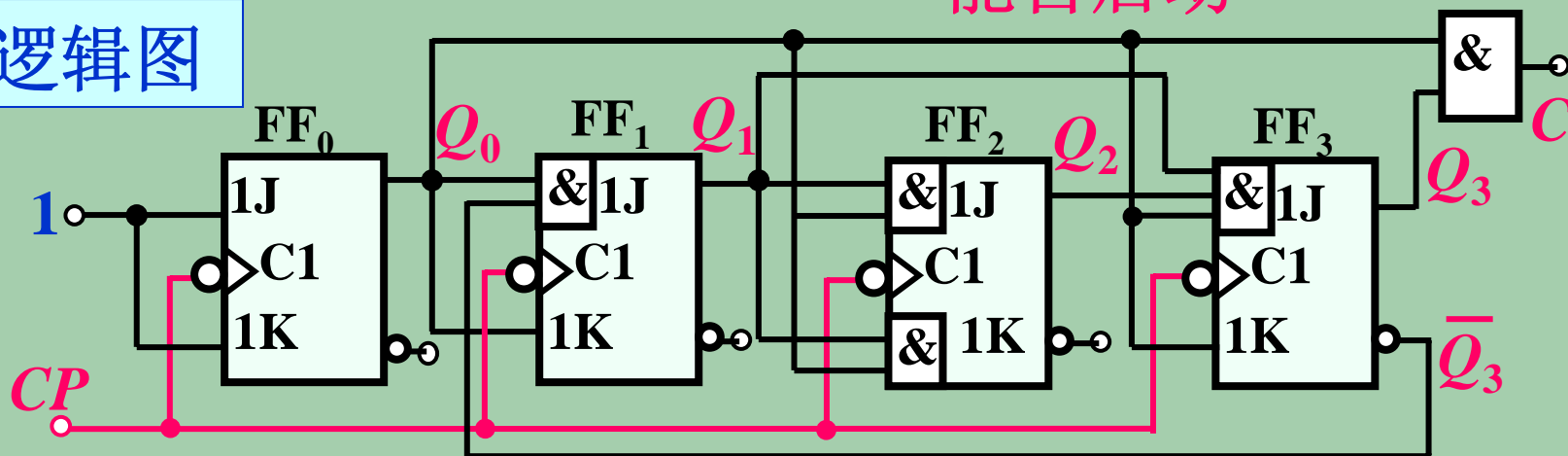
$$Q_1^{n+1} = \overline{Q_3^n} Q_1^n Q_0^n + Q_1^n \overline{Q_0^n}$$

$$Q_2^{n+1} = Q_2^n Q_1^n Q_0^n + Q_2^n Q_1^n + Q_2^n \overline{Q_0^n}$$

$$Q_3^{n+1} = Q_2^n Q_1^n Q_0^n + Q_3^n \overline{Q_0^n}$$

选择下降沿、 JK 触发器

逻辑图



检查能否自启动 $C = Q_3^n Q_0^n$

将无效状态1010 ~ 1111
代入状态方程:

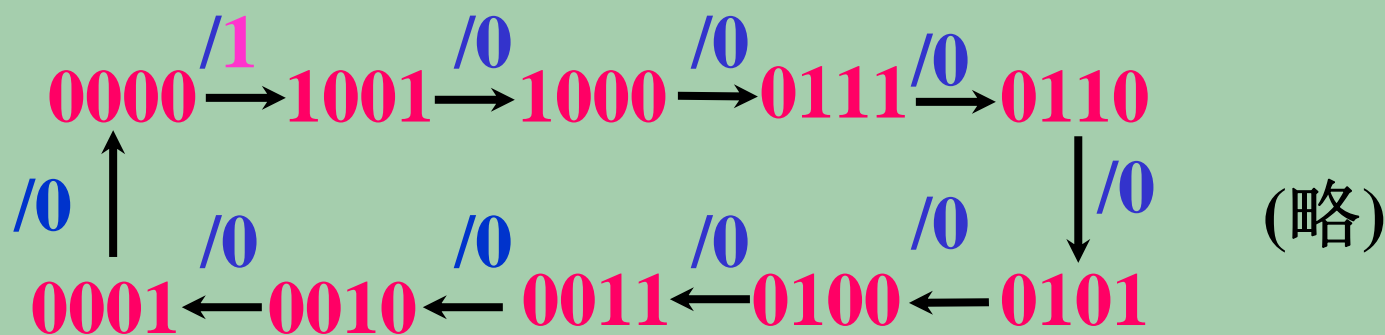
1010 → 1011 → 0100

1110 → 1111 → 1000

1100 → 1011 → 0100



2. 十进制同步减法计数器



3. 十进制同步可逆计数器

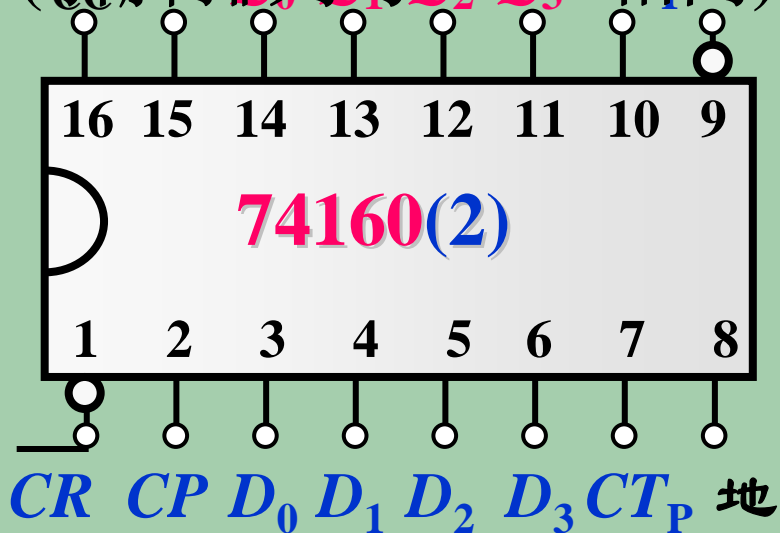
(略)



4. 集成十进制同步计数器

(1) 集成十进制同步加法计数器 74160、74162

引脚排列与74161相同



异步清零功能: $\overline{CR} = 0$
(74162 同步清零)

同步置数功能:

$\overline{CR} = 1$ $\overline{LD} = 0$ $CP = \uparrow$

同步计数功能:

$$\overline{CR} = \overline{LD} = 1$$

$$CT_T = CT_P = 1$$

$$CO = Q_3^n Q_0^n$$

保持功能:

$$CT_T \cdot CT_P = 0$$

$$CO = CT_T \cdot Q_3^n Q_0^n$$

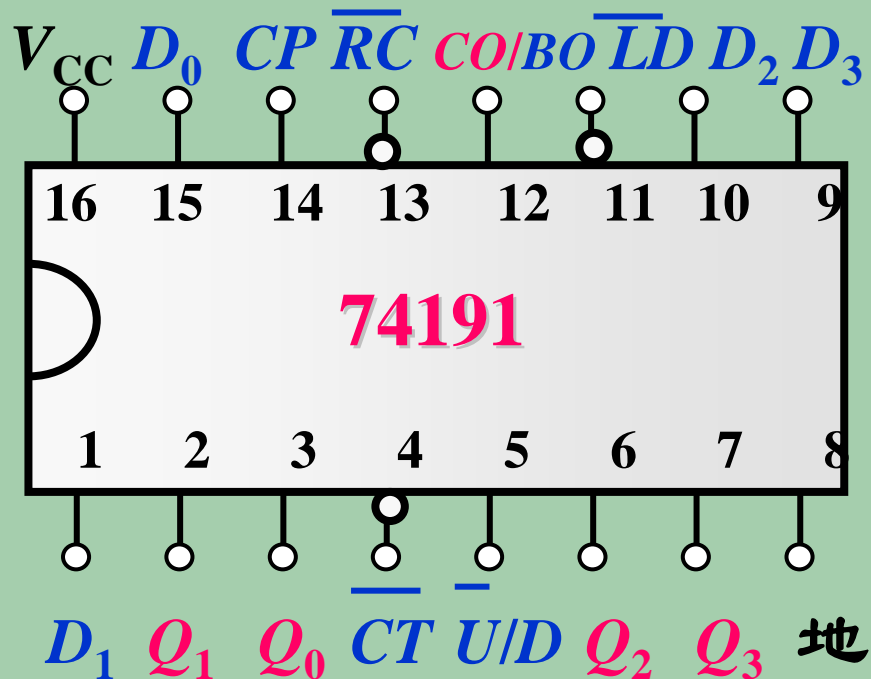
$CT_T = 1$ 进位信号保持

$CT_T = 0$ 进位输出低电平



(2) 集成十进制同步可逆计数器

1) **74190** (单时钟, 引脚与74191相同)



异步并行置数功能:

$$\overline{LD} = 0$$

$$Q_0 \sim Q_3 = D_0 \sim D_3$$

同步可逆计数功能:

$$\overline{LD} = 1$$

$$\overline{CT} = 0$$

$$\overline{U/D} = 0 \quad \text{加法计数} \quad CO/BO = Q_3^n Q_0^n$$

$$\overline{U/D} = 1 \quad \text{减法计数} \quad CO/BO = \overline{Q_3^n} \overline{Q_2^n} \overline{Q_1^n} \overline{Q_0^n}$$

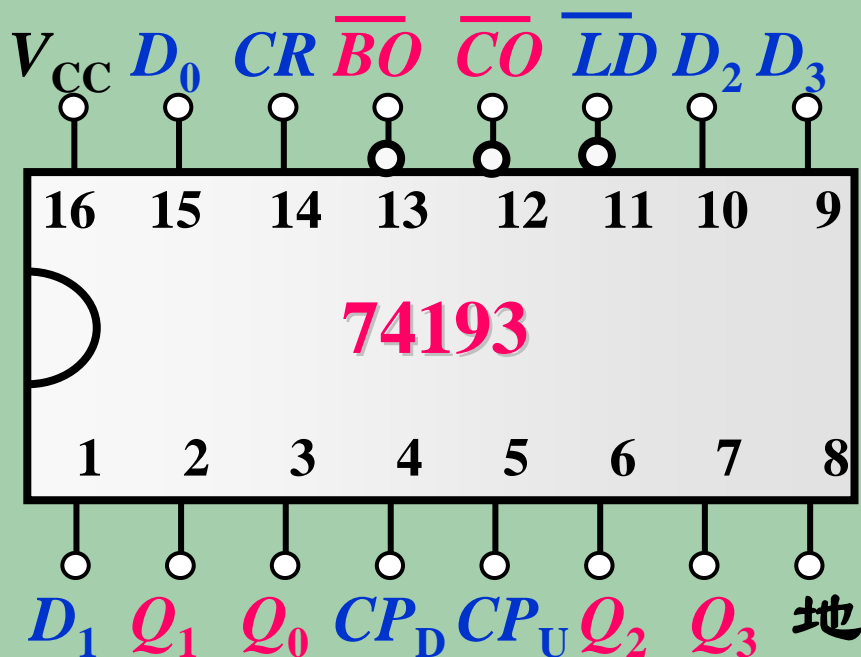
保持功能:

$$\overline{LD} = 1$$

$$\overline{CT} = 1$$



2) 74192 (双时钟, 引脚与74193相同)



异步清零功能: $CR = 1$

异步置数功能:

$$CR = 0 \quad \overline{LD} = 0$$

$$Q_0 \sim Q_3 = D_0 \sim D_3$$

同步可逆计数功能:

$$CR = 0 \quad \overline{LD} = 1$$

$CP_U = \uparrow, CP_D = 1$ 加法计数

$$\overline{CO} = \overline{CP_U Q_3^n Q_0^n}$$

$CP_D = \uparrow, CP_U = 1$ 减法计数

$$\overline{BO} = \overline{CP_D Q_3^n Q_2^n Q_1^n Q_0^n}$$

保持功能

$$CR = 0$$

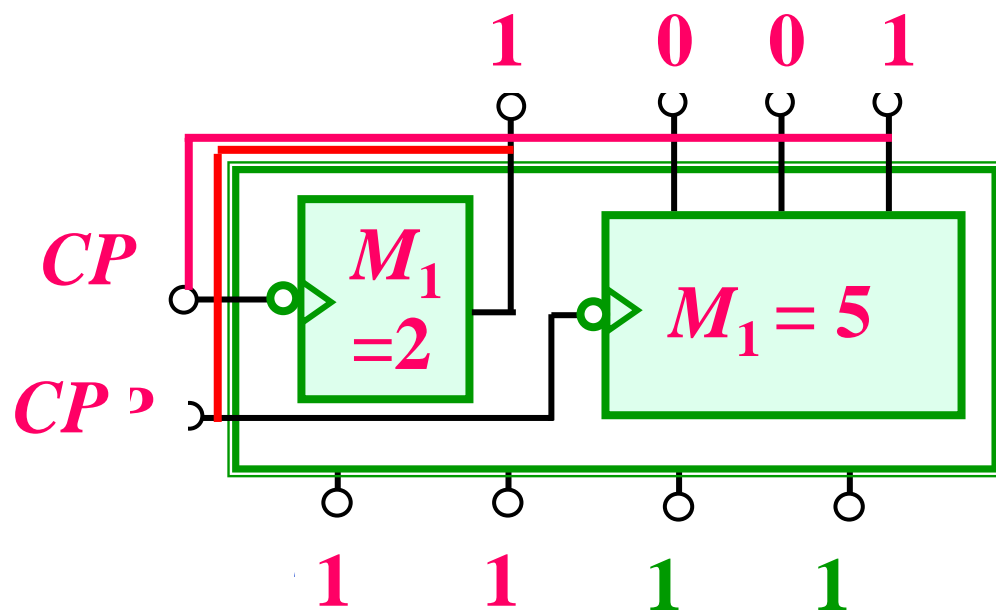
$$\overline{LD} = 1$$

$$CP_U = CP_D = 1$$



二*、十进制异步计数器

3. 集成十进制异步计数器



异步清零功能

异步置“9”功能

异步计数功能

$$M=2 \quad CP_0 = CP$$

$$M=5 \quad CP_1 = CP$$

$$M=10 \quad CP_0 = CP, CP_1 = Q_0$$

$$CP_1 = CP, CP_0 = Q_3$$

Q_0

$Q_3 \quad Q_2 \quad Q_1$

$Q_3 \quad Q_2 \quad Q_1 \quad Q_0$

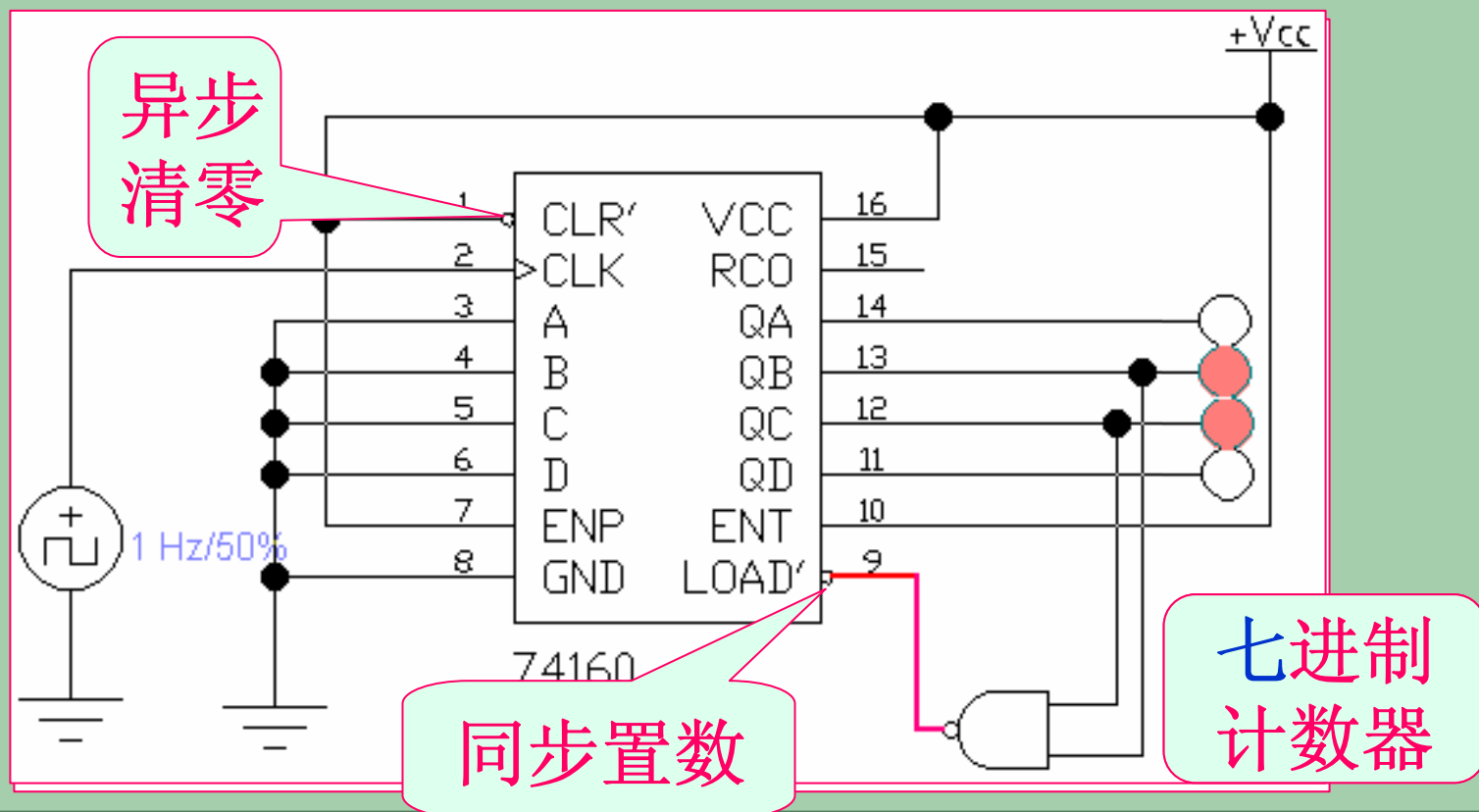
$Q_0 \quad Q_3 \quad Q_2 \quad Q_1$



5.2.4 N 进制计数器

方法 { 用触发器和门电路设计
用集成计数器构成 { 清零端 (同步、异步)
($M = 2^4$ 或 $M = 10$) { 置数端

[例] 利用**EWB**观察同步和异步归零的区别。



一、利用同步清零或置数端获得 N 进制计数

思路：当 M 进制计数到 S_{N-1} 后使计数回到 S_0 状态

步骤：

1. 写出状态 S_{N-1} 的二进制代码；
2. 求归零逻辑表达式；
3. 画连线图。

[例5.2.1] 用4位二进制计数器 74163 构成十二进制计数器。

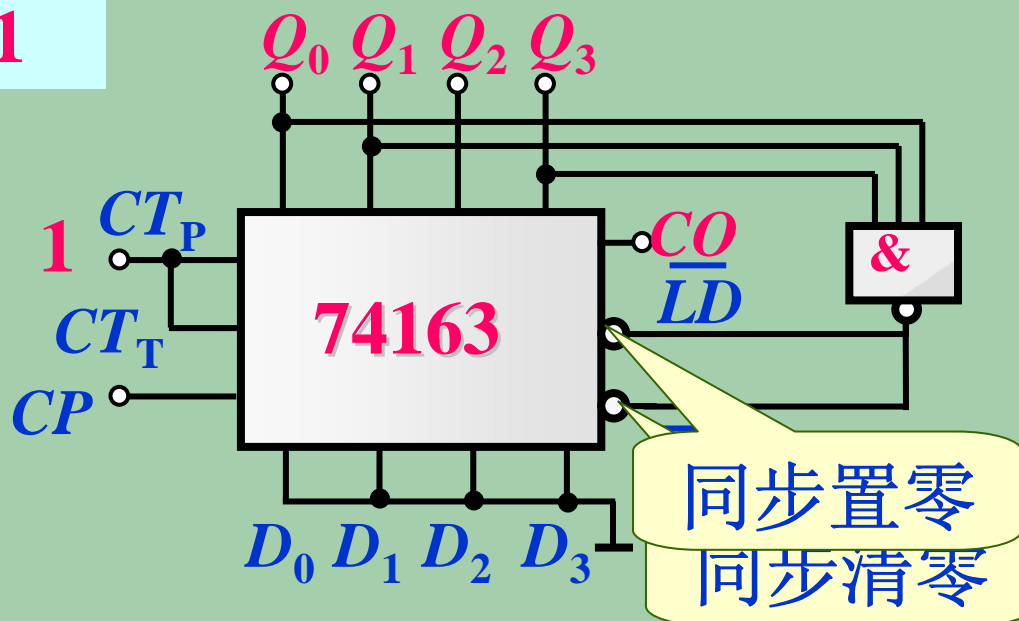
解： 1. $S_{N-1} = S_{11} = 1011$

2. 归零表达式：

$$\overline{CR} = \overline{Q_3 Q_1 Q_0}$$

$$\text{或 } \overline{LD} = \overline{Q_3 Q_1 Q_0}$$

3. 连线图



二、利用异步清零或置数端获得 N 进制计数

思路： 当计数到 S_N 时，立即产生清零或置数信号，使返回 S_0 状态。（瞬间即逝）

步骤：

1. 写出状态 S_N 的二进制代码；
2. 求归零逻辑表达式；
3. 画连线图。

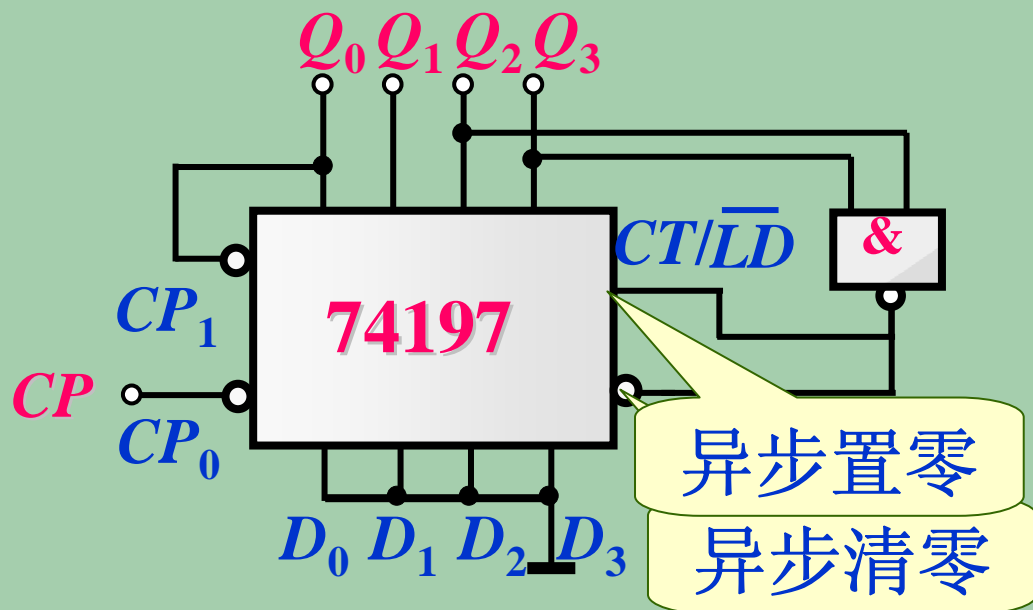
[例5.2.2] 用二-八-十六进制异步计数器197构成12进制计数器。

$$S_{12} = 1100$$

$$\overline{CR} = \overline{Q_3 Q_2}$$

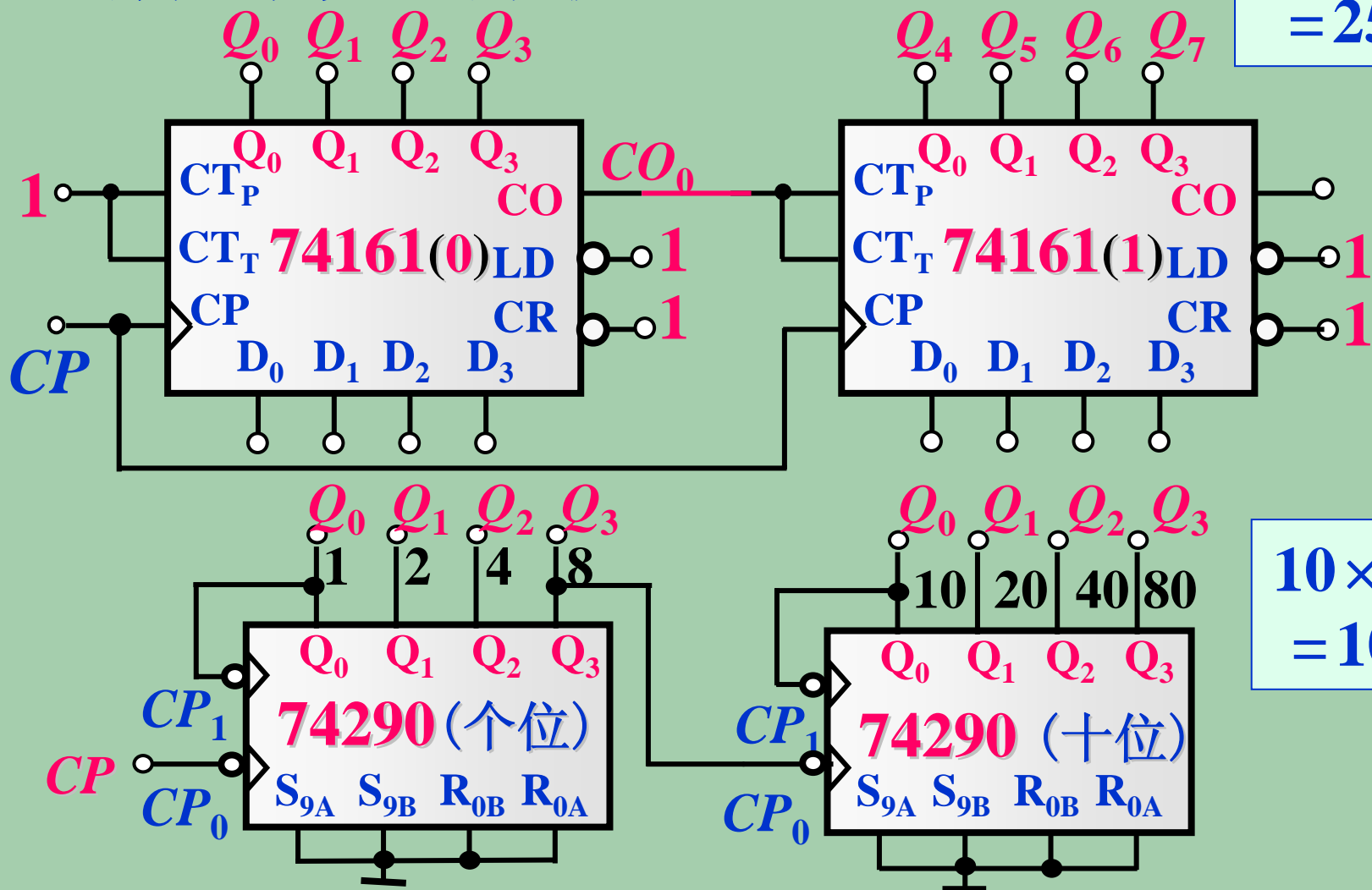
$$\text{或 } \overline{LD} = \overline{Q_3 Q_2}$$

状态 S_{12} 的作用：
产生归零信号



三、计数容量的扩展

1. 集成计数器的级联





2. 利用级联获得大容量 N 进制计数器

1) 级联 N_1 和 N_2 进制计数器，容量扩展为 $N_1 \times N_2$



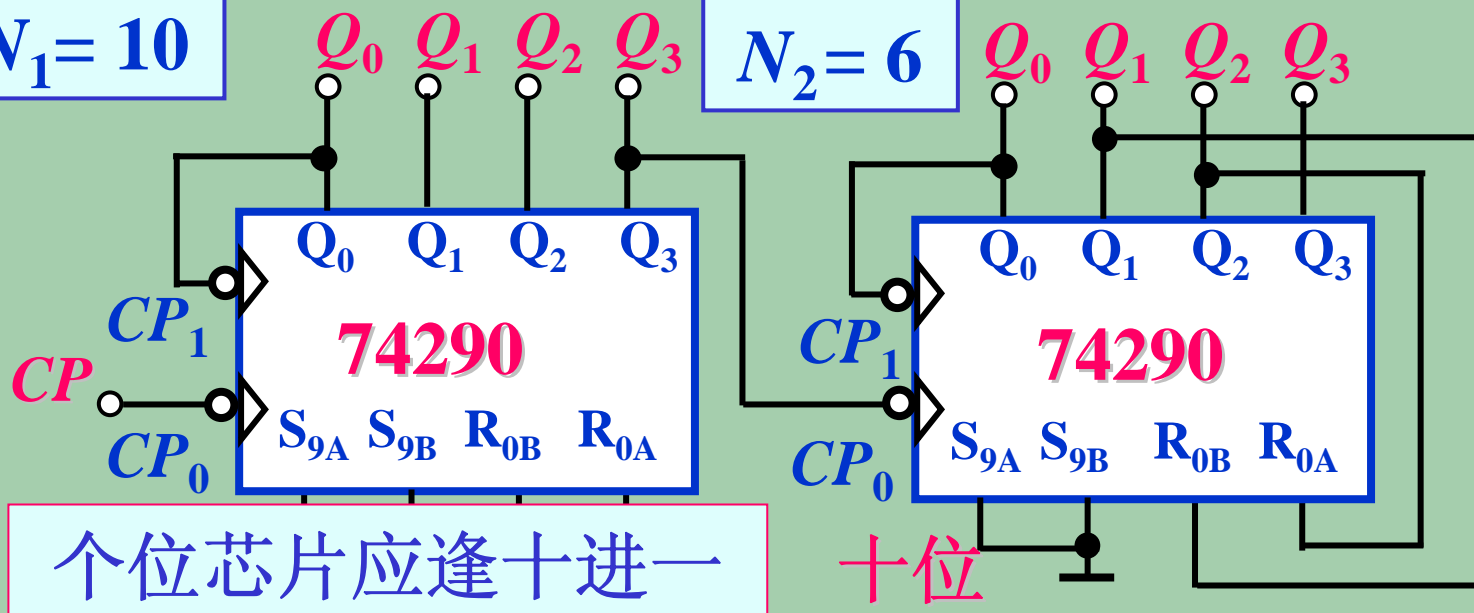
[例] 用 74290 构成六十进制计数器

$$60 = 6 \times 10 = N_1 \times N_2 = N$$

异步清零

$N_1 = 10$

$N_2 = 6$



个位芯片应逢十进一

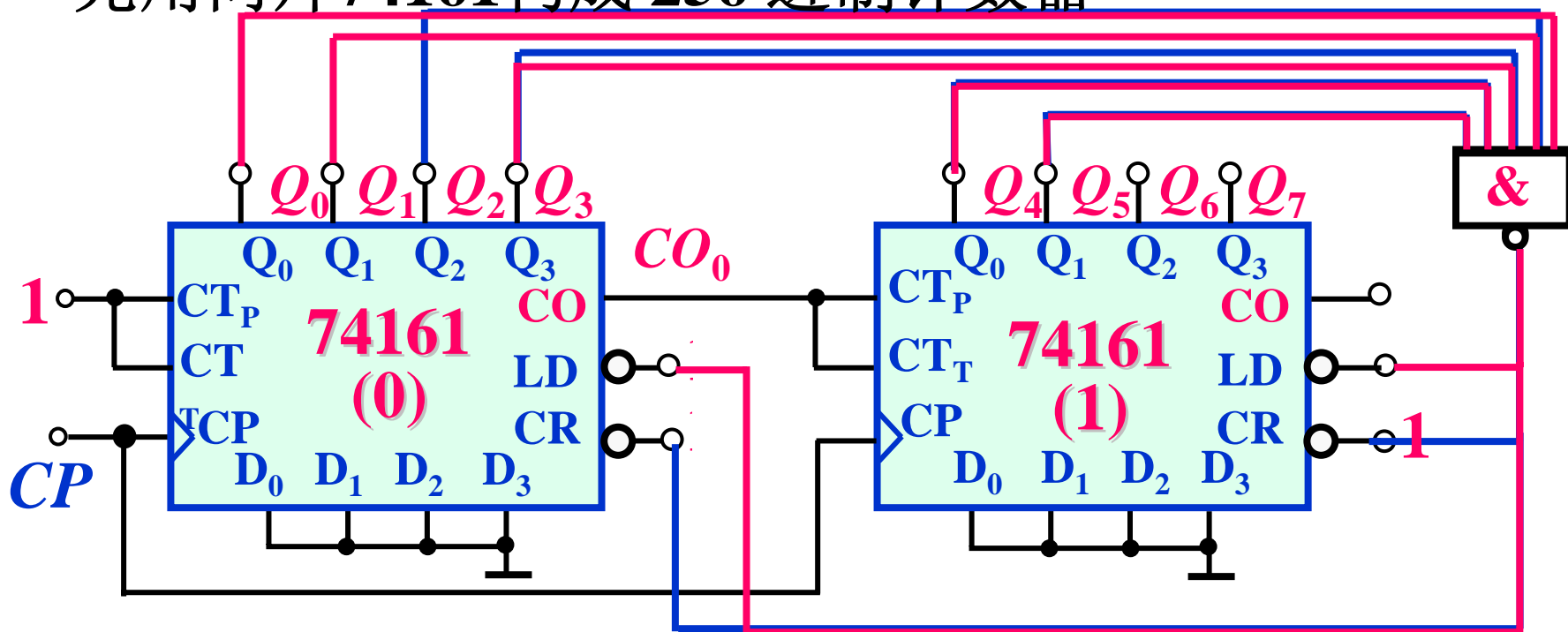
2) 用归零法或置数法获得大容量的 N 进制计数器

[例] 试分别用 74161 和 74162 接成六十进制计数器。

用 S_N 产生异步清零信号: $S_N = S_{60} = (111100)$

用 S_{N-1} 产生同步置数信号: $S_{N-1} = S_{59} = (111011)$

先用两片 74161 构成 256 进制计数器

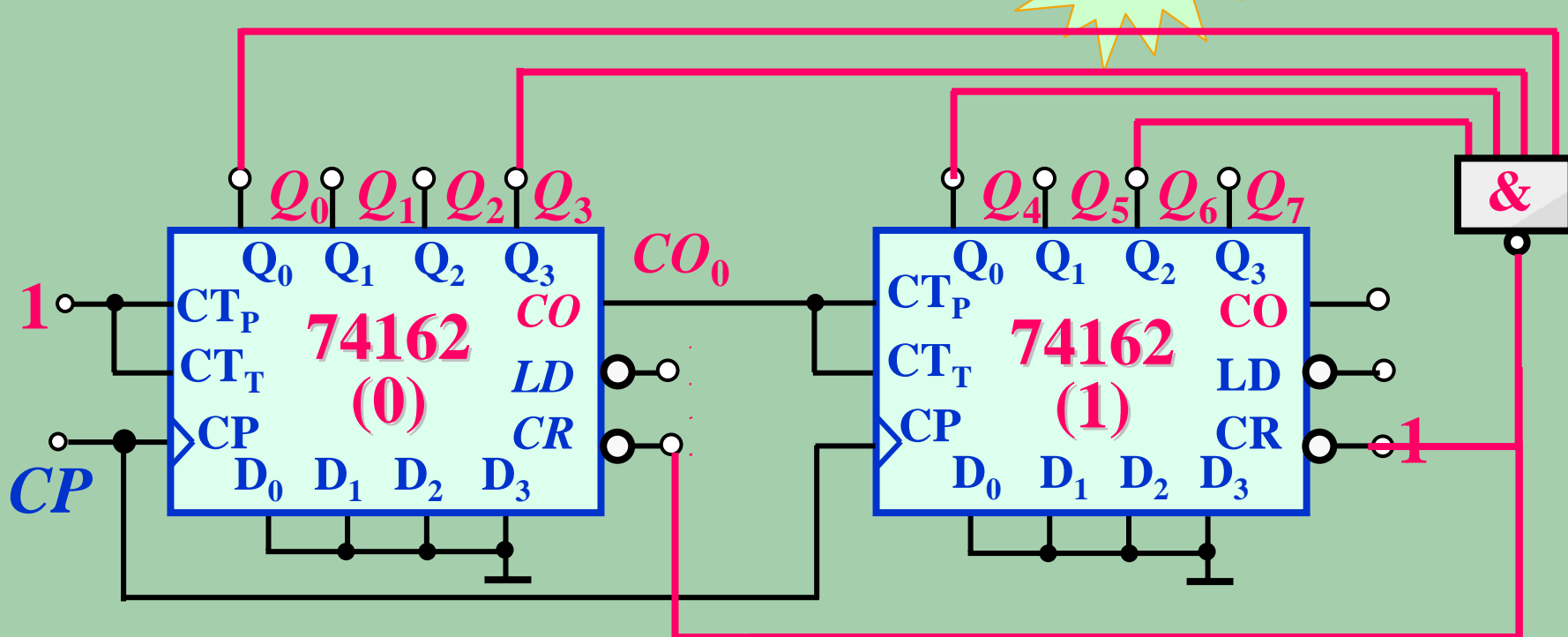




74162 — 同步清零，同步置数。

先用两片74162构成 10×10 进制计数器，
再用归零法将 $M = 100$ 改为 $N = 60$ 进制计数器，
即用 S_{N-1} 产生同步清零、置数信号。

$$S_{N-1} = S_{59} = (0101\ 1001)_{\text{BCD}}$$





要 点

1. 同步 清零(或置数)端计数终值为 S_{N-1}
异步 清零(或置数)端计数终值为 S_N

2. 用集成 二进制 计数器扩展容量后,
终值 S_N (或 S_{N-1}) 是二进制代码;

用集成十进制计数器扩展容量后,
终值 S_N (或 S_{N-1}) 的代码由个位、十位、
百位的十进制数对应的 BCD 代码构成。