



COMPONENTE CURRICULAR: ELETRÔNICA DIGITAL II

PROFESSORES: MARCOS MOECKE E ROBERTO DE MATOS

ALUNO: THAYS DA SILVA MARIANO

AE1 - CONHECENDO OS DISPOSITIVOS LÓGICOS PROGRAMÁVEIS

CÂMPUS SÃO JOSÉ

10 DE OUTUBRO DE 2024

1. Introdução

A atividade proposta guiada pelo professor Marcos Moecke visa a utilização do Quartus, ambiente de desenvolvimento para circuitos digitais, com o objetivo de auxiliar os alunos a compreender a interface e usabilidade do programa e suas funções, como o Chip Planner, Node Properties, Pin Planner entre outras.

Além disso, o exercício propõe também a análise de tempo da propagação de dados nos circuitos, uso das configurações do compilador bem como utilização das simulações funcionais.

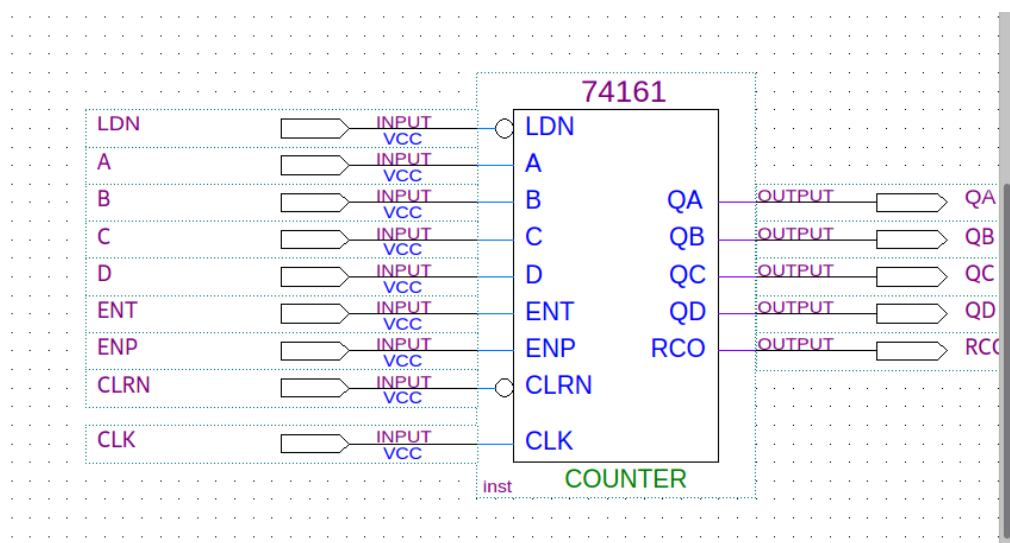
2. Atividades

2.1 Passo 1

Atividade feita com dispositivo da família MAX II seguindo os passos indicados em “Conhecendo os Dispositivos Lógicos Programáveis - QUARTUS PRIME”.

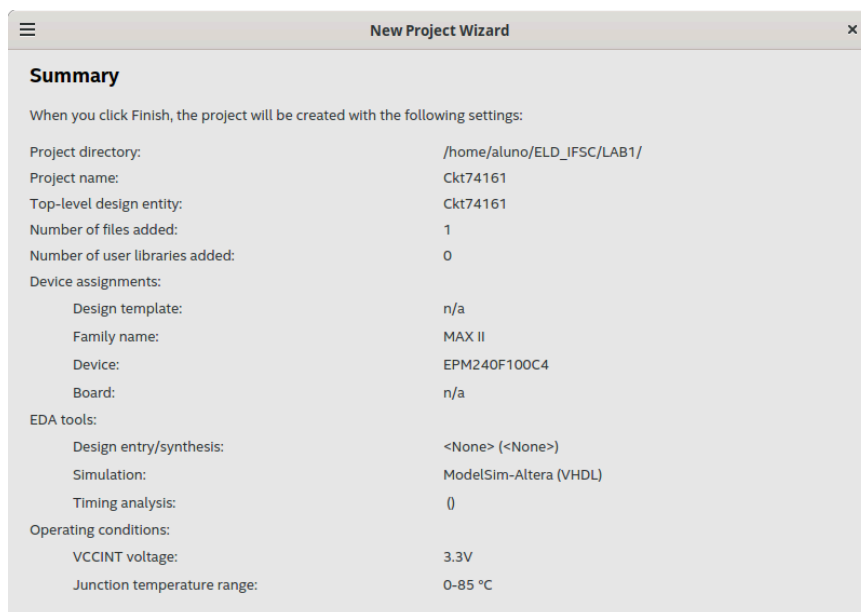
2.1.1 A atividade se inicia com a criação do bloco de diagrama de um contador 74161.

Bloco de Diagrama de Contador 74161



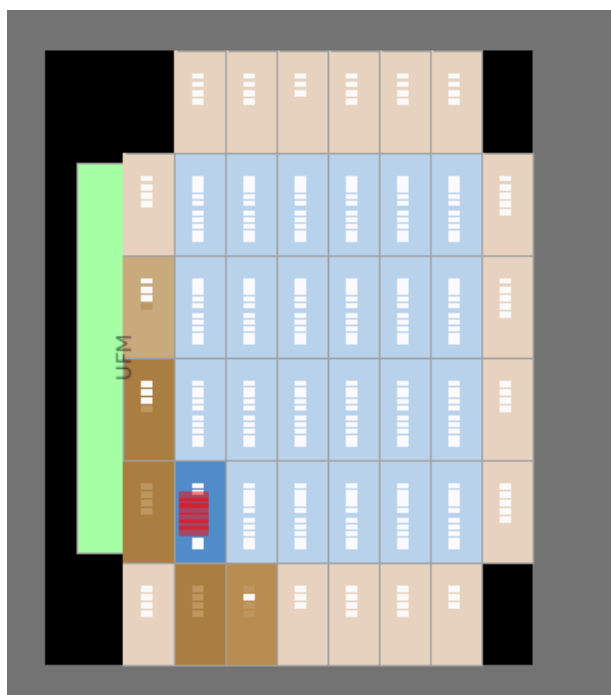
2.1.2 Logo após é criado um dispositivo da família MAX II, de código EPM240F100C4, incluindo o bloco criado anteriormente.

Resumo do Projeto



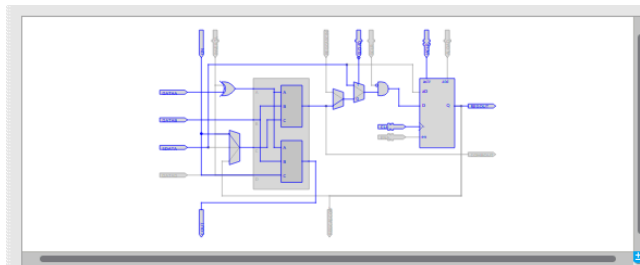
2.1.3 O próximo passo é abrir o Chip Planner para observar a disposição dos componentes.

Chip Planner do Projeto

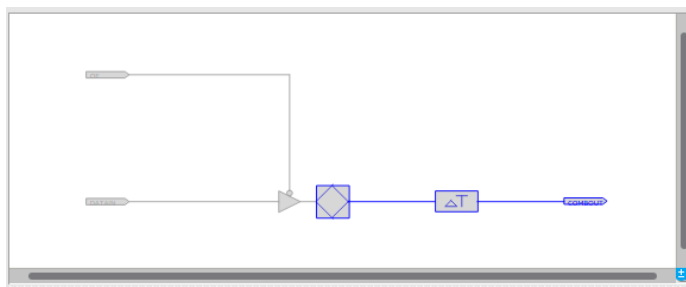


2.1.4 A seguir, a análise do Node Properties e barramentos e interconexões da placa.

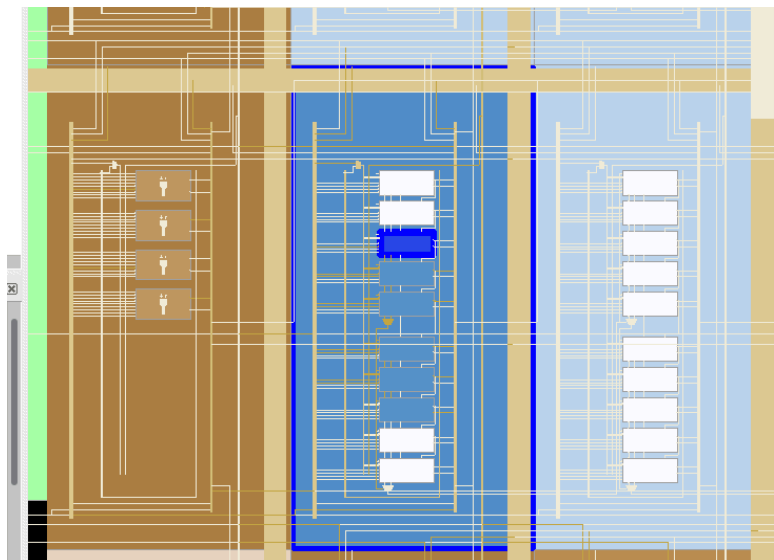
Circuito Elemento Lógico



Circuito Pino de Entrada

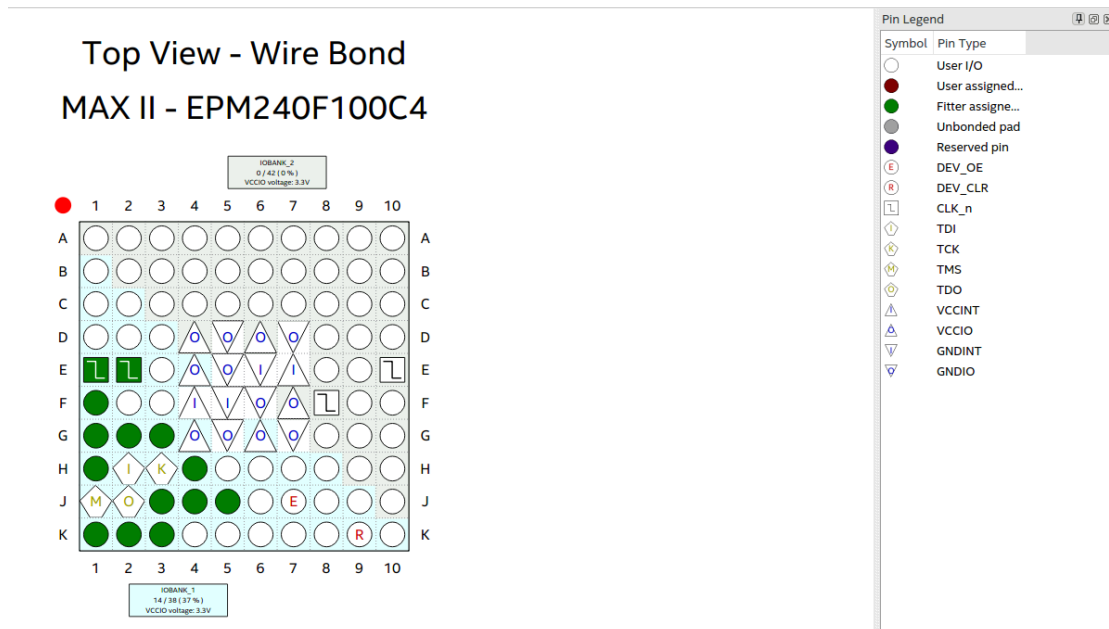


Barramentos e Roteamentos



2.1.5 Análise do Pin Planner para observar as entradas e saídas.

Pin Planner e Legenda do Projeto



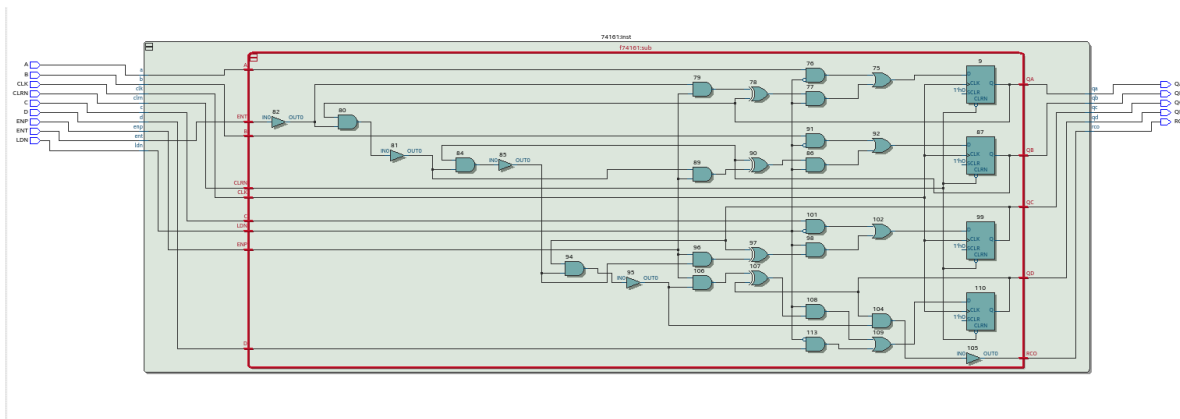
2.1.6 O próximo passo é a análise do tempo de processamento, o tempo total foi de 34 segundos.

Tempos de Processamento do Projeto

Tasks			Compilation			
	Task		Time			
✓	▶	Compile Design	00:00:17			
✓	▶	Analysis & Synthesis	00:00:08			
✓	▶	Fitter (Place & Route)	00:00:04			
✓	▶	Assembler (Generate programming files)	00:00:03			
✓	▶	Timing Analysis	00:00:01			
✓	▶	EDA Netlist Writer	00:00:01			
	■	Edit Settings				
	■	Program Device (Open Programmer)				

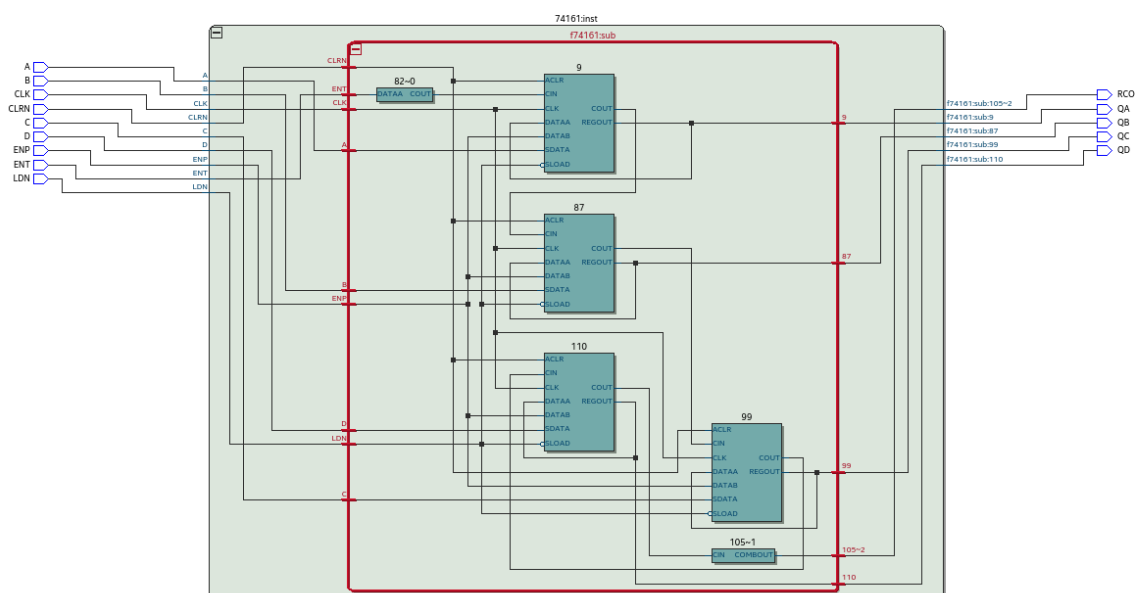
2.1.7 Ao abrir o RTL Viewer é possível observar as portas lógicas utilizadas na programação do dispositivo.

RTL Viewer do Projeto



2.1.8 O Technology Map demonstra as conexões lógicas do projeto.

Technology Map do Projeto



2.1.9 Na análise dos pinos utilizados nota-se que dos 80 pinos disponíveis foram utilizados apenas 14, sendo 18% do total.

Resumo do Projeto Após Compilação

Flow Summary	
<<Filter>>	
Flow Status	Successful - Thu Oct 3 16:45:41 2024
Quartus Prime Version	20.1.1 Build 720 11/11/2020 SJ Standard Edition
Revision Name	Ckt74161
Top-level Entity Name	Ckt74161
Family	MAX II
Device	EPM240F100C4
Timing Models	Final
Total logic elements	6 / 240 (3 %)
Total pins	14 / 80 (18 %)
Total virtual pins	0
UFM blocks	0 / 1 (0 %)

2.1.10 As mensagens enviadas pelo Quartus não mostraram nenhum erro, apenas avisos.

Quadro de Avisos do Quartus

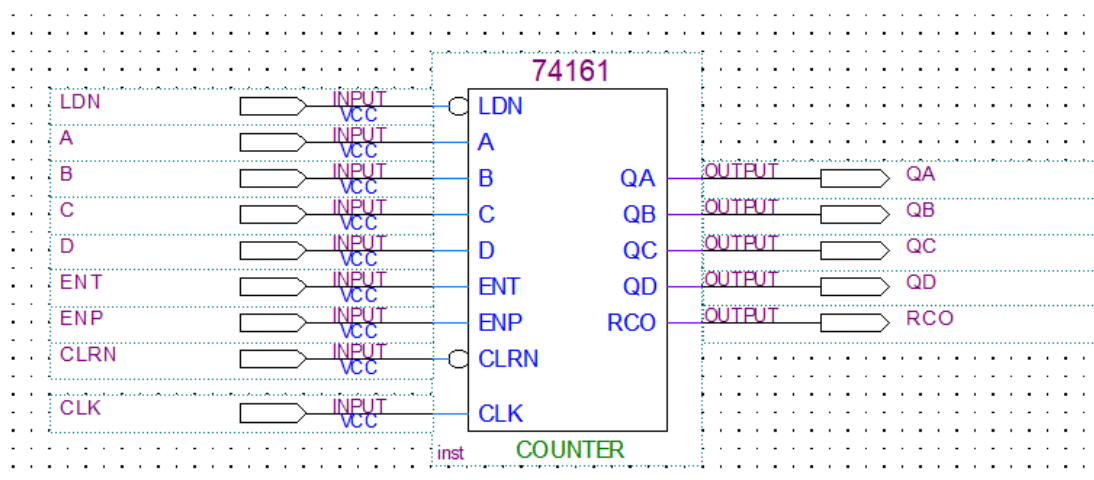
Type	ID	Message
Warning	332140	No Recovery paths to report
Warning	332140	No Removal paths to report
Warning	332146	Worst-case minimum pulse width slack is -2.289
Warning	332001	The selected device family is not supported by the report_metastability command.
Warning	332102	Design is not fully constrained for setup requirements
Warning	332102	Design is not fully constrained for hold requirements
Success	0	Quartus Prime Timing Analyzer was successful. 0 errors, 3 warnings
Success	0	Running Quartus Prime EDA Netlist Writer
Success	0	Command: quartus_edo --read_settings_files=off --write_settings_files=off Ckt74161 -c Ckt74161
Warning	18236	Number of processors has not been specified which may cause overloading on shared machines. Set the global assignment NUM_PARALLEL_PROCESSORS in your QSF to an appropriate value for best performance.
Success	204019	Generated file Ckt74161.vho in folder "/home/aluno/ELD_IFSC/LAB1/simulation/modelsim/" for EDA simulation tool
Success	0	Quartus Prime EDA Netlist Writer was successful. 0 errors, 1 warning
Success	293000	Quartus Prime Full Compilation was successful. 0 errors, 10 warnings
Success	0	Running Quartus Prime Netlist Viewers Preprocess
Success	0	Command: quartus_npp Ckt74161 -c Ckt74161 --netlist_type=sgate
Warning	18236	Number of processors has not been specified which may cause overloading on shared machines. Set the global assignment NUM_PARALLEL_PROCESSORS in your QSF to an appropriate value for best performance.
Success	0	Quartus Prime Netlist Viewers Preprocess was successful. 0 errors, 1 warning
Success	0	Running Quartus Prime Netlist Viewers Preprocess
Success	0	Command: quartus_npp Ckt74161 -c Ckt74161 --netlist_type=atom_map
Warning	18236	Number of processors has not been specified which may cause overloading on shared machines. Set the global assignment NUM_PARALLEL_PROCESSORS in your QSF to an appropriate value for best performance.
Success	0	Quartus Prime Netlist Viewers Preprocess was successful. 0 errors, 1 warning

2.2 Passo 2

Atividade feita com o dispositivo Cyclone IV E seguindo os passos indicados em “Conhecendo os Dispositivos Lógicos Programáveis - QUARTUS PRIME”.

2.2.1 A atividade também começa com a criação do bloco de diagrama de um contador 74161.

Bloco de Diagrama de Contador 74161



2.2.2 Segue com a criação do dispositivo, dessa vez da família Cyclone IV E, seu código é IP4CE6E22A7.

Resumo Projeto

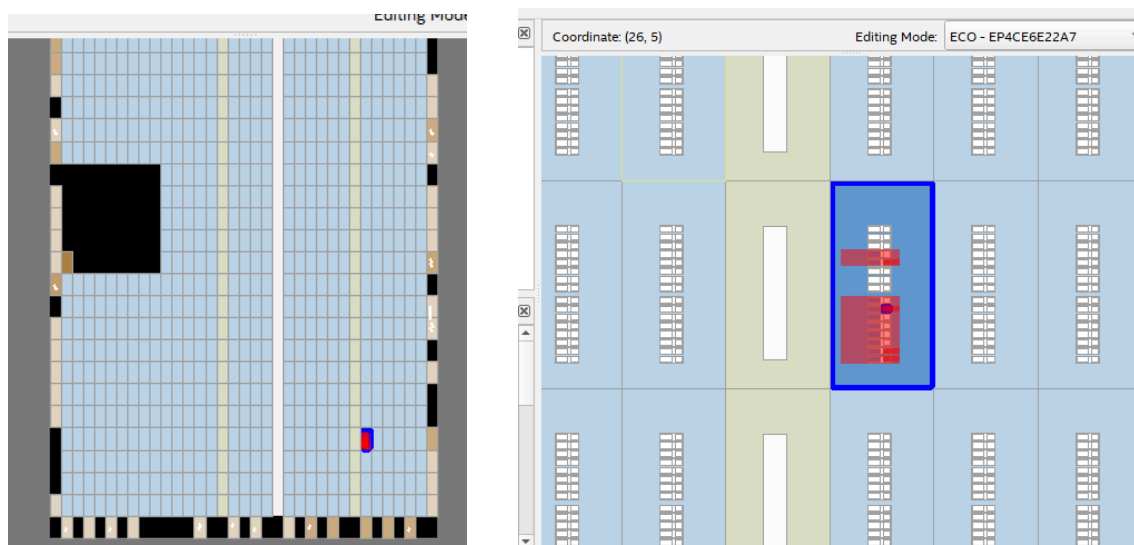
Summary

When you click Finish, the project will be created with the following settings:

Project directory:	C:/Users/thays/Desktop/repo/ELD_IFSC/LAB1/
Project name:	Ckt74161
Top-level design entity:	Ckt74161
Number of files added:	1
Number of user libraries added:	0
Device assignments:	
Design template:	n/a
Family name:	Cyclone IV E
Device:	EP4CE6E22A7
Board:	n/a
EDA tools:	
Design entry/synthesis:	<None> (<None>)
Simulation:	Questa Intel FPGA (VHDL)
Timing analysis:	0
Operating conditions:	
VCCINT voltage:	1.2V
Junction temperature range:	-40-125 °C

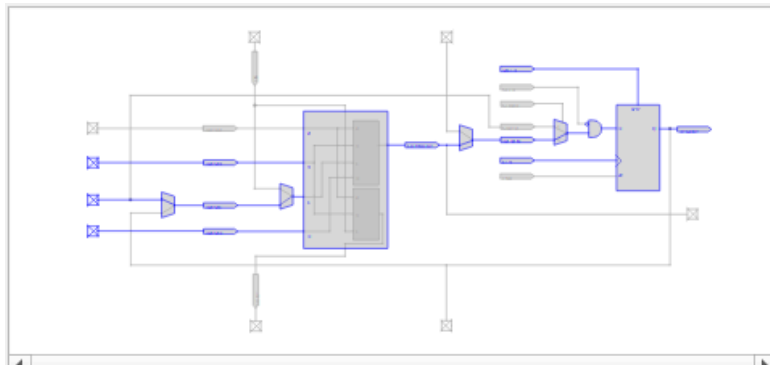
2.2.3 Próximo passo é abrir o Chip Planner e analisar os componentes.

Chip Planner da Placa Utilizada

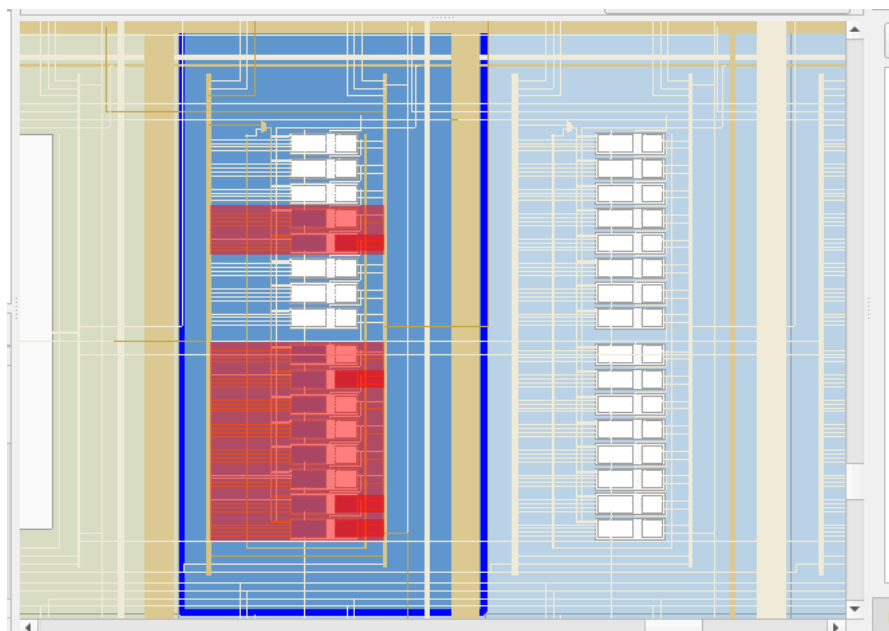


2.2.4 Em seguida a análise do Node Properties e barramentos e interconexões

Circuito Elemento Lógico

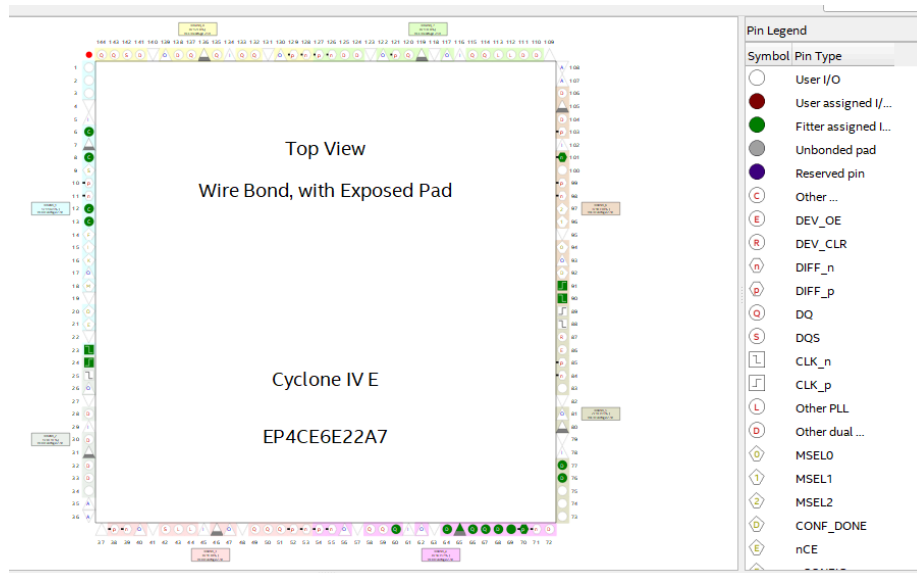


Barramentos e Roteamentos



2.2.5 Na análise do Pin Planner observa-se as entradas e saídas utilizadas da placa.

Pin Planner e Legenda



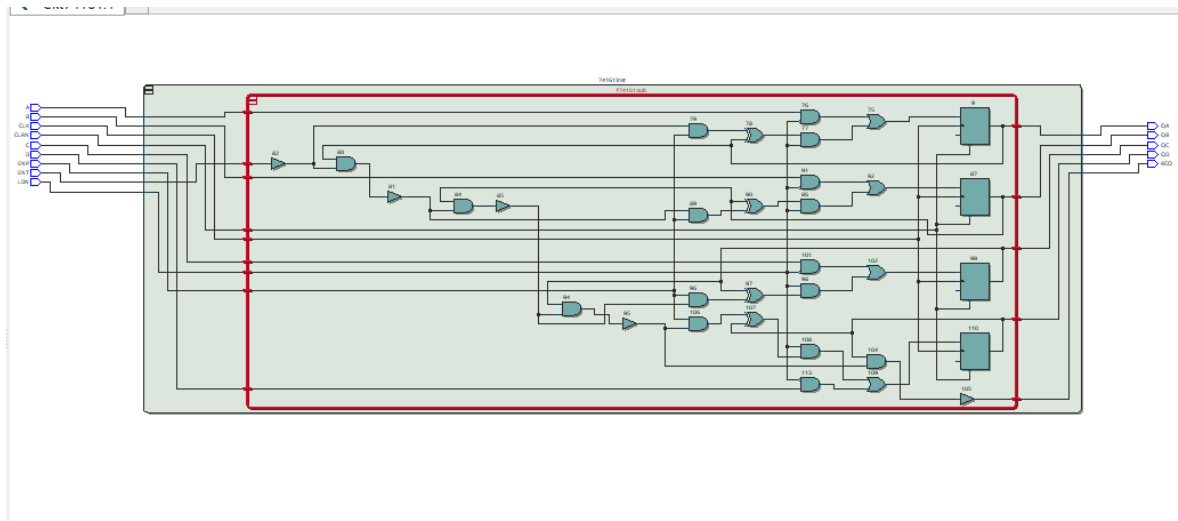
2.2.6 Nesta análise do tempo de processamento é possível notar que o tempo total foi de 52 segundos.

Tempos de Processamento do Projeto

Tasks			Compilation			
	Task		Time			
✓	▶	Compile Design	00:00:26			
✓	▶	Analysis & Synthesis	00:00:12			
✓	▶	Fitter (Place & Route)	00:00:07			
✓	▶	Assembler (Generate programming files)	00:00:02			
✓	▶	Timing Analysis	00:00:03			
✓	▶	EDA Netlist Writer	00:00:02			
		Edit Settings				
		Program Device (Open Programmer)				

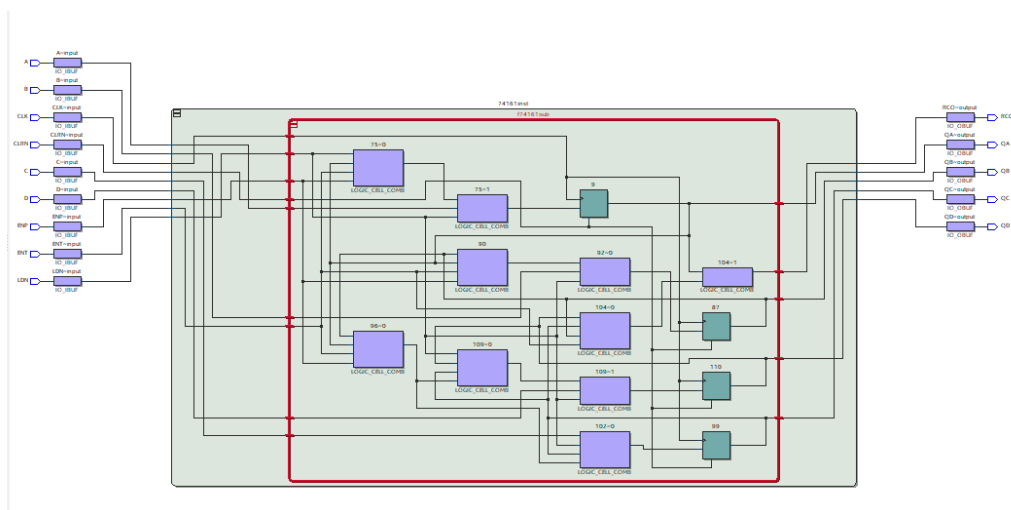
2.2.7 Com o uso do RTL Viewer encontram-se as portas lógicas para a programação feita.

RTL Viewer do Projeto



2.2.8 Já no Technology Map mostram-se as conexões lógicas do projeto.

Technology Map do Projeto



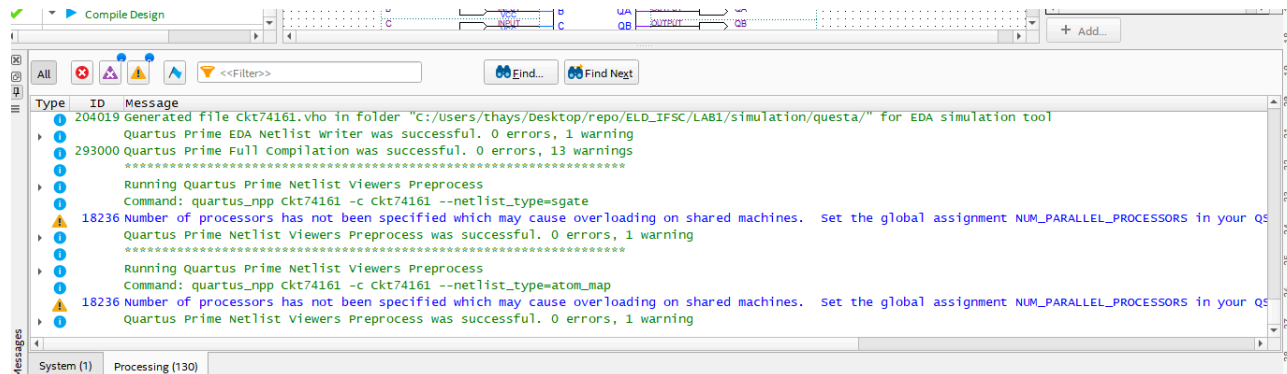
2.2.9 Nos pinos, dos 92 totais apenas 14 foram utilizados, representando 15% do total.

Resumo Projeto Após Compilação

Flow Summary	
<<Filter>>	
Flow Status	Successful - Sun Oct 6 15:46:20 2024
Quartus Prime Version	23.1std.1 Build 993 05/14/2024 SC Lite Edition
Revision Name	Ckt74161
Top-level Entity Name	Ckt74161
Family	Cyclone IV E
Device	EP4CE6E22A7
Timing Models	Final
Total logic elements	10 / 6,272 (< 1 %)
Total registers	4
Total pins	14 / 92 (15 %)
Total virtual pins	0
Total memory bits	0 / 276,480 (0 %)
Embedded Multiplier 9-bit elements	0 / 30 (0 %)
Total PLLs	0 / 2 (0 %)

2.2.10 Nas mensagens do Quartus não houve mensagens de erro.

Quadro de Avisos do Quartus



2.2.11 Comparação Entre Passo 1 e Passo 2

Após a realização do mesmo passo a passo e com o mesmo código, porém com dispositivos de famílias diferentes, foi possível notar algumas discrepâncias, sobretudo na estrutura demonstrada nos mapas.

As etapas 2.1.3 e 2.2.3 nota-se a diferença no formato e configuração da placa devido a escolha de famílias diferentes, o mesmo é visto nos passos 2.1.5 e 2.2.5 com a diferença também na posição das saídas e entradas.

Outra diferença são os Technology Maps em 2.1.8 e 2.2.8, mesmo que possuam o mesmo código VHD cada placa montou um circuito diferente de acordo com sua construção.

Além disso, o tempo de compilação de ambas possui um intervalo de diferença de 18 segundos. Com isso nota-se que a escolha do dispositivo afeta diretamente o projeto final e seu desempenho.

2.3 Passo 3

Passo a passo seguido de “Medição de tempos de propagação em circuitos combinacionais -Quartus Prime”.

2.3.1 Código do Cálculo de Hamming utilizado para essa etapa.

Código Arquivo VHD

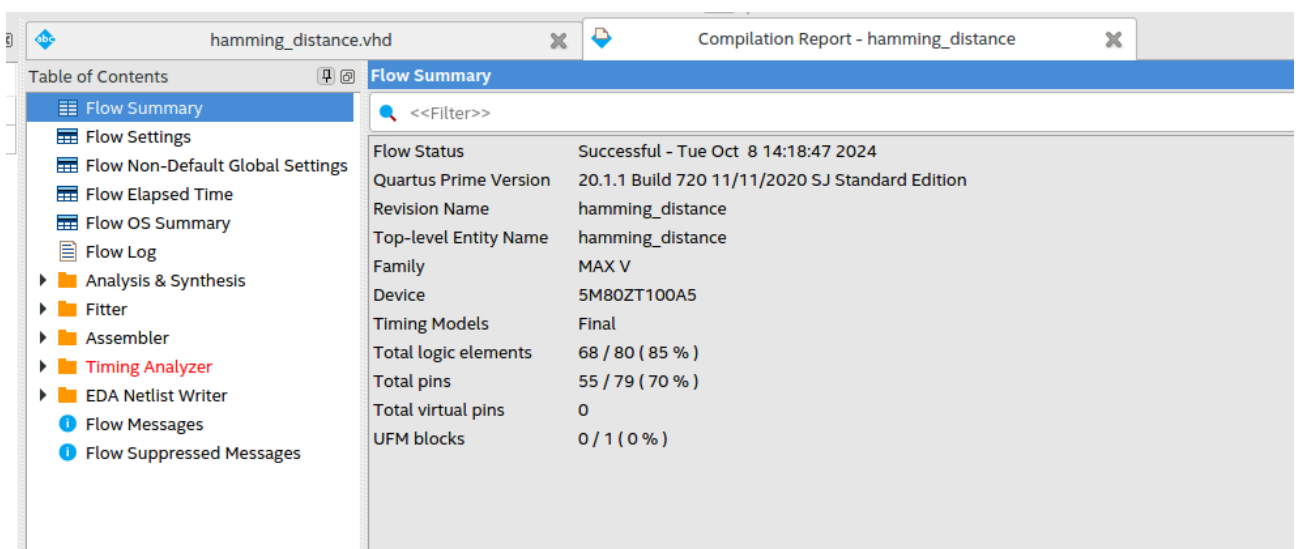
```

1  library ieee;
2  use ieee.std_logic_1164.all;
3  use ieee.numeric_std.all;
4  entity hamming_distance is
5  generic (
6      N:    natural := 25;
7      M:    natural := 5; -- M = ceil(log2(N))
8  )
9  port(
10     a, b : in std_logic_vector (N-1 downto 0);
11     y : out std_logic_vector (M-1 downto 0));
12 end entity;
13 architecture ifsc_arch_gen of hamming_distance is
14     signal diff: unsigned (N-1 downto 0);
15     signal sum: unsigned (M-1 downto 0);
16 begin
17     diff <= unsigned(a xor b);
18     process (diff)
19         variable tmp : integer range 0 to N;
20     begin
21         tmp := 0;
22         for i in diff'range loop
23             tmp := tmp + to_integer(unsigned('0' & diff(i)));
24         end loop;
25         sum <= to_unsigned(tmp,M);
26     end process;
27     y <= std_logic_vector(sum);
28 end architecture;
29

```

2.3.2 O número de elementos lógicos e pinos utilizados no projeto foram 55 pinos dos 79 disponíveis, resultando em 70% de uso, e 68 dos 80 elementos lógicos totais.

Elementos utilizados

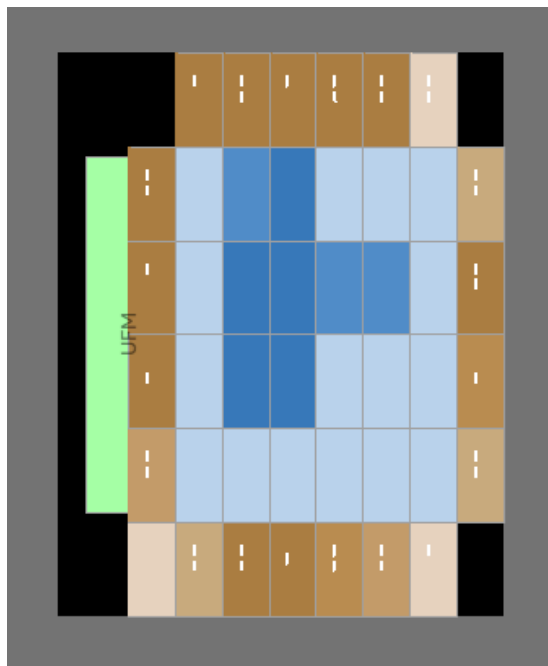


The screenshot shows the 'Flow Summary' window in Quartus Prime. The left sidebar contains a 'Table of Contents' with links to various reports. The main area displays the 'Flow Summary' report, which includes the following information:

Flow Summary	
Flow Status	Successful - Tue Oct 8 14:18:47 2024
Quartus Prime Version	20.1.1 Build 720 11/11/2020 SJ Standard Edition
Revision Name	hamming_distance
Top-level Entity Name	hamming_distance
Family	MAX V
Device	5M80ZT100A5
Timing Models	Final
Total logic elements	68 / 80 (85 %)
Total pins	55 / 79 (70 %)
Total virtual pins	0
UFM blocks	0 / 1 (0 %)

2.3.3 Disposição dos elementos no chip planner.

Chip Planner da Placa Utilizada



2.3.4 Tempo de propagação entre a entrada e a saída em Fast Model e Slow Model.

Fast Model

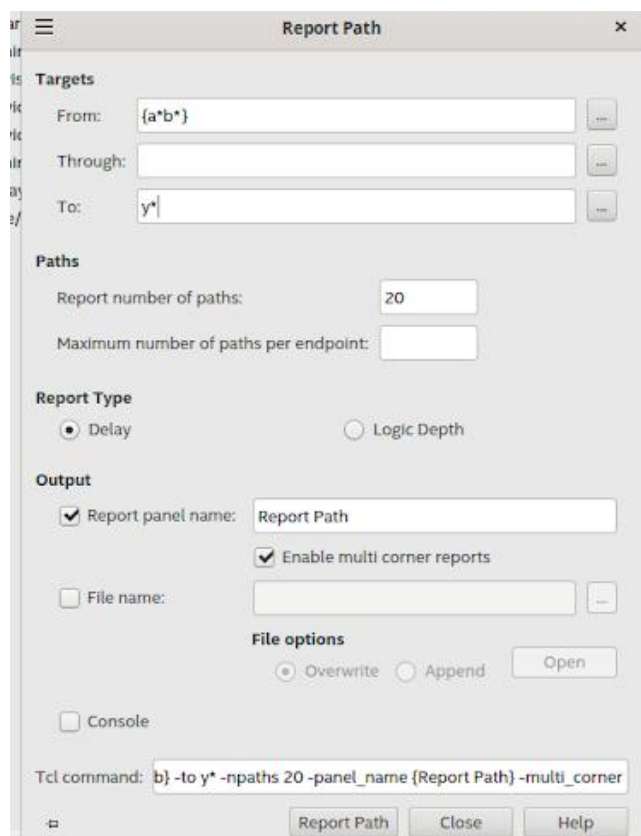
Set Operating Conditions							
<input type="radio"/> Slow Model <input checked="" type="radio"/> Fast Model							
Report							
<input checked="" type="checkbox"/> Timing Analyzer Summary <input checked="" type="checkbox"/> Datasheet Report <input checked="" type="checkbox"/> Slow Model <input checked="" type="checkbox"/> Propagation Delay <input checked="" type="checkbox"/> Minimum Propagation Delay <input checked="" type="checkbox"/> Fast Model							
Tasks							
<input checked="" type="checkbox"/> Report Removal Summary <input checked="" type="checkbox"/> Report Minimum Pulse Width <input checked="" type="checkbox"/> Report Max Skew Summary <input checked="" type="checkbox"/> Report Net Delay Summary <input checked="" type="checkbox"/> Datasheet <input checked="" type="checkbox"/> Report Fmax Summary <input checked="" type="checkbox"/> Report Datasheet							
		Input Port	Output Port	RR	RF	FR	FF
1	a[0]	y[0]	27.935			27.935	
2	a[0]	y[1]	29.025			29.025	
3	a[0]	y[2]	34.386			34.386	
4	a[0]	y[3]	35.941			35.941	
5	a[0]	y[4]	35.597			35.597	
6	a[1]	y[0]	26.582			26.582	
7	a[1]	y[1]	27.672			27.672	
8	a[1]	y[2]	33.033			33.033	
9	a[1]	y[3]	34.588			34.588	
10	a[1]	y[4]	34.244			34.244	
11	a[2]	y[0]	34.678			34.678	
12	a[2]	y[1]	37.605			37.605	
13	a[2]	y[2]	44.071			44.071	
14	a[2]	y[3]	45.626			45.626	
15	a[2]	y[4]	45.282			45.282	
16	a[3]	y[0]	33.675			33.675	
17	a[3]	y[1]	36.598			36.598	
18	a[3]	y[2]	43.064			43.064	
19	a[3]	y[3]	44.619			44.619	
20	a[3]	y[4]	44.275			44.275	
21	a[4]	y[0]	28.866			28.866	
22	a[4]	y[1]	32.730			32.730	
23	a[4]	y[2]	39.196			39.196	
24	a[4]	y[3]	40.751			40.751	
25	a[4]	y[4]	40.407			40.407	

Slow Model

Set Operating Conditions							
<input checked="" type="radio"/> Slow Model <input type="radio"/> Fast Model							
Report							
Timing Analyzer Summary Datasheet Report Slow Model Propagation Delay Minimum Propagation Delay Fast Model							
Tasks							
Report Removal Summary Report Minimum Pulse Width Report Max Skew Summary Report Net Delay Summary Datasheet Report Fmax Summary Report Datasheet							
Input Port	Output Port	RR	RF	FR	FF		
1	a[0]	y[0]	27.935			27.935	
2	a[0]	y[1]	29.025			29.025	
3	a[0]	y[2]	34.386			34.386	
4	a[0]	y[3]	35.941			35.941	
5	a[0]	y[4]	35.597			35.597	
6	a[1]	y[0]	26.582			26.582	
7	a[1]	y[1]	27.672			27.672	
8	a[1]	y[2]	33.033			33.033	
9	a[1]	y[3]	34.588			34.588	
10	a[1]	y[4]	34.244			34.244	
11	a[2]	y[0]	34.678			34.678	
12	a[2]	y[1]	37.605			37.605	
13	a[2]	y[2]	44.071			44.071	
14	a[2]	y[3]	45.626			45.626	
15	a[2]	y[4]	45.282			45.282	
16	a[3]	y[0]	33.675			33.675	
17	a[3]	y[1]	36.598			36.598	
18	a[3]	y[2]	43.064			43.064	
19	a[3]	y[3]	44.619			44.619	
20	a[3]	y[4]	44.275			44.275	
21	a[4]	y[0]	28.866			28.866	
22	a[4]	y[1]	32.730			32.730	
23	a[4]	y[2]	39.196			39.196	
24	a[4]	y[3]	40.751			40.751	

2.3.5 Durante a visualização dos tempos de propagação no Chip Planner foram inseridos os valores {a*b*} para entradas e y* para saídas e definidos 20 caminhos resultando na tabela a seguir. Também foi possível visualizar o tempo de propagação parcial dos dados.

Definição portas de entrada e saída



Report Path

Targets

From: {a*b*}

Through:

To: y*

Paths

Report number of paths: 20

Maximum number of paths per endpoint:

Report Type

☒ Delay ☐ Logic Depth

Output

☒ Report panel name: Report Path

☒ Enable multi corner reports

☐ File name:

File options

☒ Overwrite ☐ Append

☐ Console

Tcl command: b) -to y* -npaths 20 -panel_name {Report Path} -multi_corner

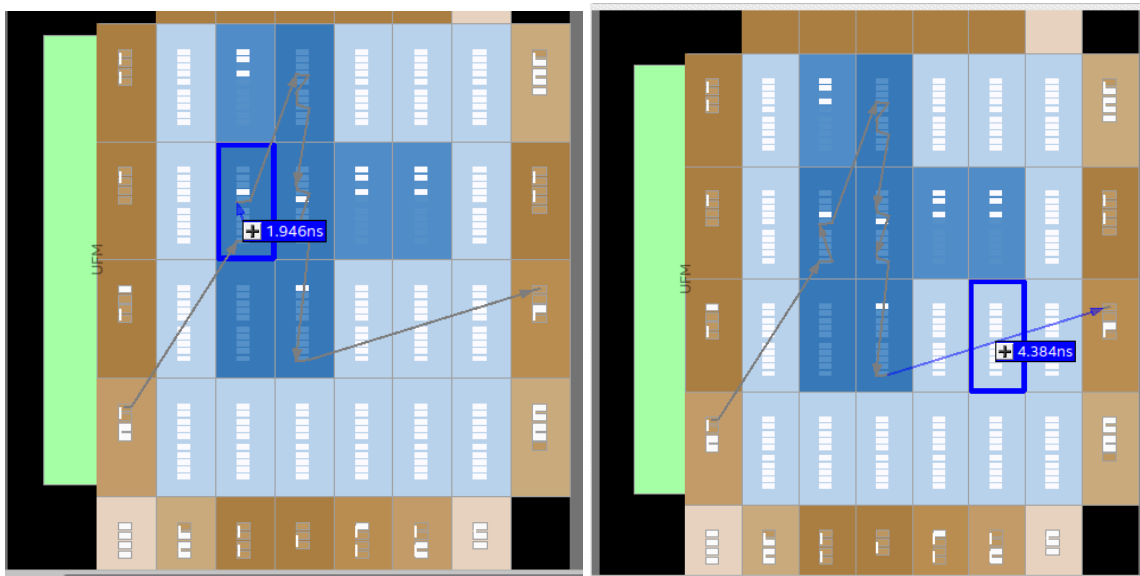


Resultado da Definição

Command Info			Summary of Paths		
Delay	From Node	To Node			
61.172	b[24]	y[4]			
61.145	b[24]	y[4]			
61.132	b[24]	y[4]			
61.132	b[24]	y[4]			
61.116	b[24]	y[4]			
61.106	b[24]	y[4]			
61.105	b[24]	y[4]			

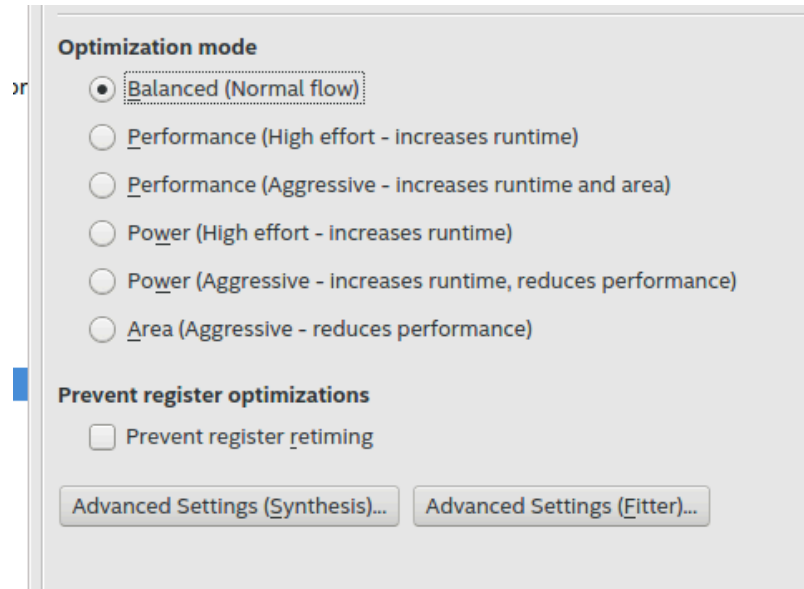
Path #1: Delay is 61.172							Path #1: Delay is 61.172						
Path Summary			Statistics				Path Summary			Statistics			
Total	Incr	RF	Type	Fanout	Location	Element	Total	Incr	RF	Type	Fanout	Location	Element
61.172	61.172					data path	61.172	61.172					data path
0.000	0.000			1	PIN_18	b[24]	0.000	0.000			1	PIN_18	b[24]
1.025	1.025	RR	CELL	2	IOC_X1_Y1_N0	b[24]combout	1.025	1.025	RR	CELL	2	IOC_X1_Y1_N0	b[24]combout
11.103	10.078	RR	IC	1	LC_X3_Y3_N9	Add0-0 dataab	11.103	10.078	RR	IC	1	LC_X3_Y3_N9	Add0-0 dataab
13.034	1.931	RR	CELL	2	LC_X3_Y3_N9	Add0-0 combout	13.034	1.931	RR	CELL	2	LC_X3_Y3_N9	Add0-0 combout
14.980	1.946	RR	IC	1	LC_X3_Y3_N4	Add1-0 dataab	14.980	1.946	RR	IC	1	LC_X3_Y3_N4	Add1-0 dataab
15.418	0.438	RR	CELL	3	LC_X3_Y3_N4	Add1-0 combout	15.418	0.438	RR	CELL	3	LC_X3_Y3_N4	Add1-0 combout
22.547	7.129	RR	IC	1	LC_X4_Y4_N3	Add3-6 dataab	22.547	7.129	RR	IC	1	LC_X4_Y4_N3	Add3-6 dataab
24.794	2.247	RR	CELL	1	LC_X4_Y4_N3	Add3-6 combout	24.794	2.247	RR	CELL	1	LC_X4_Y4_N3	Add3-6 combout
26.607	1.813	RR	IC	3	LC_X4_Y4_N5	Add5-0 dataab	26.607	1.813	RR	IC	3	LC_X4_Y4_N5	Add5-0 dataab
29.025	2.418	RR	CELL	1	LC_X4_Y4_N5	Add5-0 cout0	29.025	2.418	RR	CELL	1	LC_X4_Y4_N5	Add5-0 cout0
29.025	0.000	RR	IC	2	LC_X4_Y4_N6	Add5-5 cin0	29.025	0.000	RR	IC	2	LC_X4_Y4_N6	Add5-5 cin0
29.185	0.160	RR	CELL	1	LC_X4_Y4_N6	Add5-5 cout0	29.185	0.160	RR	CELL	1	LC_X4_Y4_N6	Add5-5 cout0
29.185	0.000	RR	IC	2	LC_X4_Y4_N7	Add5-10 cin0	29.185	0.000	RR	IC	2	LC_X4_Y4_N7	Add5-10 cin0
30.278	1.093	RR	CELL	1	LC_X4_Y4_N7	Add5-10 combout	30.278	1.093	RR	CELL	1	LC_X4_Y4_N7	Add5-10 combout
38.782	8.504	RR	IC	3	LC_X4_Y3_N2	Add11-10 dataab	38.782	8.504	RR	IC	3	LC_X4_Y3_N2	Add11-10 dataab

Exemplos de Valores de Propagações Parciais

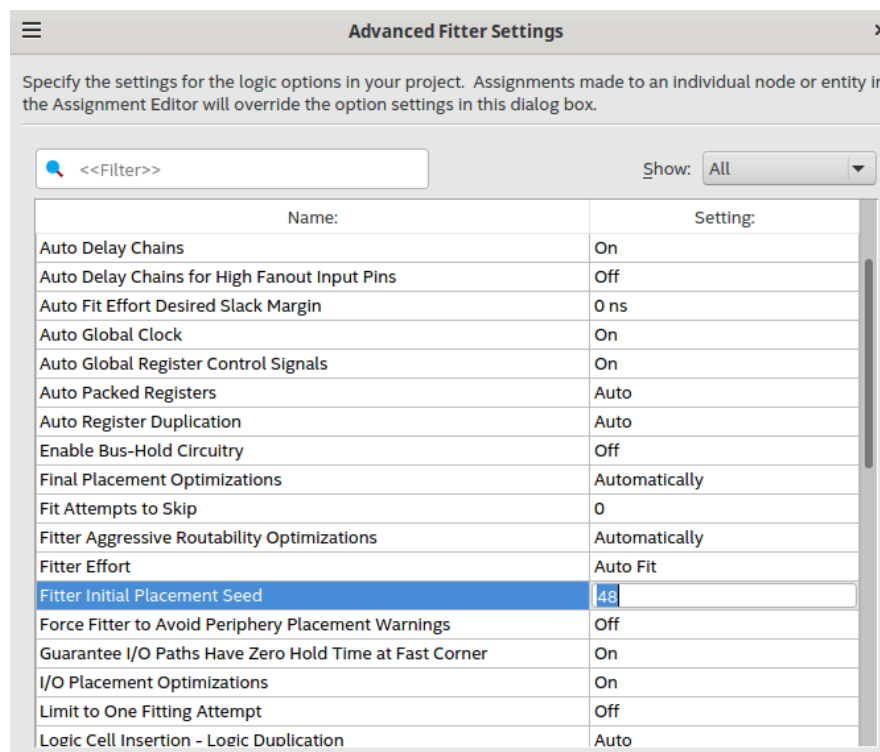


2.3.6 As configurações do compilador podem ser alteradas, com opções visando velocidade ou performance. Nessa etapa foi alterado o Fitter Initial Placement Seed de 1 para 48.

Menu de Configurações

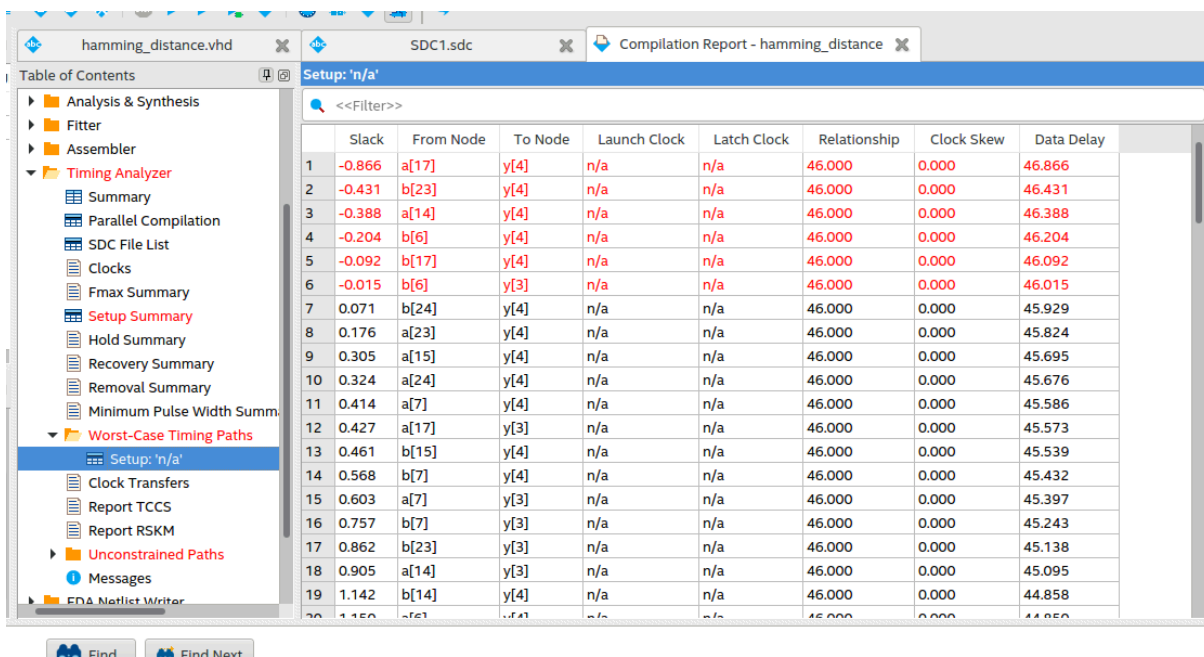


Fitter Initial Placement Seed em 48



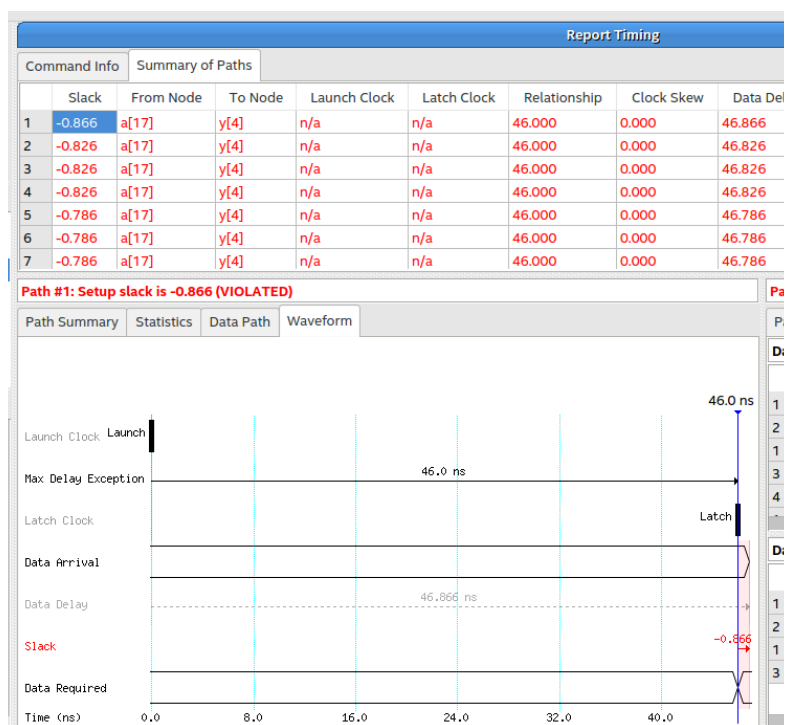
2.3.7 Ao limitar o tempo máximo de delay para 46 ns ocorre um erro pois o processo supera esse tempo, demonstrado em número vermelhos. A Waveform demonstra em gráfico os nanosegundos excedentes do processo, sendo esses 0,866.

Processos com Erro



	Slack	From Node	To Node	Launch Clock	Latch Clock	Relationship	Clock Skew	Data Delay
1	-0.866	a[17]	y[4]	n/a	n/a	46.000	0.000	46.866
2	-0.431	b[23]	y[4]	n/a	n/a	46.000	0.000	46.431
3	-0.388	a[14]	y[4]	n/a	n/a	46.000	0.000	46.388
4	-0.204	b[6]	y[4]	n/a	n/a	46.000	0.000	46.204
5	-0.092	b[17]	y[4]	n/a	n/a	46.000	0.000	46.092
6	-0.015	b[6]	y[3]	n/a	n/a	46.000	0.000	46.015
7	0.071	b[24]	y[4]	n/a	n/a	46.000	0.000	45.929
8	0.176	a[23]	y[4]	n/a	n/a	46.000	0.000	45.824
9	0.305	a[15]	y[4]	n/a	n/a	46.000	0.000	45.695
10	0.324	a[24]	y[4]	n/a	n/a	46.000	0.000	45.676
11	0.414	a[7]	y[4]	n/a	n/a	46.000	0.000	45.586
12	0.427	a[17]	y[3]	n/a	n/a	46.000	0.000	45.573
13	0.461	b[15]	y[4]	n/a	n/a	46.000	0.000	45.539
14	0.568	b[7]	y[4]	n/a	n/a	46.000	0.000	45.432
15	0.603	a[7]	y[3]	n/a	n/a	46.000	0.000	45.397
16	0.757	b[7]	y[3]	n/a	n/a	46.000	0.000	45.243
17	0.862	b[23]	y[3]	n/a	n/a	46.000	0.000	45.138
18	0.905	a[14]	y[3]	n/a	n/a	46.000	0.000	45.095
19	1.142	b[14]	y[4]	n/a	n/a	46.000	0.000	44.858

Waveform



2.4 Passo 4

Simulação Cálculo da Distância de Hamming com o Quartus e ModelSim.

2.4.1 Para a simulação foram usados os seguintes parâmetros de a e b seguido dos resultados esperados:

a=0100 b=0011 y=3

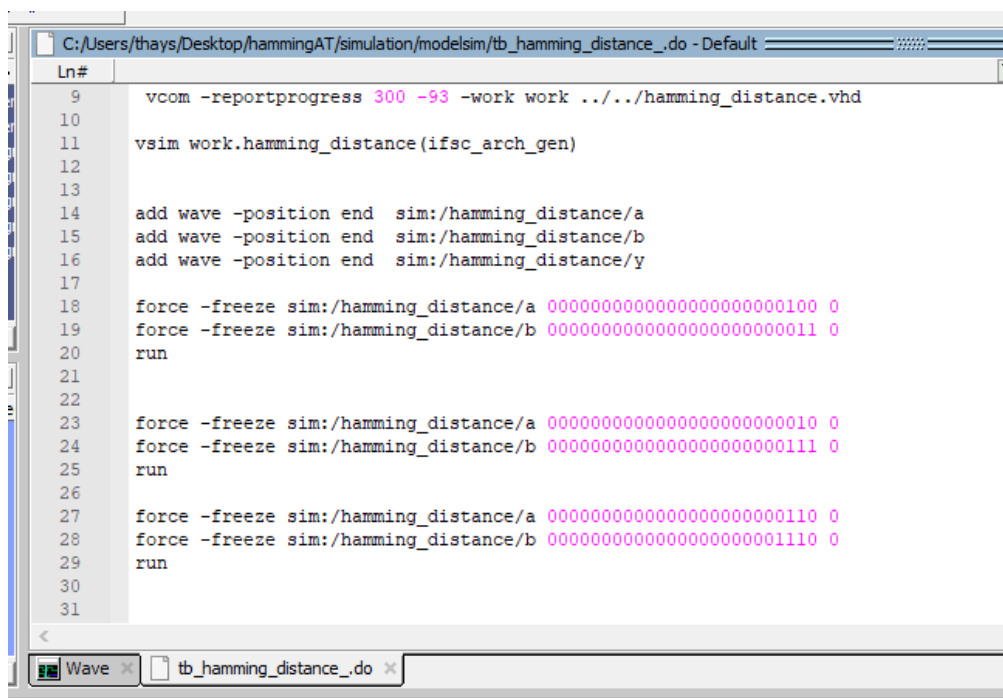
a=0010 b=0111 y=2

a=0110 b=1110 y=1

Números retirados da página Wikipédia linkada no guia.

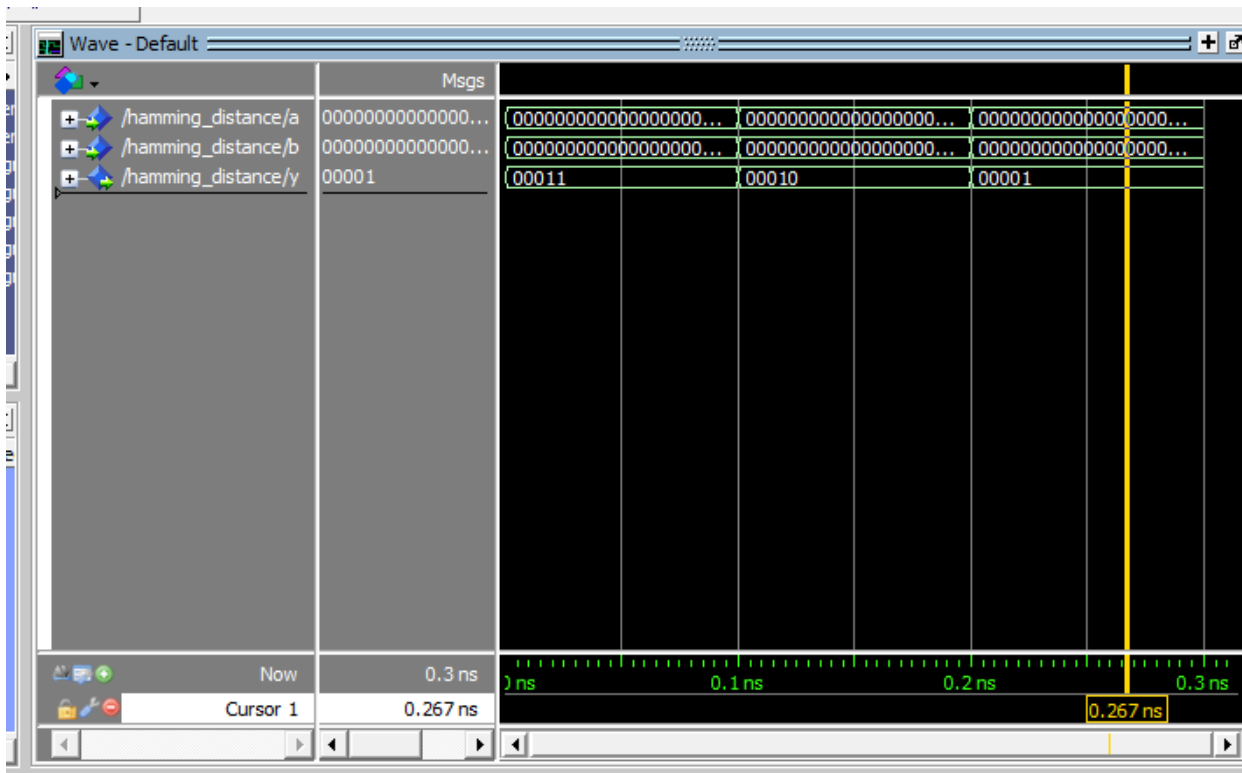
Os resultados esperados foram atingidos conforme as imagens a seguir:

Imagem Script



```
Ln#
9      vcom -reportprogress 300 -93 -work work ../../hamming_distance.vhd
10
11     vsim work.hamming_distance(ifsc_arch_gen)
12
13
14     add wave -position end    sim:/hamming_distance/a
15     add wave -position end    sim:/hamming_distance/b
16     add wave -position end    sim:/hamming_distance/y
17
18     force -freeze sim:/hamming_distance/a 000000000000000000000100 0
19     force -freeze sim:/hamming_distance/b 000000000000000000000011 0
20     run
21
22
23     force -freeze sim:/hamming_distance/a 000000000000000000000010 0
24     force -freeze sim:/hamming_distance/b 000000000000000000000011 0
25     run
26
27     force -freeze sim:/hamming_distance/a 000000000000000000000011 0
28     force -freeze sim:/hamming_distance/b 000000000000000000000011 0
29     run
30
31
```

Imagem Ondas



3. Conclusão

Após o término da atividade pode-se concluir que a plataforma do Quartus é completa e possui diversos tipos de análises para a construção de um bom circuito. Todos os dados analisados são cruciais para a construção de um dispositivo, desde a análise de sua funcionalidade até possíveis contratempos a serem avaliados para a construção final.

A atividade conclui-se atingindo os objetivos propostos de configuração e análise de circuitos digitais.

4. Referências

Conhecendo os dispositivos lógicos programáveis - QUARTUS PRIME. Disponível em: <https://wiki.sj.ifsc.edu.br/index.php/Conhecendo_os_dispositivos_l%C3%B3gicos_program%C3%A1veis_-_QUARTUS_PRIME>. Acesso em: 9 out. 2024.

Medição de tempos de propagação em circuitos combinacionais - Quartus Prime. Disponível em: <https://wiki.sj.ifsc.edu.br/index.php/Medi%C3%A7%C3%A3o_de_tempos_de_propaga%C3%A7%C3%A3o_em_circuitos_combinacionais_-_Quartus_Prime>. Acesso em: 9 out. 2024

WIKIPEDIA CONTRIBUTORS. Hamming distance. Disponível em: <https://en.wikipedia.org/w/index.php?title=Hamming_distance&oldid=1223925757>.