					İ
指令	状态 IF(000)	状态 ID(001)	状态 EXE(110)	状态 WB(111)	
add			C←A+B(检测溢出)		
sub			C←A-B(检测溢出)		
addu			C←A+B(忽略溢出)		
subu			C←A-B (忽略溢出)		
and			C←A&B		
or			C←A B		
xor			C←A^B		
nor			C ← ~(A B)	reg[rd]←C	
sll			C←B< <sa< td=""><td>reg_{[l}a] (c</td><td></td></sa<>	reg _{[l} a] (c	
srl			C←B>>sa (logical)		
sra			C←B>>sa (arithmetic)		
sllv			C←B< <a< td=""><td></td><td></td></a<>		
srlv			C←B>>A (logical)		
srav		A←reg[rs] B←reg[rt] C← PC+((sign)imm<<2)	C←B>>A (arithmetic)		
slt			C← (A <b) (有符号数)="" ?1:0<="" td=""><td></td><td></td></b)>		
sltu	IR←mem[PC]		C← (A <b) (无符号数)="" ?1:0<="" td=""><td></td><td></td></b)>		
addiu			C←A+(sign) imm		
audiu			(检测溢出)		
addi			C←A+(zero)imm		
auui			(忽略溢出)		
andi	PC←PC+4		C←A&(zero)imm	reg[rt]←C	
ori			C←A (zero)imm	regirijec	
xori			C←A^(zero)imm		
lui			C←imm<<16		
slti			C←(A<(sign)imm)?1:0		
sltiu			C←(A<(zero)imm)?1:0		
指令			状态 EXE(010)	状态 MEM(011)	
SW				mem[C]←B	
指令			C←A+(sign)imm		状态 WB(100)
lw				DR←mem[C]	reg[rt]←DR
指令			状态 EXE(101)		
beq			if(A==B) pc←C		
bne			if(A!=B) pc←C		
bltz			if(A<0) pc←C		
j		PC← {PC[31:28],addr, 2' b0}		•	
ial		reg[31]←PC			
jal		PC← {PC[31:28],addr, 2′ b0}			
jr		PC←reg[rs]			
halt		PC←PC-4			