

# 目录

【注】确认收货后评价+带 3 图以上联系客服加 VIP 群 圆梦工大

序.....	1
目录.....	6
<b>期末试题部分</b> .....	8
西北工业大学 2004-2005 学年第一学期期末考试 .....	8
西北工业大学 2006-2007 学年第一学期期末考试 .....	10
西北工业大学 2009-2010 学年第一学期期末考试(教育实验学院).....	13
西北工业大学 2011-2012 学年第一学期期末考试(教育实验学院).....	15
西北工业大学 2012-2013 学年期末考试.....	16
西北工业大学 2012-2013 学年第一学期期末考试(教育实验学院).....	18
西北工业大学 2013-2014 学年第一学期期末考试 .....	20
西北工业大学未知年份期末考试(一) .....	22
西北工业大学未知年份期末考试(二) .....	23
西北工业大学未知年份期末考试(三) .....	25
西北工业大学未知年份期末考试(四) .....	27
西北工业大学未知年份期末考试(五) .....	28
西北工业大学期末考试试题(软微 A 卷).....	30
西北工业大学期末考试试题(软微 B 卷) .....	32
南京大学计算机系统基础 2014-2015 学年第一学期期末考试(A 卷/开卷).....	34
南京大学计算机系统基础 2015-2016 学年第一学期期末考试(A 卷/开卷).....	37
<b>历年真题部分</b> .....	43
西北工业大学 2001 年研究生入学考试 .....	43
西北工业大学 2002 年研究生入学考试(460) .....	44
西北工业大学 2003 年研究生入学考试(460) .....	47
西北工业大学 2004 年研究生入学考试(814) .....	49
西北工业大学 2004 年研究生入学考试(401) .....	50
西北工业大学 2004 年研究生入学考试(401) .....	51
西北工业大学 2007 年研究生入学考试(814) .....	53
2009 年研究生入学考试计算机统考 408.....	54
2010 年研究生入学考试计算机统考 408.....	57
2011 年研究生入学考试计算机统考 408.....	59
西北工业大学 2012 年研究生入学考试(801) .....	62
西北工业大学 2013 年研究生入学考试(801) .....	62
西北工业大学 2015 年研究生入学考试(801) .....	63
西北工业大学 2016 年研究生入学考试(801) .....	64
西北工业大学 2017 年研究生入学考试(801) .....	66
西北工业大学 2018 年研究生入学考试(801) .....	67
西北工业大学 2019 年研究生入学考试(801) .....	68
西北工业大学 2020 年研究生入学考试(847) .....	69
西北工业大学 2020 年研究生入学考试(879) .....	71
西北工业大学 2020 年研究生入学考试(801) .....	72

附录.....74

本科生期末试卷一.....74

计算机组成原理期末试题(一).....76

计算机组成原理期末试题(二).....78

计算机组成原理期末试题(三).....83

计算机组成原理期末试题(四).....87

【注】09-11 三年西工大采用 408 统考，这三年 408 刚开始使用。但之后一直采用自命题的方式，所以这三年在出题方向的把握上可能与其他年份有所偏差，仅供参考；上一版附录期末试题(三)是软件学院某年的期末试题，与今年我们收集的软微期末 A 完全一样，故删除并将上一版的(四)改为(三)；另外，04 年有三套真题，应该是软院和计院的，814 和 2 套 401，去年收录的，也不进行更改了；未知年份 1、2、3 是我们整理时多出来的好几部分真题，我们将其重复的删掉，拼凑而成的，所以试卷内容并不十分整齐

# 期末试题部分

## 西北工业大学 2004-2005 学年第一学期期末考试

### 一. 选择题 (每小题 1.4 分, 共 21 分)

- 十进制数 5 的单精度浮点数 IEEE754 代码为\_\_\_\_\_。  
A . 0100 0000 1010 0000 0000 0000 0000 0000    B . 1100 0000 1010 0000 0000 0000 0000 0000  
C . 0110 0000 1010 0000 0000 0000 0000 0000    D . 1100 0000 1011 0000 0000 0000 0000 0000
- 某 SRAM 芯片容量为  $1K \times 4$  位, 除电源和地线外, 该芯片的引出线的最小数目应该是 \_\_\_\_\_。  
A . 16                      B.25                      C.50                      D.23
- 某机器字长 32 位, 存储容量 8MB, 若按双字编址, 它的寻址范围是\_\_\_\_\_。  
A.  $0 \sim 256K - 1$         B.  $0 \sim 512K - 1$     C.  $0 \sim 1M - 1$         D.  $0 \sim 2M - 1$
- 操作数地址存放在寄存器的寻址方式是\_\_\_\_\_。  
A.相对寻址方式    B.变址寄存器寻址方式    C.寄存器寻址方式    D.寄存器间接寻址方式
- 算术右移指令执行的操作是\_\_\_\_\_。  
A.符号为填 0, 并顺次右移 1 位, 最低位移至进位标志位  
B.符号为不变, 并顺次右移 1 位, 最低位移至进位标志位  
C.进位标志位移至符号位, 顺次右移 1 位, 最低位移至进位标志位  
D.符号位填 1, 并顺次右移 1 位, 最低位移至进位标志位
- 微程序控制器中, 机器指令与微指令的关系\_\_\_\_\_。  
A.每一条机器指令由一条微指令来执行    B.每一条机器指令由一段用微指令编成的微程序来解释执行  
C.一段机器指令组成的程序可由一条微指令来执行    D.一条微指令由若干条机器指令组成
- 在关中断状态, 不可响应的中断是\_\_\_\_\_。  
A.硬件中断              B.软件中断              C.可屏蔽中断              D.不屏蔽中断
- 在三种集中式总线仲裁中, 独立请求方式响应时间最快, 但它是\_\_\_\_\_为代价的。  
A. 增加仲裁器开销        B. 增加控制线数        C. 增加仲裁器开销和控制线数    D. 增加总线占用时间
- CPU 响应中断时, 进入“中断周期”采用硬件方法保护并更新程序计数器 PC 内容。而 不是由软件完成, 主要是因为\_\_\_\_\_。  
A.能进入中断处理程序, 并能正确返回源程序    B.节省主存空间  
C.提高处理机速度                      D.易于编制中断处理程序
- 四片 74181ALU 和一片 74182CLA 器件相配合,具有如下进位传送功能\_\_\_\_\_。  
A.行波进位                                      B.组内先行进位, 组间先行进位  
C.组内先行进位, 组间行波进位                      D.组内行波进位, 组间先行进位
- 下列元件中存取速度最快的是\_\_\_\_\_。  
A. Cache                      B.寄存器                      C.内存                      D.外存
- 操作控制器的功能是\_\_\_\_\_。  
A.产生时序信号    B.从主存取出一条指令    C.完成指令操作的译码  
D.取出指令, 完成操作码译码,并产生有关的操作控制信号, 来解释执行该指令
- 从信息流的传送效率来看, 单总线系统工作效率最低, 从吞吐量来看, \_\_\_\_\_最强。  
A.三总线系统    B.单总线系统    C.双总线系统    D.多总线系统

14. 通道对 CPU 的请求形式是\_\_\_\_\_。  
A.自陷                      B.中断                      C.通道命令                      D.跳转指令

15.  $[X]_{补}=1.X_1X_2X_3X_4$ ，当满足\_\_\_\_\_时， $X > -\frac{1}{2}$  成立。  
A. $X_1=1$ ， $X_2\sim X_4$ 至少有一个为 1      B. $X_1=1$ ， $X_2\sim X_4$ 任意  
C. $X_1=0$ ， $X_2\sim X_4$ 至少有一个为 1      D. $X_1=0$ ， $X_2\sim X_4$ 任意

二. 填空题 (每空一分，共 39 分)

- 1. 总线定时是总线系统的核心问题之一，为了同步主方、从方的操作，必须制订 \_\_\_\_\_，通常采用 \_\_\_\_\_ 定时和 \_\_\_\_\_ 定时两种方式。
- 2. 通道与 CPU 分时使用 \_\_\_\_\_，实现了 \_\_\_\_\_ 内部数据处理和 \_\_\_\_\_ 的并行工作。
- 3. 74818 是采用先行进位方式的 4 位并行加法器，74182 是实现 \_\_\_\_\_ 进位的进位逻辑。若某计算机系统字长为 64 位，每四位构成一个小组，每四个小组构成一个大组，为实现小组内并行，大组内并行，大组间串行进位方式，其需要 \_\_\_\_\_ 片 74181 和 \_\_\_\_\_ 片 74182。
- 4. 动态半导体存储器的刷新一般有 \_\_\_\_\_、 \_\_\_\_\_、 \_\_\_\_\_ 三种方式。
- 5. 中断请求的优先排队可归纳为两大类，它们是 \_\_\_\_\_ 和 \_\_\_\_\_，程序中断方式适用于 \_\_\_\_\_ 场合。
- 6. 一个定点数由 \_\_\_\_\_ 和 \_\_\_\_\_ 两部分组成。根据小数点位置不同，定点数有纯小数和 \_\_\_\_\_ 两种表示方法。
- 7.  $\{(26)_{16} \vee (63)_{16}\} \oplus (135)_8$  的值是 \_\_\_\_\_。
- 8. Cache 是一种 \_\_\_\_\_ 存储器，是为了解决 CPU 和主存之间 \_\_\_\_\_ 不匹配而采用的一项重要硬件技术。现发展为 \_\_\_\_\_ 体系。
- 9. 一个较完善的指令系统应包 \_\_\_\_\_ 类指令， \_\_\_\_\_ 类指令， \_\_\_\_\_ 类指令，程序控制类指令，I/O 类指令，字符串类指令，系统控制类指令。
- 10. 为了解决多个 \_\_\_\_\_ 同时竞争总线， \_\_\_\_\_ 必须具有 \_\_\_\_\_ 部件。
- 11. DMA 控制器按其 \_\_\_\_\_ 结构，分为 \_\_\_\_\_ 型和 \_\_\_\_\_ 型两种。
- 12. 闪速存储器能提供高性能、低功耗、高可靠性以及 \_\_\_\_\_ 能力，为现有的 \_\_\_\_\_ 体系结构带来巨大变化，因此作为 \_\_\_\_\_ 用于便携式电脑中。
- 13. 外部设备接口的主要功能是 \_\_\_\_\_、 \_\_\_\_\_、和 \_\_\_\_\_。
- 14. 生成多项式  $G(X)=X^4+X^1+X^0$  对应的二进制编码为 \_\_\_\_\_，以此多项式进行 CRC 编码，其校验位的位数是 \_\_\_\_\_ 位。

三. 应用题 (共 40 分)

1. (6 分) 已知:  $x=0.1011$ ,  $y=-0.0101$ , 求:  $[\frac{1}{2}x]_{补}$ ,  $[\frac{1}{4}x]_{补}$ ,  $2[-x]_{补}$ ,  $[\frac{1}{2}y]_{补}$ ,  $[\frac{1}{4}y]_{补}$ ,  $2[-y]_{补}$ 。

2. (6 分) 指令格式如下所示，OP 为操作码字段，试分析指令格式的特点。

15	10	7	4	3	0
OP		源寄存器		基值寄存器	

3. (8 分) 某计算机主频为 200MHz, 每个指令周期平均为 2.5 个 CPU 周期, 每个 CPU 周期平均包括 2 个主频周期, 问该机平均指令执行速度是多少? 若主频不变, 但每条指令平均包括 5 个 CPU 周期, 每个 CPU 周期又包 4 个主频周期, 问平均指令执行速度是多少?

4. (20 分) 用 16 K×1 位的 DRAM 芯片构成 64K×8 位的存储器, 要求:

- (1) 求总共需要多少片 DRAM 芯片; (4 分)
- (2) 画出该存储体组成的连接示意图; (6 分)
- (3) 写出各芯片和的形成条件 (4 分)
- (4) 设存储器读/写周期均为 0.5μs, CPU 在 1μs 内至少要访存一次。试问采用哪种刷新方式比较合理? 两次刷新的最大时间间隔是多少? 对全部存储单元刷新一遍, 所需实际刷新时间是多少? (6 分)

## 西北工业大学 2006-2007 学年第一学期期末考试

### 一.选择题(每小题 1 分, 共 10 分)

1. 下列不同进位计数制的数中, 最大的数是\_\_\_\_  
A.(0.101)<sub>2</sub>    B.(0.62)<sub>10</sub>    C.(0.52)<sub>8</sub>    D.(0.75)<sub>16</sub>
2. 在机器数\_\_\_\_中, 零的表示是惟一的。  
A.原码    B.补码    C.移码    D.反码
3. 某 SRAM 芯片容量为 512×8 位, 除电源和地线外, 该芯片引出线的最小数目应是\_\_\_\_。  
A.23    B.25    C.50    D.19
4. 某机字长 32 位, 存储容量 64MB, 若按字编址, 它的寻址范围是\_\_\_\_。  
A.0—8M-1    B.0—2M-1    C.0—16M-1    D.0—2MB-1
5. 主存的任一数据块均可映射到 Cache 的任一块位置, 这种映射方式是\_\_\_\_。  
A.直接映射    B.全相联映射    C.组相连映射
6. 在定点运算器中, 无论采用双符号位或单符号位, 必须有\_\_\_\_, 它一般用\_\_\_\_来实现。

- A.译码电路,与非门    B.编码电路,或非门    C.溢出判断电路 异或门    D.移位电路,与或非门
- 7.与微指令的执行周期对应的是\_\_\_\_\_。
- A.指令周期    B.机器周期    C.节拍周期    D.时钟周期
- 8.同步传输之所以比异步传输具有较高的传输频率是因为同步传输\_\_\_\_\_。
- A.不需要应答信号    B.总线长度较短
- C.用一个公共时钟信号进行同步    D.各部件存取时间较为接近
- 9.为协调计算机系统各部件工作,需要一种器件来提供统一的时钟标准,这个器件是\_\_\_\_\_。
- A.总线缓冲器    B.总线控制器    C.时钟发生器    D.操作命令产生器
- 10.CPU 响应中断时,进入“中断周期”,采用硬件方法保护并更新程序计数器 PC 内容,而不是由软件完成,主要是为了\_\_\_\_\_。
- A.能进入中断处理程序并正确返回源程序    B.节省主存空间
- C.提高处理机速度    D.易于编制中断处理程序

## 二.填空题(每空 1 分,共 20 分)

- 1.在 I/O 设备单独编制的方式中,输入输出操作使用\_\_\_\_\_指令实现,输入/输出设备和内存的访问将使用\_\_\_\_\_的控制总线。
- 2.隐含寻址是指令格式中不明确给出\_\_\_\_\_,而是隐含指定,通常将\_\_\_\_\_作为隐含地址。
- 3.I/O 指令的基本功能包括\_\_\_\_\_,\_\_\_\_\_和实现数据交换等三个方面。
- 4.在微程序控制器中,一般采用较简单的\_\_\_\_\_,\_\_\_\_\_二级时序体制。
- 5.总路线定时是总路线系统的核心问题之一。为了同步主方、从方的操作,必须制订\_\_\_\_\_。通常采用\_\_\_\_\_定时和\_\_\_\_\_定时两种方式。
- 6.74181 是采用先行进位方式的 4 位并行加法器,74182 是实现\_\_\_\_\_进位的进位逻辑。若某计算机系统字长为 64 位,每四位构成一个小组,每四个小组构成一个大组,为实现小组内并行、大组内并行,大组间串行进位方式,共需要\_\_\_\_\_片 74181 和\_\_\_\_\_片 74182。
- 7.动态半导体存储器的刷新一般有\_\_\_\_\_,\_\_\_\_\_和\_\_\_\_\_三种方式。
- 8.当  $0 > X > -1$  时,使等式  $[X]_{补} = [X]_{原}$  成立的 X 值的十进制数是\_\_\_\_\_。
- 9.计算机中的信息流主要有\_\_\_\_\_和\_\_\_\_\_两种。

## 三.简答题(每小题 4 分,共 20 分)

- 1.在计算机中,CPU 是如何区别指令和数据的?
- 2.冯·诺依曼计算机体系结构的基本思想是什么?
- 3.中断控制方式与 DMA 方式有何区别?

4.先行进位(超前进位)解决的问题和基本思想是什么？

5.同步通信与异步通信的区别。

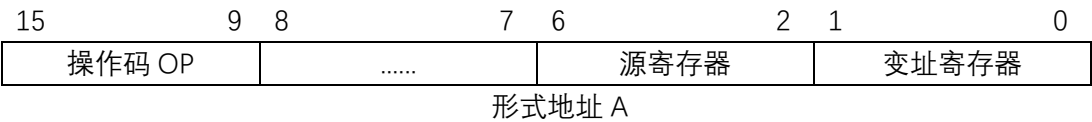
四.计算应用题(共 50 分)

1.(12 分)已知  $X = -0.01111$ ,  $Y = +0.11001$ , 求  $[X]_{\text{补}}$ ,  $[\frac{1}{2} X]_{\text{补}}$ ,  $[\frac{1}{4} X]_{\text{补}}$ ,  $[Y]_{\text{补}}$ ,  $[-Y]_{\text{补}}$ ,  $[\frac{1}{2} Y]_{\text{补}}$ ,  $[\frac{1}{4} Y]_{\text{补}}$ ,  $X+Y=?$ ,  $X-Y=?$

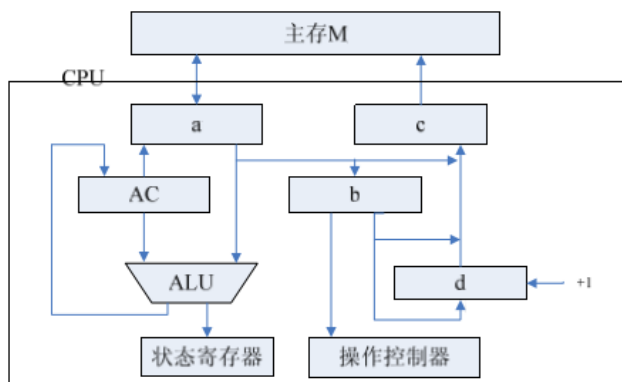
2.(15 分)用  $64K \times 1$  位的 DRAM 芯片构成  $256K \times 8$  位的存储器。要求：

- (1)计算共需多少芯片？并画出存储器组成的逻辑框图。
- (2)较存储器读/写周期均为  $0.5\mu s$ , CPU 在  $1\mu s$  内至少要访存一次。试问采用哪种刷新方式较合理？两次刷新的最大时间间隔是多少？若对全部存储单元刷新一遍, 所需刷新时间是多少？(注：该芯片由 4 个独立的  $128 \times 128$  的矩阵构成, 并可同时刷新。)

3.(9 分)指令格式如下所示, OP 为操作码字段, 试分析指令格式的特点。



- (1) 标明图中四个寄存器的名称。
- (2) 简述指令从主存取到控制器的数据通路。
- (3) 简述数据在运算器和主存之间进行存/取访问的数据通路。





该系统可以跟踪到每秒多少次中断请求？。(5 分)

四、(12 分) 设某机主存容量为 16MB, Cache 的容量为 8KB。每字块有 8 个字, 每字 32 位。设计一个四路组相联映射 (即每个 Cache 组内有 4 个 Cache 字块) 的 Cache 组织。

(1) 主存采用字节编址, 画出主存地址字段中各段的位数。(5 分)

(2) 设 Cache 初态为空, CPU 依次从主存第 0, 1, 2, ..., 99 号单元读出 100 个字 (主存一次读出 1 个字), 并重复此次序读 10 次, 问命中率是多少? 若 Cache 的速度是主存速度的 5 倍, 试问有 Cache 和无 Cache 相比, 速度提高多少倍? 系统的效率为多少? (7 分)

五、(10 分) 今有四级流水线, 分别完成取指 (IF)、译码并取数 (ID)、执行 (EX)、写结果 (WR) 4 个步骤。假设完成各步操作的时间依次是 90ns、90ns、60ns、45ns。

(1) 流水线的时钟周期应取何值? (4 分)

(2) 若相邻的指令发生数据相关, 那么第 2 条指令安排推迟多少时间才能不发生错误? 若相邻两指令发生数据相关, 为了不推迟第 2 条指令的执行, 可采取什么措施? (6 分)

六、(18 分) 设某计算机配有基址寄存器和变址寄存器, 采用一地址格式的指令系统, 允许直接寻址和间接寻址, 且指令字长、机器字长和存储字长均为 16 位。采用单字长指令, 共能完成 47 种操作。该机共有 52 个微操作控制信号, 构成 5 个相斥类的微命令组, 各组分别包含 5、8、2、15、22 个微命令, 已知可判定的外部条件有两个, 微指令字长 28 位。

(1) 画出其指令格式并说明各字段的含义, 指令可直接寻址的范围是多少? 一次间接寻址的寻址范围是多少? (8 分)

(2) 按水平型微指令格式设计微指令, 要求微指令的下地址字段直接给出后续微指令地址, 控制存储器的容量是多大? (10 分)

# 西北工业大学 2011-2012 学年第一学期期末考试(教育学院)

## 一、解释并比较(4 小题, 每小题 6 分, 共 24 分)

- 1)存取周期与存取时间
- 2)机器字长与指令字长
- 3)基址寻址与变址寻址
- 4)机器周期与指令周期

## 二、简要回答以下问题(3 小题, 每小题 8 分, 共 24 分)

- (1) (8 分)为什么要设置总线判优逻辑(也称总线仲裁)?进行总线仲裁的时机为何?一个完整的总线周期包括哪几个阶段?
- (2) (8 分)程序查询方式和程序中断方式都是通过“程序”传送数据, 两者的区别是什么?CPU 对中断请求和 DMA 请求的响应时间是否相同?为什么?
- (3) (8 分)如何判断定点和浮点补码加减法运算结果是否溢出?如何判断原码和补码定点除法运算结果是否溢出?

## 三、证明题(1 小题, 共 12 分)

1. (12 分) $x, y$  为小数, 证明 $[X]_{\text{补}} + [Y]_{\text{补}} = [X+Y]_{\text{补}} \pmod{2}$ 。

## 四、应用题(3 小题, 共 40 分)

1. (12 分)设某机主存容量为 4MB, 机器字长为 32 位。Cache 容量为 16KB, 每字块有 8 个字, 每字 32 位, 采用四路组相联映射(即每个 Cache 组内有 4 个 Cache 字块)的 Cache 组织。
  - (1)若主存按字节编址, 按字访问, 地址线和数据线的总和是多少位?若主存采用 8Kx8 位的存储器芯片构成, 共需要这样的存储器芯片多少片?
  - (2)主存采用字节编址, 画出主存地址字段中各段的位数。
  - (3)设 Cache 初态为空, CPU 依次从主存第 0,1,2, ..., 99 号单元读出 100 个字(主存一次读出 1 个字), 并重复

此次序读 10 次, 问命中率是多少?若 Cache 的速度是主存速度的 5 倍, 试问有 Cache 和无 Cache 相比, 速度提高多少倍?系统的效率为多少?

2.(8 分)今有四级流水线, 分别完成取指(IF)、译码并取数(ID)、执行(EX)、写结果(WR)4 个步骤。假设完成各步操作的时间分别是 90ns、90ns、60ns、45ns。

- (1)流水线的时钟周期应取何值?
- (2)若相邻的指令发生数据相关, 那么第 2 条指令安排推迟多少时间才不发生错误?
- (3)若相邻两指令发生数据相关, 为了不推迟第 2 条指令的执行, 可采取什么措施?

3.(20 分)设某计算机配有基址寄存器和变址寄存器, 采用一地址格式的指令系统, 允许直接寻址和间接寻址, 且指令字长、机器字长和存储字长均为 16 位。采用单字长指令, 共能完成 47 种操作。CPU 主频为 20MHz,每个机器周期含 4 个时钟周期, 每条指令的指令周期平均有 2.5 个机器周期。该机共有 52 个微操作控制信号(即微命令), 微指令的编码方式采用字段直接编码方式(即将微指令的操作控制字段分成若干段, 将一组互斥的微命令放在一个字段内, 通过对该字段译码, 就可以得到本组的每一个微命令), 经过分析后将 52 个微操作控制信号分成 5 个相斥类的微命令组, 各组分别包含 5、8、2、15、22 个微命令, 已知可判定的外部条件有两个, 微指令字长 28 位。

(1)画出其指令格式并说明各字段的含义, 指令可直接寻址的范围是多少? -一次间接寻址的寻址范围是多少? (8 分)

(2)试问该机的平均指令执行速度为多少 MIPS? (4 分)

(3)按水平型微指令格式设计微指令, 要求微指令的下地址字段直接给出后续微指令地址, 画出微指令格式并说明各字段的位数, 控制存储器的容量是多大? (8 分)

## 西北工业大学 2012-2013 学年期末考试

### 一.简单题(4x5=20 分)

1.指令和数据都存于存储器中, 计算机如何区分它们?

2.为什么要设置总线判优控制？常见的集中式总线控制有几种？各有何特点？哪种方式响应时间最快？哪种方式对电路故障最敏感？

3.什么是指令周期、机器周期和时钟周期？三者之间有何关系？

4.什么叫刷新？为什么要刷新？说明刷新有几种方法？

## 二.计算题(80 分)

1.设 CPU 共有 16 根地址线，8 根数据线，并用 MREQ (低电平有效)作访存控制信号，R / W 作读写命令信号(高电平为读，低电平为写)。现有下列存储芯片：ROM(2K×8 位，4K×4 位，8K×8 位)，RAM(1K×4 位，2K×8 位，4K×8 位)，及 74138 译码器和其他门电路(门电路自定)。试从上述规格中选用合适芯片，画出 CPU 和存储芯片的连接图。要求：(10 分)(1)最小 4K 地址为系统程序区，4096~16383 地址范围为用户程序区；(2)指出选用的存储芯片类型及数量；(3)详细画出片选逻辑。

2. (10 分)一个 DMA 接口可采用周期窃取方式把字符传送到存储器，它支持的最大批量为 400 个字节。若存取周期为 100ns，每处理一次中断需 5μs，现有的字符设备的传输率为 9600bps。假设字符间的传输是无间隙的，若忽略预处理所需时间，试问 DMA 方式每秒因数据传输需占用处理器多少时间？如果完全采用中断方式，又需占用处理器多少时间？

3.设某机配置有基址寄存器和变址寄存器，采用一地址格式的指令系统，允许直接和间接寻址，且指令字长、机器字长和存储字长均为 16 位。

(1)若采用单字长指令，共能完成 105 种操作，则指令可直接寻址范围是多少？一次间接的寻址范围是多少？画出其指令格式并说明字段的含义。

(2)若存储字长不变, 可采用什么方法直接访问容量为 16MB 的主存?

4.设某机有 4 个中断源 1、2、3、4 【题目不详】

5.(10 分)已知  $x = -0.01111$ ,  $y = +0.11001$ 。求:  $[x]_{\text{补}}$   $[-x]_{\text{补}}$   $[0.25x]_{\text{补}}$   $[y]_{\text{补}}$   $[0.25y]_{\text{补}}$   $x+y=?$   $x-y=?$

6.在异步串行传输系统中, 若字符格式为: 1 位起始位, 8 位数据位, 1 为奇偶校检位, 1 位 终止位, 假设波特率为 1200bps, 求这时的比特率。

7.(5 分)设有一个(7,3)码, 其生成多项式为  $G(x)=x^4+x^3+x^2+1$ , 写出 001 的循环余 数和 CRC 校检码。

8.写出十进制数 0.15625 的单精度浮点数 IEEE754 代码。

## 西北工业大学 2012-2013 学年第一学期期末考试(教育实验学院)

一、(共 18 分, 每小题 3 分)解释下列名词的含义

- 1)机器字长
- 2)总线的主设备
- 3)存取周期
- 4)周期挪用
- 5)寻址方式
- 6)流水线的控制相关

二、(共 24 分, 每小题 4 分)简要回答下列问题

- 1)指令和数据都存于存储器中, 计算机如何区分它们?
- 2)总线在完成一次传输周期时, 分为哪几个阶段?

- 3)为什么 DRAM 需要刷新? 一般有几几种刷新控制方式?
- 4)为什么要设置 IO 接口?
- 5)如何判断定点补码和浮点补码加减运算结构是否溢出?
- 6)什么是指令周期、机器周期和时钟周期?三者有何关系?

三、(6 小题，共 58 分)应用题

- 1)x, y 为纯小数、证明 $[X]_{补}+[Y]_{补}=[X+Y]_{补}(\text{mod}2)$ 。 $([X+Y]_{补}$ 表示 x 与 y 的的和的补码)(10 分)
- 2)下图所示为存储器的地址空间分布留和存储器的地此译码电路，后者可在 A 组跨接端子与 B 组跨接端子之间分别进行接线。74LS139 是 2:4 译码器，使能端 G 接地表示译码器处于正常译码状态。要求:完成 A 组跨接端子与 B 组跨接端子内部的正确连接，以便使地址译码电路按下图的要求正确寻址。(8 分)

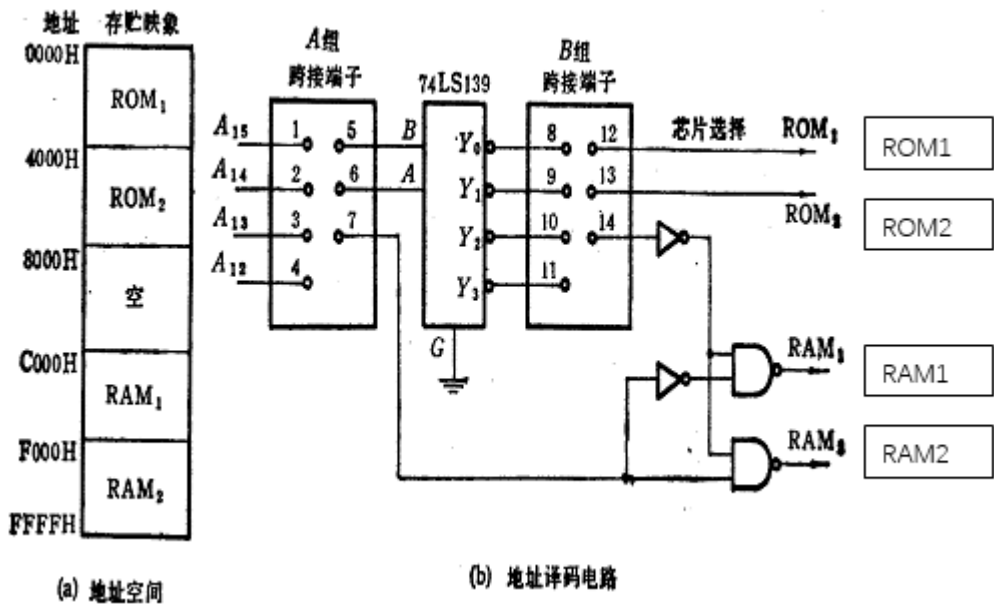


图 存储器地址空向分布译码结构

3)设控制存储器的容量为 512\*40 位，微程序可在整个控存中实现转移，而控制微程序转移的条件共有 6 个，微指令采用水平型格式，后继微指令地址采用断定方式，微指令格式如图所示。试问微指令中的三个字段分别为多少位?画出对应这种微指令格式的微程序控制器逻辑框图并简要介绍每个组成部分的功能。(14 分)

微命令字段	判别测试字段	下地址字段
-------	--------	-------

图微指令格式

4) CPU 执行一段程序时，Cache 完成存取的次数为 3800 次，主存完成存取的次数为 200 次，已知 Cache 存取周期为 50ms,主存存取周期为 250ms, 求 Cache/主存系统的平均访问时间和效率。(6 分)

## 西北工业大学 2013-2014 学年第一学期期末考试

### 一、选择题(每小题 2 分，共 10 分)

- 16 位字长的机器字，采用补码形式表示时，一个字所能表示的定点整数范围是\_\_\_\_\_
 

A)  $-2^{15} \sim +(2^{15}-1)$     B)  $-(2^{15}-1) \sim +(2^{15}-1)$     C)  $-(2^{15}+1) \sim +2^{15}$     D)  $-2^{15} \sim +2^{15}$
- 某 SRAM 芯片，存储容量为 64K\*16 位，该芯片的地址线和数据线数目分别为\_\_\_\_\_
 

A) 64, 16                      B) 16, 64                      C). 64, 8                      D) 16, 16
- 假设总线的时钟频率为 100MHz，总线的传输周期为 4 个时钟周期，总线的宽度为 32 位，则该总线的数据传输率为\_\_\_\_\_
 

A) 100Mbps                  B) 200Mbps                  C) 100MBps                  D) 200MBps
- 某计算机的 CPU 主频为 8MHz，每个机器周期平均含 2 个时钟周期，每条指令的指令周期平均有 2.5 个机器周期，该计算机的平均指令执行速度是\_\_\_\_\_
 

A) 8MIPS                      B) 1.6MIPS                      C) 4MIPS                      D) 2.5MIPS
- 某中断系统中，每抽取一个输入数据就要中断 CPU 一次，中断处理程序接收取样的数据，并将其保存到主存缓冲区内。该中断处理需要 X 秒。另一方面，缓冲区内每存储 N 个数据，主程序就将其取出进行处理，这种处理需要 Y 秒，因此该系统可以跟踪到每秒\_\_\_\_\_次中断请求。
 

A)  $N/(NX+Y)$                   B)  $N/(X+Y)N$                   C)  $\min[1/X,1/Y]$                   D)  $\max[1/X,1/Y]$

### 二、填空题(每小题 1 分，共 24 分)

- 存储\_\_\_\_\_,并按\_\_\_\_\_顺序执行，这是冯·诺依曼型计算机的工作原理。该结构的计算机通常由\_\_\_\_、\_\_\_\_、控制器、输入设备和输出设备等五大部件组成。
- 为了解决多个\_\_\_\_\_同时竞争总线控制权的问题，必须具有总线判优控制。

常见的集中控制优先权仲裁方式有链式查询方式、计数器定时查询方式和\_\_\_\_\_等三种。一个总线周期通常包括申请分配阶段、\_\_\_\_\_、\_\_\_\_\_结束阶段等四个阶段。

3. 半导体随机存取存储器(RAM)可分为\_\_\_\_\_和\_\_\_\_\_两大类。后者需要刷新, 刷新是一行行进行的, 通常有\_\_\_\_\_、\_\_\_\_\_和异步刷新等三种方式。

4. 在 CPU 中, 保存当前正在执行的指令的寄存器是\_\_\_\_\_, 保存下一条指令地址的寄存器\_\_\_\_\_。

5. 一个完整的指令周期包括取指、\_\_\_\_\_、\_\_\_\_\_和中断四个子周期。

6. 浮点数由\_\_\_\_\_和尾数两部分组成。在进行浮点加减法运算时, 需要完成\_\_\_\_\_、尾数求和、\_\_\_\_\_、舍入处理和\_\_\_\_\_等步骤。

7. 一个较完善的指令系统应包含\_\_\_\_\_类指令、\_\_\_\_\_类指令、\_\_\_\_\_类指令、\_\_\_\_\_类指令、I/O 类指令、字符串类指令、系统控制类指令等。

### 三、应用题(66 分)

1.(14 分)已知  $x = -0.01111_2$ ,  $y = +0.11001_2$ , 求  $[x]_{\text{补}}$ ,  $[-x]_{\text{补}}$ ,  $[\frac{1}{2}x]_{\text{补}}$ ,  $[y]_{\text{补}}$ ,  $x+y=?$ ,  $x-y=?$

2、(14 分)设某机主存容量为 16MB,按字节编址, Cache 的容量为 8KB.每字块有 8 个字, 每字 32 位。设计一个四路组相联映射(即每个 Cache 组内有 4 个 Cache 字块)的 Cache 组织。

(1) 画出主存地址字段中各段的位数。

(2) 设 Cache 初态为空, CPU 依次从主存第 0, 1, 2, ..., 99 号单元读出 100 个字(主存一次读出 1 个字), 并重复此次序读 10 次, 问命中率是多少?若 Cache 的速度是主存速度的 5 倍, 试问有 Cache 和无 Cache 相比, 速度提高多少倍?系统的效率为多少?

3、(10 分)一个 DMA 接口可采取周期窃取方式把字符传送到存储器, 它支持的最大批量为 400 个字节。若存取周期为 100ns(纳秒),每处理一次中断需 5us(微秒), 现有的字符设备的传输率为 9600bps。假设字符之间的传输是无间隙的, 若忽略预处理所需的时间, 试问采用 DMA 方式每秒因数据传输需占用处理器多少时间?如果完全采用中断方式, 又需占用处理器多少时间?

4、(14 分)设某计算机能完成 110 种操作, CPU 有 8 个通用寄存器(字长 16 位), 主存容量为 4M 字, 采用寄存器-----存储器型指令。

(1) 欲使指令可直接访问主存的任一单元, 指令字长应取多少位?画出指令格式。

(2) 若在上述设计的指令字中设置一寻址特征位 X,且 X=1 时表示某个通用寄存器用作基址寄存器, 画出指令格式。试问基址寻址可否访问主存的任一单元?为什么?如果不能, 提出一种方案, 使其可访问主存的任一单元。

(3) 若主存容量扩大到 4G 字, 且存储字长等于指令字长, 则在不改变上述硬件结构的前提下, 可采用什么方法使指令可访问存储器的任一位置?



5、(14 分)下图所示的处理机逻辑框图中，有两条独立的总线和两个独立的存储器。已知指令存储器 IM 最大容量为 16384 字(字长 18 位)，数据存储器 DM 最大容量是 65536 字(字长 16 位)。各寄存器均有“打入”(R<sub>in</sub>)和“送出”(R<sub>out</sub>)控制命令，但图中未标出。

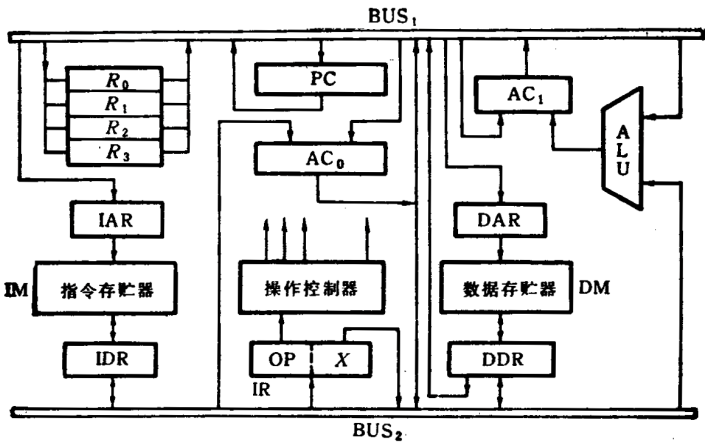
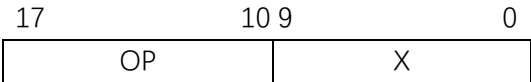


图 1

设处理机指令格式为：



加法指令可写为“ADD X (R<sub>i</sub>)”。其功能是 (AC<sub>0</sub>) + ((R<sub>i</sub>) + X) → AC<sub>1</sub>，其中 ((R<sub>i</sub>) + X) 部分通过寻址方式指向数据存储器，现取 R<sub>i</sub> 为 R<sub>1</sub>。试画出 ADD 指令从取指令开始到执行结束的操作序列图，写明基本操作步骤和相应的微操作控制信号。(12 分)

# 西北工业大学未知年份期末考试(一)

## 一、填空题

- 当  $0 > X > -1$  时，使等式  $[X]_{补} = [X]_{原}$  成立的 X 值的十进制数是\_\_\_\_\_
- 总线定时是总线系统的核心问题之一，为了同步主方、从方的操作，必须制定\_\_\_\_\_。通常采用\_\_\_\_\_定时和\_\_\_\_\_定时两种方式。
- 隐含寻址是指令格式中不明确给出\_\_\_\_\_，而是隐含指定，通常将\_\_\_\_\_作为隐含寻址。
- 74181 是采用先行进位方式的 4 位并行加法器，74182 是实现\_\_\_\_\_进位的进位逻辑。若某计算机系统字长为 64 位，每 4 位构成一个小组，每四个小组构成一个大组，为实现小组内并行、大组内并行，大组间串行进位方式，共需要\_\_\_\_\_片 74181 和\_\_\_\_\_片 74182.
- 动态半导体存储器的刷新一般有\_\_\_\_\_、\_\_\_\_\_和\_\_\_\_\_三种方式。

## 二、问答题

- 总线通信的异步通信方式，没有公共的时钟标准，而是采用应答方式，画图说明异步通信中请求与回答有

哪几种互锁关系？

2、什么是指令周期、机器周期和时钟周期？三者有何关系？

3、说明中断向量地址和入口地址的区别和联系。

4、CPU 对 DMA 请求和中断请求的响应时间是否一样？为什么？

5、程序执行的顺序有几种？CPU 是如何控制程序执行顺序的？

6、请说明冯诺依曼计算机的设计思想和硬件组成，并解释每一组成部分的作用。

7、总线定时解决的问题是什么？有几种方法？每一种方法是如何实现定时的？各有什么优缺点？

8、解释下列存储器的存取方法并举例说明：顺序存储、直接存储、随机存储、关联存储。

9、解释下列有关中断的概念：中断、中断源、中断系统、中断向量、程序中断、多重中断。

二、写出十进制数-5 的单精度浮点数 IEEE754 代码。

三、有一定点小数计算机，其数据字长为 8 位，现有两个数： $X=0.101101$ ， $Y=-0.110011$

要求：(1)  $[Y]_{\text{原}}$ 、 $[Y]_{\text{反}}$ 、 $[Y]_{\text{补}}$ 、 $[-Y]_{\text{补}}$ 、 $[Y]_{\text{移}}$ 、 $[Y]_{\text{BCD}}$

(2) 用补码运算完成  $X+Y$  和  $X-Y$ ，写出运算过程，并分析结果是否正确

四、有一存储系统，Cache 容量 1KB，主存容量 128KB，块大小为 4B，问：

(1) 主存和 Cache 地址各多少位？

(2) 主存和 Cache 各分为多少个块？

(3) 假设 Cache 和主存之间采用直接映像方式，请画出 Cache 和主存的地址表示形式并加以说明，分析 Cache 和主存地址之间的关系。

(4) 在直接映像的方式下，主存的第  $n$  块映像到 Cache 的第几块中？在全相联方式下，主存的第  $n$  块映像到 Cache 的第几块中？

## 西北工业大学未知年份期末考试(二)

### 一、填空

1、在典型的冯诺依曼计算机结构中，指令由\_\_\_\_\_和\_\_\_\_\_组成，前者用来表示操作数的性质，后者用来表示操作数所在存储器中的位置。

2、衡量计算机运算速度的指标中，MIPS 表示\_\_\_\_\_MFLOPS 表示\_\_\_\_\_

3、集中式总线控制有三种优先权仲裁方式，即链式查询、计算器定时查询和独立请求方式三种，其中，\_\_\_\_\_方式对电路故障最敏感，\_\_\_\_\_方式的响应时间最快。

4、随机存储器（RAM）依据存储信息原理的不同，可以分成静态 RAM 和动态 RAM 两类，在同样大小的芯片中，\_\_\_\_\_的集成度高，\_\_\_\_\_需要刷新，刷新的方式有\_\_\_\_\_、\_\_\_\_\_和\_\_\_\_\_方式三种，其中，\_\_\_\_\_方式有可能出现访存“死区”。

5、通常 CPU 执行机器语言访问的寄存器为用户可见寄存器，根据其特征又可以分为：\_\_\_\_\_、

- 数据寄存器、地址寄存器和\_\_\_\_\_。CPU 中还有一类寄存器用于控制 CPU 的操作和运算, 称为\_\_\_\_\_。
- 如存储器地址寄存器、存储器数据寄存器、\_\_\_\_\_和指令寄存器。
- 6、计算机中的信息流主要有\_\_\_\_\_和\_\_\_\_\_两种。
- 7、I/O 指令的基本功能包括\_\_\_\_\_、\_\_\_\_\_和实现数据交换等三个方面。
- 8、设某计算机字长 16 位, 用整数补码表示, 其中第 1 位为符号位, 则该机能表示的最大十进制整数是\_\_\_\_\_, 而能表示的不同数的个数是\_\_\_\_\_个。
- 9、在微程序控制器中, 一般采用较简单的\_\_\_\_\_、\_\_\_\_\_二级时序体制。
- 10、在计算机中广泛采用总线的连接方式, 挂在总线上的主设备是在竞争总线的机制下工作的。总线的仲裁方式可分为\_\_\_\_\_和\_\_\_\_\_两种。
- 11、在 I/O 设备单独编址的方式中, 输入输出操作使用\_\_\_\_\_指令实现, 输入输出设备和内存的访问将使用的控制总线。
- 12、在 CPU 中, 保存当前正在执行的指令的寄存器是\_\_\_\_\_, 保存下一条指令地址的寄存器是\_\_\_\_\_。
- 13、计算机的工作过程主要是\_\_\_\_\_、\_\_\_\_\_和\_\_\_\_\_的过程。
- 14、冯诺依曼计算机的主要设计思想是\_\_\_\_\_。

## 二、简答题

- 1、指令和数据都存储于存储器中, 计算机如何区分它们?
- 2、为什么要设置总线判优控制? 常见的集中式总线控制有几种? 哪种方式响应时间最快? 哪种对电路故障最敏感?
- 3、试从五个方面比较程序中断和 DMA 方式有何区别?
- 4、什么是指令周期、机器周期和时钟周期? 三者有何关系?
- 5、什么叫刷新? 为什么要刷新? 说明刷新有几种方法?

三、1、某机字长为 32 位，某存储容量是 1MB，试问：

- (1) 按字节编址，地址寄存器、数据寄存器各位几位？编址范围为多大？
- (2) 按半字编址，地址寄存器、数据寄存器各位几位？编址范围为多大？
- (3) 按字编址，地址寄存器、数据寄存器各位几位？编址范围为多大？

2、某机器的指令系统字长 24 位，采用扩展操作码，每个操作数地址码长 8 位，指令分为无操作数、单操作数和双操作数三类，若该指令系统已有单操作数指令 M 条，无操作数指令 N 条，问最多有多少条双操作数指令？

## 西北工业大学未知年份期末考试(三)

### 一.简答题

1.什么是存储容量？什么是单元地址？什么是数据字？什么是指令字？

2.什么是指令？什么是程序？

3.用  $16K \times 16$  位的 DRAM 芯片构成  $64K \times 32$  位存储器。问需要多少个这样的 DRAM 芯片？画出该存储器的组成逻辑框图。

4.DRAM 存储器为什么要刷新？

5.主存储器的性能指标有哪些？含义是什么？

6.什么叫指令？什么叫指令系统？

7.假设某计算机指令长度为 20 位，具有双操作数、单操作数、无操作数三类指令格式，每个操作数地址规定用 6 位表示。问：若操作码字段固定为 8 位，现已设计出  $m$  条双操作数指令， $n$  条无操作数指令，在此情况下，这台计算机最多可以设计出多少条单操作数指令？

8.请说明指令周期、机器周期、时钟周期之间的关系

9.说明总线结构对计算机系统性能的影响。

10.总线的一次信息传送过程大致分哪几个阶段？

11.何为总线仲裁？一般采用何种策略进行仲裁，简要说明它们的应用环境。

12.集中式仲裁有哪几种方式？

13.一个计算机系统中的总线，大致分为哪几类？

14.简要描述外设进行 DMA 操作的过程及 DMA 方式的主要缺点

# 西北工业大学未知年份期末考试(四)

## 一、(21 分) 完成下列运算

1 . (14 分) 已知  $X = -65$ ,  $Y = 66$ , 求:

- (1)  $X$  的二进制 ( $X_2$ )、八进制 ( $X_8$ )、十六进制 ( $X_{16}$ )、 $[X]$ 原、 $[X]$ 反、 $[X]$ 补、 $[X]$ 移、 $[X]$ BCD
- (2) 用 8bit 补码计算求  $X+Y=?$ ,  $X-Y=?$ , 并判断结果是否正确。(要求写出运算过程)

2 . (7 分) 用 IEEE754 单精度格式表示下列数:  $-6$ 、 $1/16$

## 二、(52 分) 回答下列问题

1 . (13 分) 请说明 CPU 由哪几部分构成, 每一部分的作用是什么? 通常情况下与指令执行有关的寄存器有哪些? 它们各自的作用是什么?

2 . (10 分) 请说明随机替换策略、FIFO 替换策略、LRU 替换策略的方法和优缺点。

3 . (14 分) 什么是中断? 通常中断周期完成哪些工作? 解释下列术语:

- (1) 中断源
- (2) 中断系统
- (3) 断点
- (4) 向量中断
- (5) 单重中断

4 . (15 分) 为什么要进行总线仲裁? 集中式总线仲裁有哪几种仲裁方法? 请说明每一种仲裁方法是怎样进行仲裁的, 并比较它们的优缺点。

## 三、(10 分) 请画出如下寻址方式的示意图

- (1) 立即寻址
- (2) 直接寻址
- (3) 间接寻址
- (4) 寄存器寻址
- (5) 前变址

四、(10 分) 请用  $4K \times 4\text{bit}$  的 SRAM 芯片, 组成一个  $8K \times 8\text{bit}$  的存储器。画出该存储器与 CPU 连接的示意图。

五、(7 分) 某计算机字长 16 位, 主存容量 64K 字。指令系统共有 60 条指令, 有直接、间接、相对和立即四种寻址方式, 指令为单字长单地址指令。请设计该指令系统的指令格式, 并分析每一种寻址方式的寻址范围。

## 西北工业大学未知年份期末考试(五)

### 一. 名词解释 (每小题 2 分, 共 10 分)

1. 总线
2. DMA
3. 虚拟存储器
4. 动态刷新
5. 微程序

### 二. 填空题

1. 十六进制数  $0A2.4$  的十进制数表示为\_\_\_\_\_。
2. 最大的 16 位二进制数转换成十进制数是\_\_\_\_\_。
3. 十进制数 -57 的补码表示为\_\_\_\_\_。
4. 已知  $[X]_{\text{补}} = 1.101010$ , 则  $[X]_{\text{原}} =$ \_\_\_\_\_。
5. 六位定点小数补码表示的范围是\_\_\_\_\_。
6. 补码加法中只有当\_\_\_\_\_时, 才会产生溢出。
7. 在补码乘法中 (BOOTH 算法), 若乘数判别位为 10, 则下一步的操作是\_\_\_\_\_。
8. 原码出发乘用恢复余数法时, 只有当\_\_\_\_\_才需要恢复余数。
9. 操作数在存储器中, 操作数的偏移地址由寄存器指出, 这是\_\_\_\_\_寻址方式。

10.SRAM 是用\_\_\_\_\_存储的 0, 1 信息。DRAM 是用\_\_\_\_\_存储 0, 1 信息的。

11.64K×16 位的 SRAM 芯片需要\_\_\_\_\_条地址域, \_\_\_\_\_位数据域。

12.CPU 中用来指示下一条指令的地址的部件是\_\_\_\_\_。

### 三. 简答题

1.何谓浮点规格化? 浮点加减运算分为哪几步? 简述各步的操作规则。

2.何谓存储的层次结构? 各层分别解决什么问题? 增加 CACHE 的目的是什么?

3.半导体存储器分为哪几类? 简述各类存储器的特点。

4.在 PC 机中何谓逻辑地址? 何谓物理地址? 如何将逻辑地址变换为物理地址?

5.简述控制器的功能和各组成部分的作用。



6.控制器通常分为哪两种？简述各类控制器的含义及特点。

#### 四. 计算题

设一个具有 16 位地址和 8 位字长的存储器，问：

- (1)该存储器能存储多少字节的信息。
- (2)如果用 2K×8 的芯片来构成该存储器，共需要多少芯片。
- (3)芯片的片内地址多少位片选地址多少位？

#### 五. 综合应用题

画出 2K×8 的 SRAM 芯片组成 8K×8 的存储器及其与 CPU 的硬件连接图。

## 西北工业大学期末考试试题(软微 A 卷)

### 一.(10 分)名词解释

系统总线

中断向量  
微操作  
存储元  
EEPROM

## 二.(32 分)完成下列运算

- 1.(8)已知  $X = -0.625$ ，求： $X$  的二进制( $X_2$ )、八进制( $X_8$ )、十六进制( $X_{16}$ )、 $[X]_{\text{原}}$ 、 $[X]_{\text{反}}$ 、 $[X]_{\text{补}}$ 、 $[-X]_{\text{补}}$ 、 $[X]_{\text{BCD}}$  表示。
- 2.(8)写出 8bit 定点整数和定点小数原码和补码的取值范围。
- 3.(6)将数 -12 用 IEEE 754 单精度浮点格式表示。
- 4.(10)用 Booth (布斯) 算法计算  $7 \times (-3)$ ，要求写出运算步骤。

## 三.(38 分)回答下列问题

- 1.(9)请说明总线的组成及各部分的作用。

中断向量  
微操作  
存储元  
EEPROM

- 2.(10)什么是中断？中断响应周期完成那些工作？在向量中断系统中，设备为什么将中断向量放在数据总线上，而不放在地址总线上？

- 3.(9)通常情况下，CPU 中有哪些主要的控制寄存器？各有什么作用？控制寄存器的设计中要考虑那些因素，为什么？

- 4.(10)微程序控制器有几部分组成？请画出微程序控制器的结构示意图，并说明每一部分的作用。

四. (10 分)某计算机指令长度 36 位。请设计一种变长操作码, 满足下列要求:

(1) 7 条指令有两个 15 位地址和一个 3 位寄存器号

(2) 505 条指令有一个 15 位地址和一个 3 位寄存器号

(3) 50 条指令没有地址或没有寄存器

五.(10 分)请分析下列问题:

(1) Cache 块的大小会带来什么问题?

(2) 统一/分立的 Cache 各有什么优缺点?

(3) 使用两级 Cache 的目的并指出原因。

## 西北工业大学期末考试试题(软微 B 卷)

一、(10 分)名词解释

ALU

中断

微操作

存储单元

EEPROM

## 二、(32 分)完成下列运算

- 1.(8)已知  $X = -0.53125$ ，求： $X$  的二进制( $X_2$ )、八进制( $X_8$ )、十六进制( $X_{16}$ )、 $[X]_{\text{原}}$ 、 $[X]_{\text{反}}$ 、 $[X]_{\text{补}}$ 、 $[-X]_{\text{补}}$ 、 $[X]_{\text{BCD}}$  表示。
- 2.(8)写出 8bit 定点整数和定点小数原码和补码的取值范围。
- 3.(6)将数 -6 用 IEEE754 单精度浮点格式表示。
- 4.(10)用 Booth (布斯) 算法计算  $-7 \times (3)$ ，要求写出运算步骤。

## 三、(38 分)回答下列问题

- 1.(9 分)通常情况下, CPU 中有哪些主要的控制寄存器? 各有什么作用? 控制寄存器的设计中要考虑那些因素, 为什么?
- 2.(10 分)微程序控制器有几部分组成? 请画出微程序控制器的结构示意图, 并说明每一部分的作用。
- 3.(9 分)请说明总线的组成及各部分的作用。
- 4.(10 分)什么是中断? 中断响应周期完成那些工作? 在向量中断系统中, 设备为什么将中断向量放在数据总线上, 而不放在地址总线上?

## 四、(10 分)设计计算机指令长度 36 位。请设计一种变长操作码, 满足下列要求:

- (1) 7 条指令有两个 15 位地址和一个 3 位寄存器号

- (2) 507 条指令有一个 15 位地址和一个 3 位寄存器号
- (3) 55 条指令没有地址或没有寄存器

五、(10 分)请分析下列问题：

- (1) Cache 块的大小会带来什么问题？
- (2) 统一/分立的 Cache 各有什么优缺点？
- (3) 使用两级 Cache 的目的并指出原因。

南京大学计算机系统基础 2014-2015 学年第一学期期末考试(A 卷/开卷)

一个 C 语言程序有两个源文件：main.c 和 test.c，它们的内容如下图所示。

<pre>/* main.c */ 1  #include &lt;stdio.h&gt; 2 3  int sum(); 4  int a[4]={-1, ,2, 3}; 5  extern int val; 6  void main( ) 7  { 8      val=sum(); 9      printf("sum=%d\n",val); 10 }</pre>	<pre>/* test.c */ 1  extern int a[]; 2 3  int val=0; 4  int sum() 5  { 6      int i; 7      for (i=0; i&lt;4; i++) 8          val += a[i]; 9      return val; 10 }</pre>
--	--

假设在 IA-32/Linux 平台上用 GCC 编译驱动程序处理，main.c 和 test.c 的可重定位目标文件名分别是 main.o 和 test.o，生成的可执行文件名为 test。回答下列问题或完成下列任务。

（提示：IA-32 为小端方式，字长为 32 位，即 sizeof(int)=4，虚拟地址空间中的只读数据和代码段、可读写数据段都按 4KB 边界对齐）

一、从 C 语言源程序到可执行文件 test 的转换需要经过哪些步骤？（4 分）

二、已知数组 a 首址为 0x080496dc，则 0x080496e0 到 0x080496e3 这 4 个单元内容依次是什么？若 a 改为 float 型（即 main.c 第 4 行的 int 改为 float），则这 4 个单元内容依次是什么？（6 分）

三、使用‘objdump -d test’得到 sum 函数的反汇编结果如下，从反汇编结果可看出 IA-32 是 CISC 还是 RISC？为什么？（2 分）

```
08048448 <sum>:
8048448: 55                push    %ebp
8048449: 89 e5             mov     %esp,%ebp
804844b: 83 ec 10          sub     $0x10,%esp
804844e: c7 45 fc 00 00 00 00 movl    $0x0,-0x4(%ebp)
8048455: eb 1a             jmp     8048471 <sum+0x29>
8048457: 8b 45 fc          mov     -0x4(%ebp),%eax
804845a: 8b 14 85 dc 96 04 08 mov     0x80496dc(,%eax,4),%edx
8048461: a1 f0 96 04 08    mov     0x80496f0,%eax
8048466: 01 d0             add     %edx,%eax
8048468: a3 f0 96 04 08    mov     %eax,0x80496f0
804846d: 83 45 fc 01       addl    $0x1,-0x4(%ebp)
8048471: 83 7d fc 03       cmpl    $0x3,-0x4(%ebp)
8048475: 7e e0             jle     8048457 <sum+0xf>
8048477: a1 f0 96 04 08    mov     0x80496f0,%eax
804847c: c9               leave   %eax
804847d: c3               ret
```

四、根据 sum 函数反汇编结果画出其栈帧，要求分别用 EBP 和 ESP 标示栈帧底部和顶部并标出 i 的位置。（4 分）

五、cmpl 指令的执行将会影响 EFLAGS 寄存器中哪些常用标志？当 i=4 时，sum 函数中 cmpl 指令的执行结果将如何影响下条 jle 指令？（10 分）

六、地址 0x804845a 处的 mov 指令中，源操作数采用什么寻址方式？其中，EAX 寄存器存放的是哪个变量？为何比例因子为 4？如何计算源操作数的有效地址？源操作数的访问过程需要经过哪些步骤？（要求从有效地址计算开始进行简要说明，包括何时判断及如何判断 TLB 缺失、缺页和 cache 缺失等，在 300 字以上。）（20 分，若能结合题目中给出的具体例子清楚描述 IA-32/Linux 中的地址转换过程，则额外加 10 分）

七、画出 test 的一个进程对应的虚拟地址空间。要求根据 sum 函数的反汇编结果，给出只读数据和代码段的起始地址、可读写数据段的起始地址，并说明符号 a、val、sum 分别定义在哪个段内。（10 分）

八、已知页大小为 4KB，主存地址位数为 32 位。假设数据 cache 的数据区大小为 32KB，采用 4 路组相联映射方式，主存块大小为 64B，则主存地址如何划分？若 main.c 中数组 a 有 100 个元素被初始化，test.c 中的 N 定义为 100，即 for 循环访问的数组元素为 a[0]~a[99]，执行 sum 函数前，数组 a 未调入 cache 但已调入主存，数组 a 在主存的首地址为 0x406dc，则数组 a 的所有元素将被复制到 cache 的哪些组中？在执行 sum 函数过程中访问数组 a 的 cache 命中率是多少？（10 分）

九、填写下表中各标识符的情况，说明每个标识符是否出现在 test.o 的符号表（.symtab 节）中，如果是的话，进一步说明定义该符号的模块是 main.o 还是 test.o、该符号的类型是全局、外部还是本地符号、该符号出现在 test.o 中的哪个节？（.text、.data、或.bss）（6 分）

标识符	在 test.o 的符号表中？	定义模块	符号类型	节
a				
val				
sum				
i				
N				

十、使用“objdump -d test.o”得到 sum 函数的反汇编结果如下。对照在可重定位文件 test.o 和可执行文件 test 中的两个 sum 函数的反汇编结果，说明在哪些指令中进行了重定位（可在相应指令下方划线或给出相应指令所在的位移量）（4 分）

```
test.o:      file format elf32-i386
Disassembly of section .text:
00080000 <sum>:
  0: 55                push    %ebp
  1: 89 e5             mov     %esp,%ebp
  3: 83 ec 10          sub     $0x10,%esp
  6: c7 45 fc 00 00 00 00  movl    $0x0,-0x4(%ebp)
  d: eb 1a            jnp     29 <sum+0x29>
  f: 8b 45 fc          mov     -0x4(%ebp),%eax
12: 8b 14 85 00 00 00 00  mov     0x0(,%eax,4),%edx
19: a1 00 00 00 00    mov     0x0,%eax
1e: 01 d0             add     %edx,%eax
28: a3 00 00 00 00    mov     %eax,0x0
25: 83 45 fc 01       addl    $0x1,-0x4(%ebp)
29: 83 7d fc 03       cmpl    $0x3,-0x4(%ebp)
2d: 7e e0             jle     f <sum+0xf>
2f: a1 00 00 00 00    mov     0x0,%eax
34: c9               leave   %eax
35: c3               ret
```

十一、为什么在 main.c 的开头需加“#include<stdio.h>”? 为什么 main.c 中没有定义 printf()函数, 也没它的原型声明, 但 main()函数引用它时没有发生错误? 为什么 printf()函数中未指定输出文件名, 但执行 test 程序后会在屏幕上显示字符串? (4 分)

十二、main 函数中的 printf 语句所对应的指令为“call 8048300”。简述从执行该指令开始到在屏幕上显示出“sum=-96”为止的大概过程。要求 300 字以上。(10 分, 若能结合题目中给出的具体例子清楚描述 IA-32/Linux 中的异常/中断处理机制, 则额外加 10 分)

十三、已知 test 程序用于解决求和问题。请运用计算机系统层次结构概念, 简要说明如何使用通用计算机系统解决求和问题。与使用普通计算器进行求和的方法比较, 使用通用计算机系统解决问题的最大特点是计算机系统采用什么工作方式? (10 分)

## 南京大学计算机系统基础 2015-2016 学年第一学期期末考试(A 卷/开卷)

### 一、简答题 (每题 4 分, 共 20 分)

- 1、DMA 方式实现系统 I/O 的特点是什么?
- 2、什么是陷阱指令? 它的作用是什么?
- 3、简述控制器的功能。
- 4、请列举至少五种会导致异常控制流的原因。
- 5、什么是快表?



二、一个 C 语言程序有两个源文件：main.c 和 test.c，它们的内容如下图所示

```
/* main.c */
1  #include <stdio.h>
2  int add(int a, int b);
3  int a[2]={-1, 3};
4  float b[2] = {-1.5, -0.75}
5  void main() {
6      add(a[0],b[1]);
7      unsigned char val=a[0];
8      printf( " val=%d\n" ,val);
9  }
```

```
/* test.c */
1  int val=0;
2  int add(int a, int b) {
3      int i=-1;
4      if(a>0)
5          i= a+b;
6      return i;
7  }
```

请回答如下问题（提示：IA-32 为小端方式，字长为 32 位，即 sizeof(int)=4，虚拟地址空间中的只读数据和代码段、可读写数据段都按 4KB 边界对齐）

1、请简述从 C 语言源程序到可执行文件 test 的转换需要经过哪些步骤？（4 分）

2、如图所示程序片段，已知数组 a 首址为 0x080496dc，则 0x080496e0 到 0x080496e3 每个单元的内容依次是什么？假设数组 b 的首地址是 0x080496e4，则 0x080496e8 到 0x080496eb 每个单元的内容依次是什么？变量 val 的机器值是多少？printf 语句打印出的值是多少？（8 分）

3、根据下图 add 函数反汇编结果画出其栈帧，要求分别用 EBP 和 ESP 标示栈帧底部和顶部并标出 i 的位置。（4 分）

0804841c	<add>:	
804841c:	55	push %ebp
804841d:	89 e5	mov %esp,%ebp
804841f:	83 ec 10	sub \$0x10,%esp
8048422:	c7 45 fc ff ff ff ff	movl \$0xffffffff,-0x4(%ebp)
8048429:	83 7d 08 00	cmpl \$0x0,0x8(%ebp)
804842d:	7e 0b	jle 804843a <add+0x1e>
804842f:	8b 45 0c	mov 0xc(%ebp),%eax
8048432:	8b 55 08	mov 0x8(%ebp),%edx
8048435:	01 d0	add %edx,%eax
8048437:	89 45 fc	mov %eax,-0x4(%ebp)
804843a:	8b 45 fc	mov -0x4(%ebp),%eax
804843d:	c9	leave
804843e:	c3	ret
804843f:	90	nop

4、如上图所示，cmpl 指令的执行将会影响 EFLAGS 寄存器中哪些常用标志？根据当前程序的数据，add 函数中 cmpl 指令的执行结果将如何影响下条 jle 指令？（10 分）

5、地址 0x804842f 处的 mov 指令中，源操作数采用什么寻址方式？0x8048435、0x8048437 处的汇编代码对应的 c 代码是哪一句？leave 指令和 ret 指令执行的操作是什么？（8 分）

三、某高级语言源程序实现“找到 save 数组中第一个不等于 k 的元素”功能,其核心循环语句如下:“ while (save[i] == k) { i += 1; } ”。若对其编译时, 编译器将 i 和 k 分别分配在寄存器 \$s3 和 \$s5 中, 数组 save 的基址存放在 \$s6 中, 则生成的 MIPS 汇编代码段如下。(20 分)

```

loop:  sll  $t1, $s3, 2      #R[$t1]←R[$s3]<<2, 即 R[$t1]=i×4
add   $t1, $t1, $s6      #R[$t1]←R[$t1]+R[$s6], 即 R[$t1]=Address of save[i]
lw    $t0, 0($t1)        #R[$t0]←M[R[$t1]+0], 即 R[$t0]=save[i]
bne   $t0, $s5, exit     #if R[$t0]≠R[$s5] then goto exit
addi  $s3, $s3, 1        # R[$s3]←R[$s3]+1, 即 i=i+1
j     loop               #goto loop
exit:

```

假设从 loop 处开始的指令存放在内存 8 0000 处, 则上述循环对应的 MIPS 机器码如图 1 所示。

	6 位	5 位	5 位	5 位	5 位	6 位
80000	0	0	19	9	2	0
80004	0	9	22	9	0	32
80008	35	9	8			
80012	5	8	21	2		
80016	8	19	21	1		
80020	2	20000				
80024	.....					

图 1 MIPS 机器码

根据上述叙述, 回答下列问题, 要求说明理由或给出计算过程。

- (1) 数组 save 每个元素占几个字节?
- (2) MIPS 中有多少个通用寄存器?
- (3) addi 指令的操作码是多少?
- (4) 标号 exit 的值是多少? 如何根据 bne 指令计算得到?
- (5) 标号 loop 的值是多少? 如何根据 jump 指令计算出得到? MIPS 中跳转指令的跳转范围是多少?
- (6) 假定如图 2 所示的单周期数据通路和如图 3 所示的多周期数据通路中各主要功能单元的操作时间为: 存储器—200ps; ALU 和加法器—100ps; 寄存器堆读或写—50ps。在不考虑多路选择器、控制单元、PC、扩展器和线路等延迟的情况下, 单周期和多周期处理器的时钟周期最小各为多少? 若上述程序段共循环执行 10 次, 则在单周期数据通路和多周期数据通路中执行各需要多少时间?

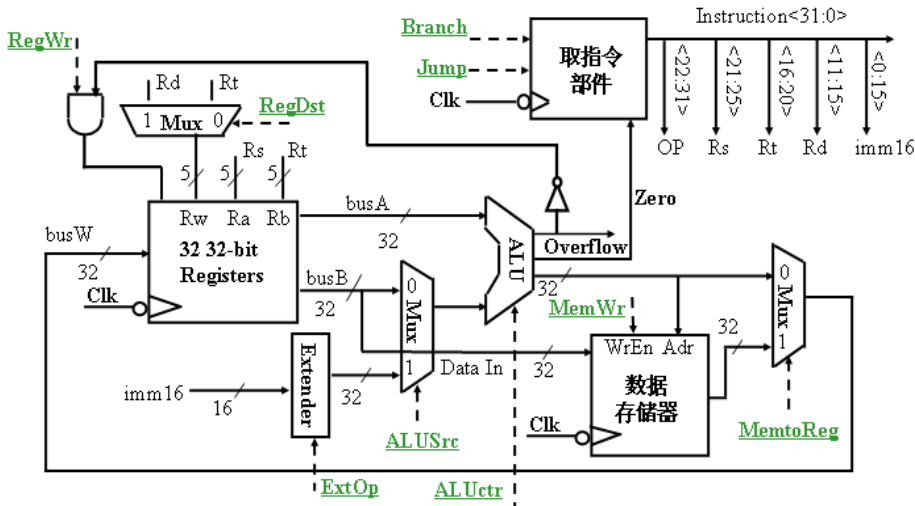


图 2 单周期数据通路

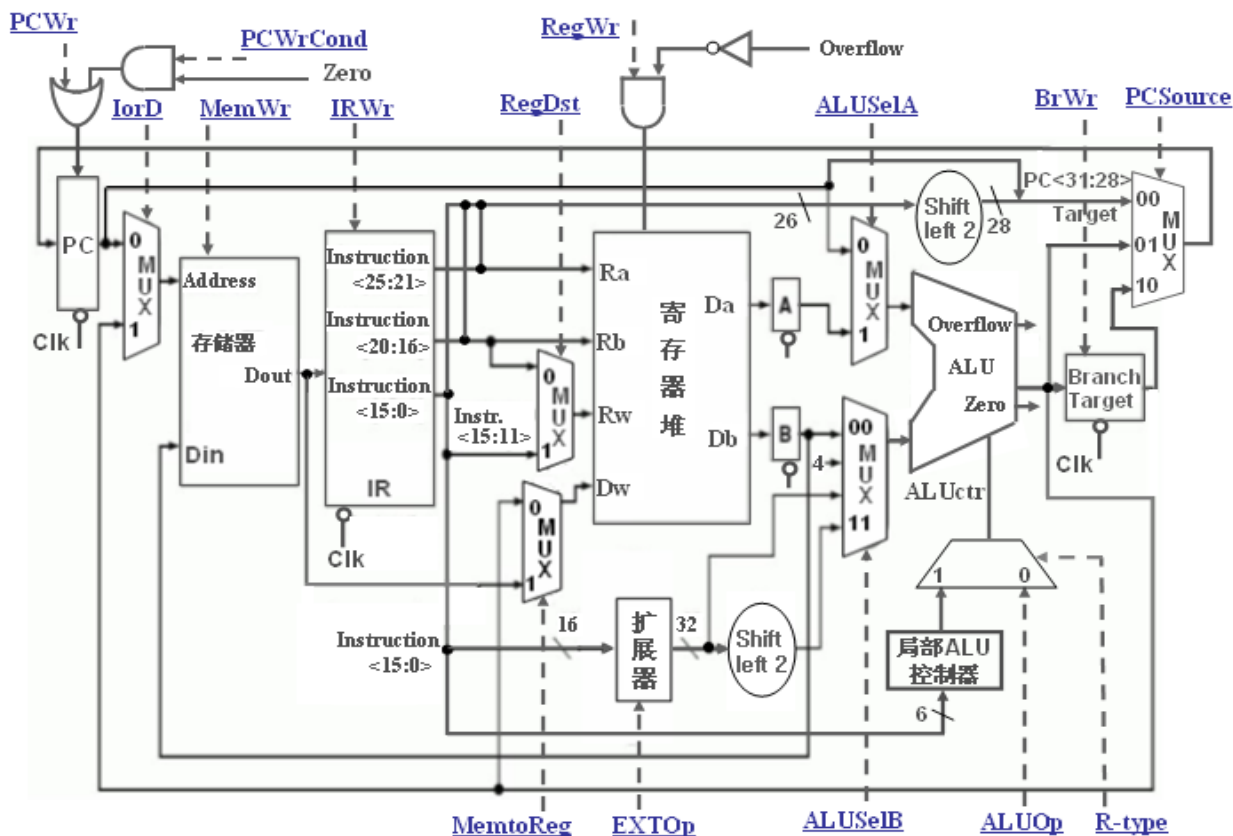
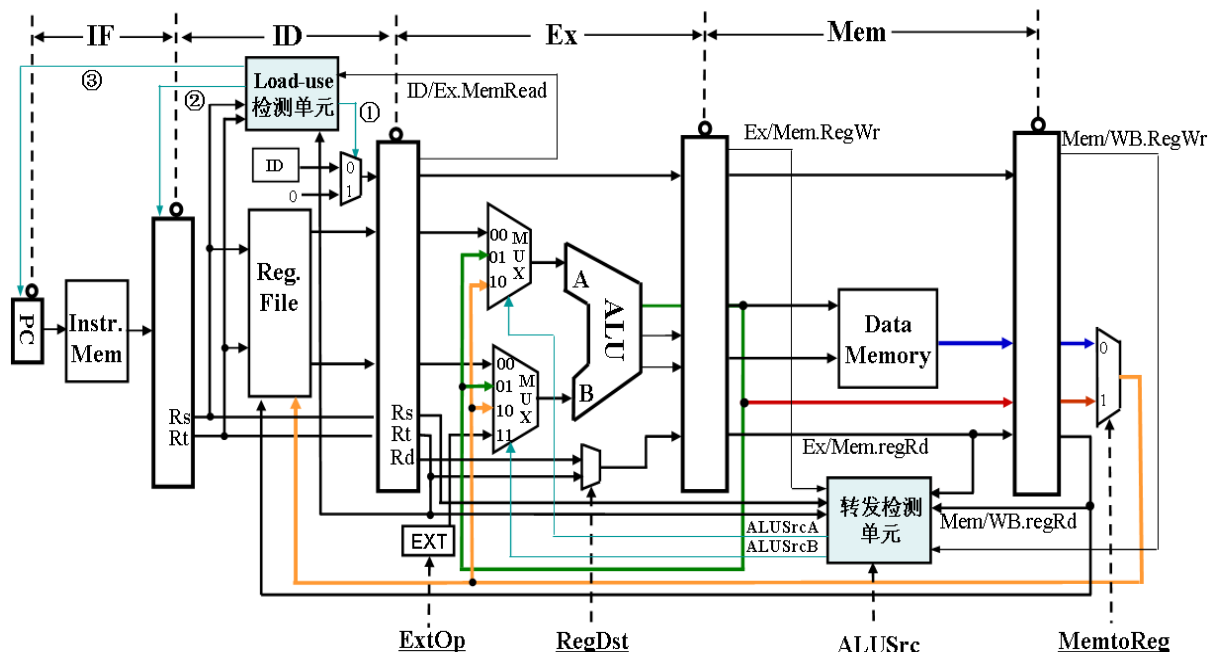


图3 多周期数据通路

(7) 若采用转发技术，并控制寄存器堆在前半周期写数据在后半周期读数据，则哪些指令之间的数据相关能够被消除，哪些指令之间的数据相关不能被消除？假定在如图4所示的采用“转发+阻塞”技术的流水线处理器中执行上述程序，同时对分支冒险采用“一位动态预测”（初始预测为转移）方式，条件检测和分支目标地址的修改都在“执行 (Ex)”阶段进行，jump 指令在“译码 (ID)”阶段进行跳转目标地址修改，则执行 10 次循环所用的时间为多少？这种情况下，流水线处理器的执行速度大约各是单周期处理器和多周期处理器的多少倍？



四、假定一个计算机系统有一个 TLB 和一个 L1 Data Cache。该系统按字节编址，虚拟地址 16 位，物理地址 12 位，页大小为 128B；TLB 采用 4 路组相联方式，共有 16 个页表项；L1 Data Cache 采用直接映射方式，块大小为 4B，共 16 行。在系统运行到某一时刻时，TLB、页表和 L1 Data Cache 中的部分内容如下（10 分）：

组号	标记	页框号	有效位	标记	页框号	有效位	标记	页框号	有效位	标记	页框号	有效位
0	03	—	0	09	0D	1	00	—	0	07	02	1
1	13	2D	1	02	—	0	04	—	0	0A	—	0
2	02	—	0	08	—	0	06	—	0	03	—	0
3	07	—	0	63	0D	1	0A	34	1	72	—	0

(a) TLB（4 路组相联）：4 组、16 个页表项

虚页号	页框号	有效位	行索引	标记	有效位	字节 3	字节 2	字节 1	字节 0
00	08	1	0	19	1	12	56	C9	AC
01	03	1	1	—	0	—	—	—	—
02	14	1	2	1B	1	03	45	12	CD
03	02	1	3	—	0	—	—	—	—
04	—	0	4	32	1	23	34	C2	2A
05	16	1	5	0D	1	46	67	23	3D
06	—	0	6	—	0	—	—	—	—
07	07	1	7	16	1	12	54	65	DC
08	13	1	8	24	1	23	62	12	3A
09	17	1	9	—	0	—	—	—	—
0A	09	1	A	2D	1	43	62	23	C3
0B	—	0	B	—	0	—	—	—	—
0C	19	1	C	12	1	76	83	21	35
0D	—	0	D	16	1	A3	F4	23	11
0E	11	1	E	33	1	2D	4A	45	55
0F	0D	1	F	—	0	—	—	—	—

(b) 部分页表：（开始 16 项）

(c) L1 Data Cache：直接映射，共 16 行，块大小为 4B

请问（假定图中数据都为十六进制形式）：

(1) 虚拟地址中哪几位表示虚拟页号？哪几位表示页内偏移量？虚拟页号中哪几位表示 TLB 标记？哪几位表示 TLB 组索引？

(2) 物理地址中哪几位表示物理页号？哪几位表示页内偏移量？

(3) CPU 从虚拟地址 067AH 中取出的值为多少？说明 CPU 读取地址 067AH 中内容的过程。

五、以下三个 I/O 程序 A、B、C 的输出各自是什么（5 分）？

#include <stdio.h>

```
A: int main() {  
    fprintf(stdout, "hello");  
    fprintf(stderr, "world!");  
    return 0;  
}
```

```
B: int main() {  
    fprintf(stdout, "hello");  
    fprintf(stderr, "world!\n");  
    return 0;  
}
```

```
C: int main() {  
    fprintf(stdout, "hello\n");  
    fprintf(stderr, "world!");  
    return 0;  
}
```

六、(11 分) 某计算机 CPU 主频为 1GHz，所连接的某外设的最大数据传输率为 40kBps，该外设接口中有一个 32 位的数据缓存器，相应的中断服务程序的执行时间为 500 个时钟周期。请回答下列问题：

(1) 是否可用中断方式进行该外设的输入输出？若能的话，在该设备持续工作期间，CPU 用于该设备进行输入/输出的时间占整个 CPU 时间的百分比大约为多少？

(2) 若该外设的最大数据传输率提高到 4MBps，则可否用中断方式进行输入输出？若此时采用周期挪用 DMA 方式进行输入/输出，每挪用一个周期传送一个 32 位数据，一次 DMA 传送完成 1000 字节的数据传送，DMA 初始化和后处理的时间为 2000 个时钟周期，不考虑访存冲突，则 CPU 用于该设备进行输入/输出的时间占整个 CPU 时间的百分比大约为多少？

西北工业大学 2001 年研究生入学考试

一.(10 分)名词解释

向量中断

系统总线

微程序

寻址方式

存储单元

二.(20 分)填空

1.  $n$  位定点小数补码的取值范围是\_\_\_\_\_,  $n$  位定点整数补码的取值范围是\_\_\_\_\_。

2. 补码运算的结果一定是\_\_\_\_码。

3. Intel 2116 是  $16K \times 1\text{bit}$  的 DRAM 芯片, 芯片内部存储元排列成  $128 \times 128$  的矩阵, 芯片刷新周期  $2\text{ms}$ 。除了电源和接地引脚以外, Intel 2116 芯片最少有\_\_\_\_\_引脚。若构成  $64K \times 8\text{bit}$  的存储器, 总共需要\_\_\_\_\_Intel 2116 芯片。若存储器采用异步刷新方式, 则存储器的刷新信号周期是\_\_\_\_\_。

4. 计算机系统中使用 Cache 的目的是\_\_\_\_\_, 存储管理由\_\_\_\_\_实现; 使用虚拟存储的目的是\_\_\_\_\_, 存储管理由\_\_\_\_\_实现。在虚拟存储器中, 程序执行时, 必须把\_\_\_\_\_映射到主存的\_\_\_\_\_上, 这个过程称为\_\_\_\_\_。

5. 立即寻址方式中操作数在\_\_\_\_\_, 寄存器寻址方式中操作数在\_\_\_\_\_, 间接寻址方式中操作数在\_\_\_\_\_, 为了获得操作数, CPU 还需要\_\_\_\_\_次访问内存。

6. 链式查询总线仲裁方式中, 只需要 3 根控制线就可以完成总线的仲裁, 这三根控制线是\_\_\_\_\_, \_\_\_\_\_和\_\_\_\_\_。

三.(8 分)通常 CPU 内部有哪些主要的寄存器? 试说明他们各自的功能。

四.(7 分)某计算机指令系统的指令按取指(FH)、译码 1(D1)、译码 2(D2)、执行(EX)4 步解释执行, 每步所用时间为  $t_{fh}$ 、 $t_{d1}$ 、 $t_{d2}$ 、 $t_{ex}$ 。试分别计算在下列情况下, 执行 80 条指令需要的时间。

1. 顺序执行

2. 仅指令  $(K+1)$  取指、与指令  $K$  执行重叠执行。

3. 指令  $(K+3)$  取指、与指令  $(K+2)$  译码 1、与指令  $(K+1)$  译码 2、与指令  $K$  执行重叠执行。

五.(15 分)DMA 通常有哪几种方式与 CPU 分时使用内存? 试说明每一种方法的工作原理和优缺点

六.(10 分)某计算机字长 16bit, 主存容量 64K, CPU 内部有 4 个通用寄存器  $GR_{n-3}$ , 指令系统共有 64 条 RS 型指令, 操作数的寻址方式有立即寻址、直接寻址、间接寻址、相对寻址

- 1.请设计指令系统的指令格式, 并说明理由
- 2.写出各种寻址方式的有效地址, 并指明它们的寻址范围

七.(6 分)请说出什么是计算机系统结构? 什么是计算机组成? 什么是计算机实现? 他们之间的相互关系是什么?

八.(6 分)什么是 Cache 的透明性? 有哪些方法可用来实现 Cache 的透明性?

九.(10 分)请尽你所能说明访问页式虚拟存储器的整个过程

十.(8 分)某个流水部件由 4 个功能部件组成, 每个功能部件的延迟时间为  $\Delta t$ , 当输入 10 个数据后, 间歇  $5\Delta t$ , 又输入 10 个数据, 求流水线处理该 20 个数据的吞吐率及效率, 并画出其时空图

## 西北工业大学 2002 年研究生入学考试(460)

一.(10 分)名词解释

随机存储器

取指周期

流水线

通道

程序

## 二.(10 分)请解释下列中断方式

简单中断  
自愿中断  
向量中断  
多重中断  
单重中断

## 三.(5 分)试说明下列寄存器的作用

程序计数器(PC)  
指令寄存器(IR)  
标志寄存器(FR)  
存储器地址寄存器(MAR)  
存储器缓冲寄存器(MBR)

## 四.(5 分)说明下列寻址方式寻找操作数的方法

立即寻址  
直接寻址  
间接寻址  
寄存器操作数寻址  
相对寻址

## 五.(36 分)回答下列问题

1.(5 分)单总线结构有什么主要缺点？试说明总线结构发展的趋势。

2.(5 分)什么是总线接口？**什么是**（为什么）外围设备必须通过总线接口连到系统总线上？

3.(6 分)什么是指令流、数据流？程序与数据在内存中是怎样存放的？如何取出指定的程序与数据？

4.(10 分)什么是指令、微指令、程序、微程序？请说明指令与微指令之间的关系。



5.(10 分)同 CISC 相比较 RISC 有哪些特点？

六.(10 分)已知  $X=0.625$   $Y=-0.1000001_2$ ，试用 8 位二进制表示完成下列运算

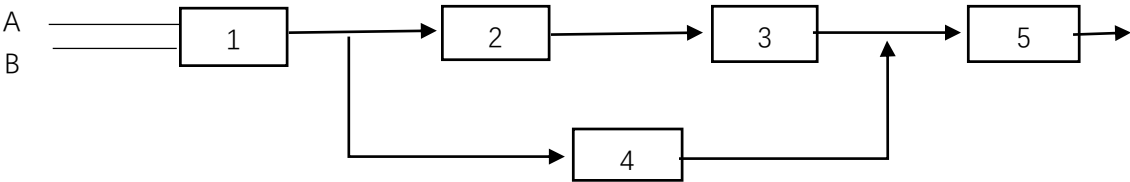
- 1.求：[X]<sub>原</sub>、[X]<sub>反</sub>、[X]<sub>补</sub>、[-X]<sub>补</sub>、[X]<sub>移</sub>、[X]<sub>BCD</sub>
- 2.用补码运算求[X+Y]<sub>补</sub>、[X-Y]<sub>补</sub>，并分析结果是否正确。

七.(4 分)通信双方欲传输信息 1011001，试问：(1)若通信中采用 CRC 校验，且生成多项式  $G(X)=X^5+X^3+1$ ，那么校验位是多少位？(2)若通信中采用纠一位错的海明码校验，那么校验位至少应是多少位？

八.(10 分)某虚拟存储器系统有 8 个虚页，4 个物理页，一页大小 1024 字，页表如下图所示。  
要求(1)列出将产生页失效的所有虚地址。(2)计算下列虚地址对应的主存地址：0    1023    1024    3728    4096    7800

虚页号	物理页号	装入位
0	3	1
1	1	1
2	——	0
3	——	0
4	2	1
5	——	0
6	0	1
7	——	0

九.(10 分)静态两功能流水线如下图所示。其中 1—2—3—5 组成加法流水线，1—4—5 组成乘法流水线。流水线输出可以直接返回到输入或暂存于缓冲器。各段延迟均为 10us，功能切换时间忽略不计。向量 A、B 各有 4 个元素，若在流水线上计算向量点积  $A \cdot B = \sum_{i=1}^4 a_i \cdot b_i$ 。请选用合理的算法，使计算 A·B 所用的时间最短。要求画出流水线工作时空图，计算流水线工作实际吞吐率、加速比和效率。



# 西北工业大学 2003 年研究生入学考试(460)

## 一.(40 分)填空题

- 1.计算机系统的三个层次结构由内向外分别是\_\_\_\_\_、\_\_\_\_\_和\_\_\_\_\_。
- 2.生成多项式  $G(x)=x^4+x+1$  对应的二进制数为\_\_\_\_\_, 现以  $G(x)$  进行 CRC 编码, 其校验位的位数是\_\_\_\_\_。
- 3.某 CPU 利用 74181 和 74182 组成 64 位多重进位运算器, 试问共需\_\_\_\_片 74181 和\_\_\_\_片 74182。
- 4.SRAM 是靠\_\_\_\_\_存储信息, DRAM 是靠\_\_\_\_\_存储信息。
- 5.虚拟存储器是建立在\_\_\_\_\_结构上, 用它是为了解决\_\_\_\_\_问题。
- 6.存储管理主要由\_\_\_\_\_实现, CPU\_\_\_\_\_访问第二级存储器。
- 7.建立 Cache 的理论根据是\_\_\_\_\_。Cache 是为了解决\_\_\_\_\_而采用的一项主要硬件技术
- 8.相对寻址方式中操作数的地址由\_\_\_\_\_、\_\_\_\_\_的和产生。
- 9.从计算机指令系统设计的角度, 将计算机可分为\_\_\_\_\_和\_\_\_\_\_。
- 10.一条转移指令的操作过程有取指令、\_\_\_\_\_及\_\_\_\_\_三部分。
- 11.微程序一般是存放在\_\_\_\_\_中, 微指令分成\_\_\_\_\_和\_\_\_\_\_微指令两类, \_\_\_\_\_微指令执行的速度快, 在执行微程序时, 取下一条指令和执行本条微指令一般是\_\_\_\_\_进行的。
- 12.双向传输的总线可分为\_\_\_\_\_和\_\_\_\_\_。
- 13.总线的电气特性包括每一条信号线的信号传递方向、信号的\_\_\_\_\_特征和\_\_\_\_\_特征。
- 14.总线设备与总线的连接界面是\_\_\_\_\_。总线控制主要解决\_\_\_\_\_问题。
- 15.CPU 响应中断时首先要完成的两个步骤是\_\_\_\_\_和\_\_\_\_\_。
- 16.中断屏蔽的两个作用是\_\_\_\_\_和\_\_\_\_\_。
- 17.目前最具权威性和发展前景的并行 I/O 接口是\_\_\_\_\_, 串行 I/O 接口是\_\_\_\_\_。
- 18.DMA 控制器主要由字计数器、数据寄存器、\_\_\_\_\_, \_\_\_\_\_、标志寄存器及地址译码器与同步电路组成。

## 二.(30 分)简答题

1.全世界人民都在重视环保工作, 谈谈你对绿色计算机的定义及要求。

2.CRC 码的纠错原理

3.采用先行进位的目的及基本思想。

4.ROM 和 RAM 有何差别? 在存储器 DRAM、SRAM、ROM、Cache 及光盘中, 哪些是易失性的? 哪些是非易失性的? 哪些是读出破坏性的? 哪些是非读出破坏性的?

5.机器指令和微指令各包含哪两个基本要素，程序和微程序又各靠什么实现顺序执行和转移的？

6.中断控制方式与 DMA 方式有哪些异同。

### 三.(30 分)判断改错题

- 1.浮点数通常采用规格化来表示，规格化数是指其尾数的第 1 位应为 0 的浮点数。
- 2.全加器和平加器的区别在于是否考虑低位向高位进位。低位向末位有进位的加法器称为全加器。
- 3.大多数微型机可配置的内存容量受地址总线位数的限制
- 4.CPU 访问存储器的时间与存储器的容量有关，存储器容量越大，访问所需的时间越长。
- 5.虚拟存储器的逻辑地址转换成物理地址由硬件实现的，仅在页面失效时才由操作系统将被访问页面从辅存调到主存，必要时还要把淘汰的页面内容写入辅存
- 6.RISC 的主要设计目标是减少指令数，降低软、硬件开销
- 7.流水线中相关问题是指在一段程序的相邻之间，存在某种关系，这种关系影响指令的并行执行。
- 8.计算机的主频最高，机器的速度就最快。
- 9.一个更高优先级的中断请求可以中断另一个中断处理程序的执行。
- 10.CPU 和 DMA 控制器可以同时使用总线。

四.(10 分)用 8 位二进制数写出下列各数原码、反码、补码和移码，其中 MSR 是最高位(又是符号位)，LSB 是最低位，如果是小数，小数点在 MSB 之后，如果是整数，小数点在 LSB 之后。

- (1)23/128    (2)-128    (3)-35/64    (4)用小数表示-1    (5)用整数表示-1

### 五.(10 分)计算题：

- 1.已知 $[X]=1.1011$ , $[Y]=0.1011$ ，求两数的算术左、右移和逻辑左右移后的值。
- 2.已知 $[Y]=0.1011$ , $[X]=0.1001$ ，求  $2[-Y]_{反}$ 和 $[-X]_{补}$ 。

六.(10 分)某台计算机共有 64 种指令，各指令具有以下格式：

3 位		3 位	2 位	
OP	源寄存器	目标寄存器	M	地址

格式表明有 8 个通用寄存器(长度 16 位), M 指寻址模式, 主存容量为 256K 字。

- (1)假定不用通用寄存器也能直接访问主存中的每个单元, 请问地址段应分配多少位? 操作码 OP 应为多少位? 指令长共多少位?
- (2)假定 M=11 时, 指定的那个通用寄存器用作基址寄存器, 请给出一个硬件设计方案, 使用被指定的通用寄存器能访问 1M 主存空间中的每一个单元。

七.(10 分)一个 4 级流水线, 分别完成取指令、指令译码、取操作数、运算四个步骤。假定完成各步操作的时间依次为 100ns, 90ns, 80ns, 50ns

- (1)流水线的操作周期应设计为多少?
- (2)若相邻两条指令发生数据相关, 硬件上不采取任何措施, 问第二条指令要推迟多少时间?
- (3)如果对硬件加以改进, 那么第二条指令至少要推迟多少时间?

八.(10 分)用时空图法证明流水 CPU 比非流水 CPU 具有更高的吞吐量

## 西北工业大学 2004 年研究生入学考试(814)

五.已知  $X=-31, Y=66$ , 求: (15 分)

- 1.X 的二进制( $X_2$ )、八进制( $X_8$ )、十六进制( $X_{16}$ ),  $[X]_{\text{原}}$ 、 $[X]_{\text{反}}$ 、 $[X]_{\text{补}}$ 、 $[X]_{\text{移}}$ 、 $[X]_{\text{BCD}}$  表示?
- 2.用 8bit 补码计算求  $X-Y=?$ , 并判断结果是否正确

六.完成下列转换(8 分)

- (1)将  $X=-5$  用 IEEE 754 单精度浮点格式表示。
- (2)将十六进制的 IEEE 单精度数代码  $Y=42E48000$  转换成十进制数值表示

七.列举实例说明下列存储器的存取方法(12 分)

顺序存储

直接存储

随机存储

关联存储

八.请解释指令系统设计中的定长操作码和可变长度操作码，并分析它们的优缺点(8 分)

九.什么是指令流？什么是数据流？程序与数据在内存中是怎样存放的？CPU 是如何区分程序和数据  
的？请详细说明 CPU 执行程序的过程(15 分)

十.什么是中断？请说明 CPU 处理中断的过程。什么是向量中断？什么是中断向量？CPU 是通过地址  
总线还是数据总线获得中断向量的？为什么？(17 分)

## 西北工业大学 2004 年研究生入学考试(401)

八.解释下列问题(6 分)

信息 10011001 表示的是是什么？有以下 6 种情况：

(1)无符号整数

(2)定点整数补码

(3)定点小数补码

(4)定点整数移码

(5)无符号整数奇偶校验编码，最右 1bit 是  
奇偶校验位

(6)无符号 BCD 数

九.填空(24 分)

1.十进制数 1001 表示成二进制数为\_\_\_\_\_。

2.补码 10100101 算术右移一位后结果是\_\_\_\_\_。

3.已知两个数 $[X]_{\text{补}}=0.1010$ 、 $[Y]_{\text{补}}=0.1101$ ， $[X+Y]_{\text{补}}$ 的结果是\_\_\_\_\_。

4.某总线有 198 根传输线，其中数据总线 32 位，地址总线 36 位，总线工作频率为 33MHz，该总线  
的总线带宽是\_\_\_\_\_。

5.若信息位为 1011001，要构造能够纠一位错的海明码、需要\_\_\_\_\_个检验位。

6.机器字长是 32 位，存储器容量为 8M 个字，需要\_\_\_\_\_片 1M×4bitSRAM 芯片构成存储器。若存  
储器按字节编址，那么地址寄存器需要\_\_\_\_\_位。

- 7.DRAM 芯片 16K 位个存储元排成  $128 \times 128$  的矩阵, 芯片刷新周期为 8ms, 采用异步刷新, 存储器刷新信号周期是\_\_\_\_\_。
- 8.某指令操作码 OP=001010 指示为一元操作, 操作数寻找方式 MOD=00 指示为立即寻址, 形式地址 A=10010101, 那么该指令的操作数在\_\_\_\_\_中, 并且该操作数是\_\_\_\_\_。
- 9.某个 Cache 的块大小为 128 字节, 那么包含地址 b178af(注: 地址用 16 进制形式表示)的 Cache 块的第一个字节地址是\_\_\_\_\_(注: 地址用 16 进制形式表示)。
- 10.某计算机浮点数用 16 位表示, 阶码 6 位(其中包括 1 位阶符), 尾数 10 位(其中包括 1 位数符), 则该计算机能表示的浮点数的个数是\_\_\_\_\_。

十.选择题(12 分, 每个题有一个以上的正确答案, 请将正确的答案全部选择出来)

- 1.下面对中断向量的描述正确的有  
A.子程序入口地址 B.中断服务程序入口地址 C.中断服务程序入口地址的地址  
D.设备号 E.通过地址线传输的 F.通过数据线传输的 G.通过控制线传输的
- 2.下面关于微程序控制器中控制存储器的描述不正确的有  
A.字长必须是 8 的整数倍 B.字长根据需要可以是任意长度 C.存放的是程序  
D.存放的是微程序 E.存放的是指令 F.存放的是指令系统
- 3.主存储器通常采用  
A.半导体存储器 B.磁表面存储器 C.SRAM D.DRAM E.ROM  
F.顺序存储 G.直接存储 H.随机存储 I.相联存储
- 4.下面关于 DMA 方式的描述是正确的有  
A.DMA 方式由软件完成 B.DMA 方式由软件和硬件相结合完成 C.DMA 方式由硬件完成  
D.DMA 方式中数据交换是由 CPU 控制完成的 E.DMA 方式中数据交换不是由 CPU 控制完成的
- 5.关于微操作的描述正确的是  
A.微操作只是用于描述微程序控制器的概念 B.微操作就是控制器产生的控制信号  
C.微操作只是用于描述组合逻辑控制器的概念 D.微操作也称为微命令

十一.程序执行顺序有几种? 请详细解释 CPU 是如何实现程序执行顺序控制的? (8 分)

## 西北工业大学 2004 年研究生入学考试(401)

一.问答题(共 10 分)

- 1.计算机系统的层次结构中, 位于硬件之外的所有层次统称为什么? (2 分)
- 2.冯·诺依曼机工作方式的基本特点是什么? (2 分)
- 3.将 8 个寄存器的内容送到一组输出线上, 可使用八选一多路选择器, 也可使用三态门。问用八选一和用三态门实现, 对开门信号的要求有什么不同。(4 分)
- 4.在 DMA 的三种工作方式中, 传送同样多的数据, 哪种方式速度最快? (2 分)

## 二.简答题(共 25 分, 每小题 5 分)

- 1.先行进位解决的问题及基本思想。
- 2.说明 SRAM 的组成结构, DRAM 与 SRAM 在电路组成上有什么区别?
- 3.内存中存放着指令和数据, CPU 如何从时间和空间上区分它们是指令还是数据?
- 4.分别从逻辑层和物理层说明提高总线性能的主要方法。
- 5.把外设接入计算机, 必须解决哪些基本问题? 通过什么手段来解决这些问题?

## 三.计算题(共 40 分, 每小题 10 分, 4 和 5 小题任选一题)

- 1.设 CPU 的主频为 16MHZ, 平均每条指令的执行时间为两个机器周期, 每个机器周期由两个时钟脉冲组成。  
问:  
(1)存储器为“0 等待”, 求机器速度。  
(2)假如每两个机器周期中有一个是访存周期, 需插入 1 个时钟周期的等待时间, 求机器速度。
- 2.某机器采用两级流水线组织, 第一次为取指、译码, 需要 200ns 完成操作, 第二级为执行周期, 大部分指令可在 180ns 内完成, 但有两类指令要 360ns 才能完成。在程序运行时, 这类指令所占比例为 5%~10%。问: 机器周期(一级流水线时间)应为多少? 两类执行周期长的指令采用什么方法解决?
- 3.某流水线计算机有一个指令和数据合一的 Cache, 已知 Cache 的读/写时间为 20ns, 主存的读/写时间为 120ns, 取指的命中率为 98%, 取数据的命中率为 95%, 在执行程序时, 约有 1/5 指令需要存/取一个操作数, 假设指令流水线在任何时候都不阻塞。问设置 Cache 后, 与无 Cache 比较, 运算速度可提高多少倍?

4.指令字长为 16 位, 每个地址码为 6 位, 采用扩展操作码的方式, 设计 15 条二地址指令, 32 条一地址指令, 110 条零地址指令。请:

(1)写出操作码的扩展过程。

(2)画出指令译码逻辑图。

(3)算出操作码平均长度。

5.①数值范围为  $1.0 \times 10^{\pm 38}$ ; ②有效数字为十进制七位; ③0 的机器数为全 0

根据上述三条要求, 设计一个尽可能短的浮点数格式(阶的底取 2), 并写出十进制数-0.15625 的 IEEE754 编码。

## 西北工业大学 2007 年研究生入学考试(814)

### 一.完成下列表示(8 分)

已知  $X = -123$ , 求  $X$  的二进制( $X_2$ )、八进制( $X_8$ )、十六进制( $X_{16}$ )、 $[X]_{\text{原}}$ 、 $[X]_{\text{反}}$ 、 $[X]_{\text{补}}$ 、 $[X]_{\text{移}}$ 、 $[X]_{\text{BCD}}$  表示。

### 二.填空(15 分)

1.16 位地址总线提供的寻址的能力是\_\_\_\_\_。

2.信息 1010111 的偶校验位是\_\_\_\_\_。

3.组成存储器的最小单位是\_\_\_\_\_。

4.SRAM 比 DRAM 速度\_\_\_\_\_, 集成度\_\_\_\_\_, 功耗\_\_\_\_\_。

5.计算机系统中最快的存储部件是\_\_\_\_\_, 容量最大的存储部件是\_\_\_\_\_。

6.补码 10101011 右移一位结果是\_\_\_\_\_。

7.计算机字长为 8 位, 已知两个数  $X$  的补码为 10010101,  $Y$  的补码为 01101101, 那么  $(X-Y)$  的差是\_\_\_\_\_。

8.有  $n$  个总线设备, 在链式查询总线仲裁方式中用\_\_\_\_\_控制信号线完成总线仲裁。

9.控制存储器中的一个字存放的是\_\_\_\_\_。

10.程序计数器 PC 中存放的数据是\_\_\_\_\_。

11.主存储器和 Cache 之间信息交换的单位是\_\_\_\_\_。

12.中断向量是\_\_\_\_\_。



### 三.名词解释(15 分)

- (1)标志寄存器
- (2)即插即用
- (3)微操作
- (4)存储单元
- (5)指令周期

### 四.回答下列问题(22 分)

1.(10 分)根据操作数所在位置，指出其寻址方式

- (1)操作数在指令指定的 CPU 寄存器中。
- (2)操作数地址在指令指定的 CPU 寄存器中。
- (3)操作数由指令直接给出。
- (4)操作数地址由指令直接给出。
- (5)操作数地址为程序计数器的内容与位移量之和。

2.(12 分)请说明同步定时和异步定时是怎样解决同步问题的？各自有什么优缺点？

### 五.应用题(15 分)

某计算机采用微程序控制方式，控存容量为  $512 \times 32$  位。微程序可以在整个控存实现转移，控制微程序转移的条件有 4 个，微指令为水平型，后续微指令采用断定方式。要求：

- (1)设计微指令的格式，并作出解释。
- (2)画出该微程序控制器的结构示意图，并说明每一部分的作用。

## 2009 年研究生入学考试计算机统考 408

一、单项选择题：每小题 2 分。

11. 冯·诺依曼计算机中指令和数据均以二进制形式存放在存储器中，CPU 区分它们的依据是\_\_\_\_\_。

- A . 指令操作码的译码结果    B . 指令和数据的寻址方式  
C . 指令周期的不同阶段    D . 指令和数据所在的存储单元
- 12 . 一个 C 语言程序在一台 32 位机器上运行。程序中定义了三个变量 x、y 和 z, 其中 x 和 z 为 int 型, y 为 short 型。当 x=127, y=-9 时, 执行赋值语句 z=x+y 后, x、y 和 z 的值 分别是\_\_\_\_\_。
- A . x=0000007FH, y=FFF9H, z=00000076H    B . x=0000007FH, y=FFF9H, z=FFFF0076H  
C . x=0000007FH, y=FFF7H, z=FFFF0076H    D . x=0000007FH, y=FFF7H, z=00000076H
- 13 . 浮点数加、减运算过程一般包括对阶、尾数运算、规格化、舍入和判溢出等步骤。 设浮点数的阶码和尾数均采用补码表示, 且位数分别为 5 位和 7 位 (均含 2 位符号位)。若 有两个数  $X=27 \times 29/32$ ,  $Y=25 \times 5/8$ , 则用浮点加法计算 X+Y 的最终结果是\_\_\_\_\_。
- A . 00111 1100010    B . 00111 0100010    C . 01000 0010001    D . 发生溢出
- 14 . 某计算机的 Cache 共有 16 块, 采用 2 路组相联映射方式 (即每组 2 块)。每个主存 块大小为 32B, 按字节编址。主存 129 号单元所在主存块应装入到的 Cache 组号是\_\_\_\_\_。
- A . 0    B . 1    C . 4    D . 6
- 15 . 某计算机主存容量为 64KB, 其中 ROM 区为 4KB, 其余为 RAM 区, 按字节编址。现要用  $2K \times 8$  位的 ROM 芯片和  $4K \times 4$  位的 RAM 芯片来设计该存储器, 则需要上述规格的 ROM 芯片数和 RAM 芯片数分别是\_\_\_\_\_。
- A . 1、15    B . 2、15    C . 1、30    D . 2、30
- 16 . 某机器字长为 16 位, 主存按字节编址, 转移指令采用相对寻址, 由两个字节组成。第一字节为操作码字段, 第二字节为相对位移量字段。假定取指令时, 每取一个字节 PC 自动加 1。若某转移指令所在主存地址为 2000H, 相对位移量字段的内容为 06H, 则该转移指令成功转移后的目标地址是\_\_\_\_\_。
- A . 2006H    B . 2007H    C . 2008H    D . 2009H
- 17 . 下列关于 RISC 的叙述中, 错误的是\_\_\_\_\_。
- A . RISC 普遍采用微程序控制器    B . RISC 大多数指令在一个时钟周期内完成  
C . RISC 的内部通用寄存器数量相对 CISC 多    D . RISC 的指令数、寻址方式和指令格式种类相对 CISC 少
- 18 . 某计算机的指令流水线由四个功能段组成, 指令流经各功能段的时间 (忽略各功能段之间的缓存时间) 分别为 90ns、80ns、70ns、和 60ns, 则该计算机的 CPU 时钟周期至少是\_\_\_\_\_。
- A . 90ns    B . 80ns    C . 70ns    D . 60ns
- 19 . 相对于微程序控制器, 硬布线控制器的特点是\_\_\_\_\_。
- A . 指令执行速度慢, 指令功能的修改和扩展容易    B . 指令执行速度慢, 指令功能的修改和扩展难  
C . 指令执行速度快, 指令功能的修改和扩展容易    D . 指令执行速度快, 指令功能的修改和扩展难
- 20 . 假设某系统总线在一个总线周期中并行传输 4B 信息, 一个总线周期占用 2 个时钟周期, 总线时钟频率为 10MHz, 则总线带宽是\_\_\_\_\_。
- A . 10MB/s    B . 20MB/s    C . 40MB/s    D . 80MB/s
- 21 . 假设某计算机的存储系统由 Cache 和主存组成, 某程序执行过程中访存 1000 次, 其中访问 Cache 缺失 (未命中) 50 次, 则 Cache 的命中率是\_\_\_\_\_。
- A . 5%    B . 9.5%    C . 50%    D . 95%
- 22 . 下列选项中, 能引起外部中断的事件是\_\_\_\_\_。
- A . 键盘输入    B . 除数为 0    C . 浮点运算下溢    D . 访存缺页

## 二.综合应用题

43 . (8 分) 某计算机的 CPU 主频为 500MHz, CPI 为 5 (即执行每条指令平均需 5 个时钟周期)。假定某外设的数据传输率为 0.5MB/s, 采用中断方式与主机进行数据传送, 以 32 位为传输单位, 对应的中断服务程序包含 18 条指令, 中断服务的其他开销相当于 2 条指令的执行时间。请回答下列问题, 要求给出计算过程。

- (1) 在中断方式下, CPU 用于该外设 I/O 的时间占整个 CPU 时间的百分比是多少?
- (2) 当该外设的数据传输率达到 5MB/s 时, 改用 DMA 方式传送数据。假定每次 DMA 传送块大小为 5000B, 且 DMA 预处理和后处理的总开销为 500 个时钟周期, 则 CPU 用于 该外设 I/O 的时间占整个 CPU 时间的百分比是多少? (假设 DMA 与 CPU 之间没有访存冲突)

44 . (13 分) 某计算机字长为 16 位, 采用 16 位定长指令字结构, 部分数据通路结构如图 A-2 所示, 图中所有控制信号为 1 时表示有效、为 0 时表示无效。例如, 控制信号 MDRinE 为 1 表示允许数据从 DB 打入 MDR, MDRin 为 1 表示允许数据从内总线打入 MDR。假设 MAR 的输出一直处于使能状态。加法指令“ADD (R1), R0”的功能为 $(R0)+(R1) \rightarrow (R1)$ , 即将 R0 中的数据与 R1 的内容所指主存单元的数据相加, 并将结果送入 R1 的内容所指主存单元中保存。

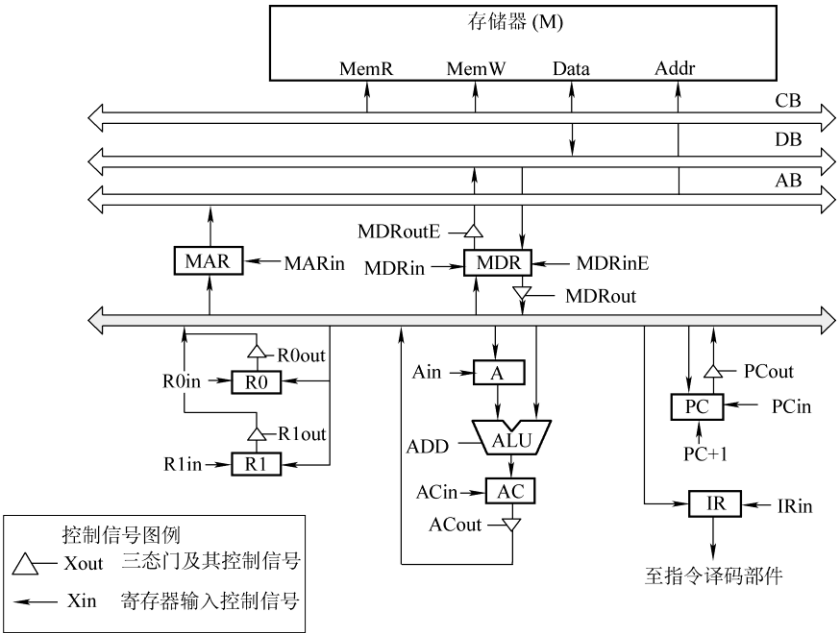


图 A-2

表 A-1 给出了上述指令取指和译码阶段每个节拍（时钟周期）的功能和有效控制信号，请按表中描述方式用表格列出指令执行阶段每个节拍的功能和有效控制信号。

表 A-1

时钟	功能	有效控制信号
C1	$MAR \leftarrow (PC)$	PCout, MARin
C2	$MDR \leftarrow M(MDR) \quad PC \leftarrow (PC)+1$	MemR, MDRinE, PC+1
C3	$IR \leftarrow (MDR)$	MDRout, IRin
C4	指令译码	无

## 2010 年研究生入学考试计算机统考 408

### 一.单项选择题

12. 下列选项中, 能缩短程序执行时间的措施是\_\_\_\_\_。

I . 提高 CPU 时钟频率 II . 优化数据通路结构 III . 对程序进行编译优化

A . 仅 I 和 II B . 仅 I 和 III C . 仅 II 和 III D . I 、 II 和 III

13. 假定有 4 个整数用 8 位补码分别表示  $r1=FEH$ ,  $r2=F2H$ ,  $r3=90H$ ,  $r4=F8H$ , 若将运算结果存放在一个 8 位寄存器中, 则下列运算中会发生溢出的是\_\_\_\_\_。

A .  $r1 \times r2$  B .  $r2 \times r3$  C .  $r1 \times r4$  D .  $r2 \times r4$

14. 假定变量 i、f 和 d 的数据类型分别为 int、float 和 double (int 用补码表示, float 和 double 分别用 IEEE754 单精度和双精度浮点数格式表示), 已知  $i=785$ ,  $f=1.5678e3$ ,  $d=1.5e100$ 。若在 32 位机器中执行下列关系表达式, 则结果为“真”的是\_\_\_\_\_。

I .  $i=(int)(float)i$  II .  $f=(float)(int)f$  III .  $f=(float)(double)f$  IV .  $(d+f)-d==f$

A . 仅 I 和 II B . 仅 I 和 III C . 仅 II 和 III D . 仅 III 和 IV

15. 假定用若干个  $2K \times 4$  位的芯片组成一个  $8K \times 8$  位的存储器, 则地址  $0B1FH$  所在芯片的最小地址是\_\_\_\_\_。

A .  $0000H$  B .  $0600H$  C .  $0700H$  D .  $0800H$

16. 下列有关 RAM 和 ROM 的叙述中, 正确的是\_\_\_\_\_。 I . RAM 是易失性存储器, ROM 是非易失性存储器 II . RAM 和 ROM 都采用随机存取方式进行信息访问 III . RAM 和 ROM 都可用作 Cache IV . RAM 和 ROM 都需要进行刷新

A . 仅 I 和 II B . 仅 II 和 III C . 仅 I 、 II 和 IV D . 仅 II 、 III 和 IV

17. 下列命中组合情况中, 一次访存过程中不 . 可能发生的是\_\_\_\_\_。

A . TLB 未命中, Cache 未命中, Page 未命中 B . TLB 未命中, Cache 命中, Page 命中

C . TLB 命中, Cache 未命中, Page 命中 D . TLB 命中, Cache 命中, Page 未命中

18. 下列寄存器中, 汇编语言程序员可见的是\_\_\_\_\_。

A . 存储器地址寄存器 (MAR) B . 程序计数器 (PC) C . 存储器数据寄存器 (MDR) D . 指令寄存器 (IR)

19. 下列选项中, 不 . 会引起指令流水线阻塞的是\_\_\_\_\_。

A . 数据旁路 (转发) B . 数据相关 C . 条件转移 D . 资源冲突

20. 下列选项中的英文缩写均为总线标准的是\_\_\_\_\_。

A . PCI、CRT、USB、EISA B . ISA、CPI、VESA、EISA

C . ISA、SCSI、RAM、MIPS      D . ISA、EISA、PCI、PCI-Express

21 . 单级中断系统中， 中断服务程序内的执行顺序是\_\_。

I . 保护现场      II . 开中断      III . 关中断      IV . 保存断点      V . 中断事件处理      VI . 恢复现场      VII .中断返回

A . I -> V -> VI-> II ->VII    B . III-> I -> V ->VII    C . III->IV-> V ->VI->VII    D . IV-> I -> V ->VI->VII

22 .假定一台计算机的显示存储器用 DRAM 芯片实现, 若要求显示分辨率为 1600×1200, 颜色深度为 24 位, 帧频为 85Hz, 显存总带宽的 50%用来刷新屏幕, 则需要的显存总带宽至少约为\_\_。

A . 245Mbit/s      B . 979Mbit/s      C . 1 958Mbit/s      D . 7 834Mbit/s

## 二.综合应用题

43 . (11 分) 某计算机字长为 16 位， 主存地址空间大小为 128KB， 按字编址。采用单 字长指令格式， 指令各字段定义如图 B-4 所示。

转移指令采用相对寻址方式， 相对偏移量用补码表示， 寻址方式定义见表 B-1。

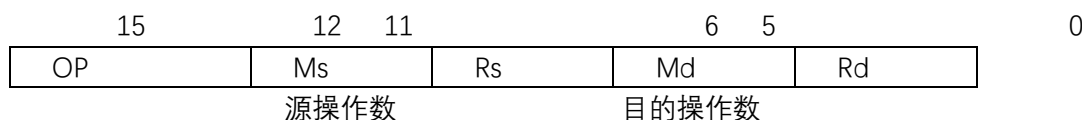


图 B-4

表 B-1

Ms/Md	寻址方式	助记符	含义
000B	寄存器直接	Rn	操作数=((Rn))
001B	寄存器间接	(Rn)	操作数=((Rn))
010B	寄存器间接、自增	(Rn)+	操作数=((Rn)), (Rn)+1→Rn
011B	相对	D(Rn)	转移目标地址=(PC)+(Rn)

【注】(X) 表示存储器地址 X 或寄存器 X 的内容。

请回答下列问题：

(1) 该指令系统最多可有多少条指令？ 该计算机最多有多少个通用寄存器？ 存储器地址 寄存器 (MAR) 和存储器数据寄存器 (MDR) 至少各需要多少位？

(2) 转移指令的目标地址范围是多少？

(3) 若操作码 0010B 表示加法操作 (助记符为 add)， 寄存器 R4 和 R5 的编号分别为 100B 和 101B, R4 的内容为 1234H, R5 的内容为 5678H, 地址 1234H 中的内容为 5678H, 地址 5678H 中的内容为 1234H, 则汇编语言为“add(R4), (R5)+” (逗号前为源操作数, 逗号后为 目的操作数) 对应的机器码是什么 (用十六进制表示) ？ 该指令执行后， 哪些寄存器和存储 单元中的内容会改变？ 改变后的内容是什么？

44 . (12 分) 某计算机的主存地址空间大小为 256MB， 按字节编址。指令 Cache 和数 据 Cache 分离， 均有 8 个 Cache 行， 每个 Cache 行大小为 64B, 数据 Cache 采用直接映射方 式。现有两个功能相同的程序 A 和 B， 其伪代码如下：

程序A： int a[256][256]	程序B： int a[256][256]
-------------------------	-------------------------

<pre> ..... int sum_array1() {     int          i,j,sum=0;     for(i=0;i&lt;256;i++)         for(j=0;j&lt;256;j++)             sum+=a[i][j]; return sum; </pre>	<pre> ..... int sum_array2() {     int          i,j,sum=0;     for(j=0;j&lt;256;j++)         for(i=0;i&lt;256;i++)             sum+=a[i][j]; return sum; </pre>
---	---

假定 int 类型数据用 32 位补码表示, 程序编译时 i、j、sum 均分配在寄存器中, 数组 a 按行优先方式存放, 其首地址为 320 (十进制数)。请回答下列问题, 要求说明理由或给出 计算过程。

- (1) 若不考虑用于 Cache 一致性维护和替换算法的控制位, 则数据 Cache 的总容量为多 少?
- (2) 数组元素 a[0][31]和 a[1][1]各自所在的主存块对应的 Cache 行号分别是多少 (Cache 行号从 0 开始)?
- (3) 程序 A 和 B 的数据访问命中率各是多少? 哪个程序的执行时间更短?

## 2011 年研究生入学考试计算机统考 408

### 一.单项选择题

12. 下列选项中, 描述浮点数操作速度指标的是\_\_\_\_\_。

- A . MIPS      B . CPI      C . IPC      D . MFLOPS

13. float 型数据通常用 IEEE754 单精度浮点数格式表示。若编译器将 float 型变量 x 分 配到一个 32 位浮点寄存器 FR1 中, 且 x=-8.25, 则 FR1 的内容是\_\_\_\_\_。

- A . C104 0000H      B . C242 0000H      C . C184 0000H      D . C1C2 0000H

14. 下列各类存储器中, 不采用随机存取方式的是\_\_\_\_\_。

- A . EPROM      B . CDROM      C . DRAM      D . SRAM

15. 某计算机存储器按字节编址, 主存地址空间大小为 64MB, 现用 4MB×8 位的 RAM 芯片组成 32MB 的主存储器, 则存储器地址寄存器 MAR 的位数至少是\_\_\_\_\_。

- A . 22 位      B . 23 位      C . 25 位      D . 26 位

16. 偏移寻址通过将某个寄存器内容与一个形式地址相加而生成有效地址。下列寻址方式中不属于偏移寻址方式的是\_\_\_\_\_。

- A . 间接寻址      B . 基址寻址      C . 相对寻址      D . 变址寻址

17. 某机器有一个标志寄存器，其中有进位/借位标志 CF、零标志 ZF、符号标志 SF 和溢出标志 OF，条件转移指令 bgt（无符号整数比较大小时转移）的转移条件是\_\_\_\_\_。
- A. CF+OF=1    B. SF+ZF=1    C. CF+ZF=1    D. CF+SF=1
18. 下列给出的指令系统特点中，有利于实现指令流水线的是\_\_\_\_\_。
- I. 指令格式规整且长度一致    II. 指令和数据按边界对齐存放    III. 只有 Load/Store 指令才能对操作数进行存储访问
- A. 仅 I、II    B. 仅 II、III    C. 仅 I、III    D. I、II、III
19. 假定不采用 Cache 和指令预取技术，且机器处于“开中断”状态，则在下列有关指令执行的叙述中，错误的是\_\_\_\_\_。
- A. 每个指令周期中 CPU 都至少访问内存一次    B. 每个指令周期一定大于或等于一个 CPU 时钟周期
- C. 空操作指令的指令周期中任何寄存器的内容都不会被改变
- D. 当前程序在每条指令执行结束时都可能被外部中断打断
20. 在系统总线的数据线上，不可能传输的是\_\_\_\_\_。
- A. 指令    B. 操作数    C. 握手（应答）信号    D. 中断类型号
21. 某计算机有五级中断 L4~L0，中断屏蔽字为 M4M3M2M1M0， $M_i=1$  ( $0 \leq i \leq 4$ ) 表示对  $L_i$  级中断进行屏蔽。若中断响应优先级从高到低的顺序是  $L4 \rightarrow L0 \rightarrow L2 \rightarrow L1 \rightarrow L3$ ，则 L1 的中断处理程序中设置的中断屏蔽字是\_\_\_\_\_。
- A. 11110    B. 01101    C. 00011    D. 01010
22. 某计算机处理器主频为 50MHz，采用定时查询方式控制设备 A 的 I/O，查询程序运行一次所用的时钟周期数至少为 500。在设备 A 工作期间，为保证数据不丢失，每秒需对其查询至少 200 次，则 CPU 用于设备 A 的 I/O 的时间占整个 CPU 时间的百分比至少是\_\_\_\_\_。
- A. 0.02%    B. 0.05%    C. 0.20%    D. 0.50%

## 二.综合应用题

43. (11 分) 假定在一个 8 位字长的计算机中运行如下 C 程序段：

```
unsigned int x=134;
unsigned int y=246; int m=x;
int n=y;
unsigned int z1=x-y;
unsigned int z2=x+y;
int k1=m-n;
int k2=m+n;
```

若编译器编译时将 8 个 8 位寄存器 R1~R8 分别分配给变量 x、y、m、n、z1、z2、k1 和 k2。请回答下列问题。(提示：带符号整数用补码表示。)

- (1) 执行上述程序段后，寄存器 R1、R5 和 R6 的内容分别是什么（用十六进制表示）？
- (2) 执行上述程序段后，变量 m 和 k1 的值分别是多少（用十进制表示）？
- (3) 上述程序段涉及带符号整数加/减、无符号整数加/减运算，这四种运算能否利用同一个加法器辅助电路实现？简述理由。
- (4) 计算机内部如何判断带符号整数加/减运算的结果是否发生溢出？上述程序段中，哪些带符号整数运算语句的执行结果会发生溢出？

44 . (12 分) 某计算机存储器按字节编址，虚拟（逻辑）地址空间大小为 16MB，主存（物理）地址空间大小为 1MB，页面大小为 4KB；Cache 采用直接映射方式，共 8 行；主存与 Cache 之间交换的块大小为 32B。系统运行到某一时刻时，页表的部分内容和 Cache 的部分内容分别如题 44-a 图、题 44-b 图所示，图中页框号及标记字段的内容为十六进制形式。

虚页号	有效位	页框号	...	行号	有效位	标记	...
0	1	06	...	0	1	020	...
1	1	04	...	1	0	—	...
2	1	15	...	2	1	01D	...
3	1	02	...	3	1	105	...
4	0	—	...	4	1	064	...
5	1	2B	...	5	1	14D	...
6	0	—	...	6	0	—	...
7	1	32	...	7	1	27A	...

题 44-a 图 页表的部分内容

题 44-b 图 Cache 的部分内容

请回答下列问题。

- 虚拟地址共有几位，哪几位表示虚页号？物理地址共有几位，哪几位表示页框号（物理页号）？
- 使用物理地址访问 Cache 时，物理地址应划分成哪几个字段？要求说明每个字段的位数及在物理地址中的位置。
- 虚拟地址 001C60H 所在的页面是否在主存中？若在主存中，则该虚拟地址对应的物理地址是什么？访问该地址时是否 Cache 命中？要求说明理由。
- 假定为该机配置一个 4 路组相联的 TLB 共可存放 8 个页表项，若其当前内容（十六进制）如题 44-c 图所示，则此时虚拟地址 024BACH 所在的页面是否存在主存中？要求说明理由。

组号	有效位	标记	页框号	有效位	标记	页框号	有效位	标记	页框号	有效位	标记	页框号
		记号			记号			记号			记号	
0	0	—	—	1	001	15	0	—	—	1	012	1F
1	1	013	2D	0	—	—	1	008	7E	0	—	—

题 44-c 图 TLB 的部分内容



# 西北工业大学 2012 年研究生入学考试(801)

## 一.(本题满分 20 分)计算题

1.(8 分)已知  $X=0.1001_2$ ,  $Y=-0.1011_2$ , 求  $[X+Y]_{\text{补}}$ ,  $[X-Y]_{\text{补}}$ , 写出运算过程。

2.(12 分)已知两个浮点数  $X=0.1011 \times 2^{10}$ ,  $Y=0.1010 \times 2^{01}$ ,  $X$  和  $Y$  在机器中均以补码表示, 想要计算  $(X+Y)$ 。现在仅要求: 写出对阶的运算过程和对阶后  $X$ 、 $Y$  的补码表示。

## 二.(本题满分 30 分)回答下列问题

1.(8 分)什么是总线带宽? 影响总线带宽的因素有哪些? 假设总线的时钟频率为 16MHz, 1 个总线周期等于一个时钟周期, 总线宽度 32 位, 求总线带宽是多少, 要求写出计算过程。

2.(4 分)请解释中断系统中的“断点”和“现场”。

3.(10 分)谈谈你对“微操作”、“微指令”、“微程序”、“指令”和“程序”的理解。

4.(4 分)DRAM 刷新的基本原理是什么?

5.(4 分)现有信息序列  $M=101100100111010$ , 请问: ①如果采用奇校验进行差错检测, 那么检验位的什么? ②如果采用海明码(汉明码)进行差错检测, 那么需要多少个检验位?

# 西北工业大学 2013 年研究生入学考试(801)

## 一. (本题满分 10 分)名词解释

定点数

总线复用

有效地址

直接寻址

存储单元

## 二.(本题满分 25 分)回答下列问题

1.(10 分)请谈一谈计算机中是如何表示和处理数值数据的。

2.(15 分)请详细回答中断处理的全过程，并分析其优缺点。

## 三.(本题满分 15 分)完成下列运算(要求写出分析过程)

已知某计算机的主存容量为 4GB，存储字长 32 位，存储器按字编址，Cache 容量为 16MB，块大小为 16B。

求：(1)Cache 和主存各为多少个块？

(2)若 Cache 和主存之间采用两路组相联映像方式，请设计主存的地址格式，并说明设计理由。

# 西北工业大学 2015 年研究生入学考试(801)

## 一.(本题满分 8 分)回答问题

已知下列数， $A=13.75$ ， $B=-1011_2$ ， $C=16.03_8$ ， $D=-1000.0101_2$ ， $E=A1.01_{16}$ ， $[X]_{\text{原}}=10001101$ ， $[Y]_{\text{反}}=01001001$ ， $[Z]_{\text{补}}=11100101$ 。

求其中的(1)最大值，(2)最小正数，(3)最大负数，(4)最小负数

【注】本题图像不是很清楚，C\D\E\X\Y\Z 下标可能有误，考察的就是这种题型，望谅解。

## 二.(本题满分 15 分)名词解释

微指令

直接寻址

浮点数  
中断向量  
总线主设备

### 三.(本题满分 42 分)回答下列问题

1.(12 分)请阐述提高访存速度可以采取哪些措施?

2.(15 分)DMA 方式中, 数据传送的方法有哪些? 请详细阐述每一种方法的工作原理, 并分析其优缺点。

3.(5 分)浮点数加减法运算中, 为什么要进行对阶操作? 对阶的基本原则是什么?

4.(10 分)请解释什么是指令周期、机器周期、时钟周期? 并分析他们之间的关系。

### 四.(本题满分 10 分)(要求写出分析过程)

如果总线的时钟频率为 200MHz, 总线传输周期为 4 个时钟周期, 总线宽度位 16 位, 试求总线的数据传输率, 如果要提高一倍数据传输率, 可以采取哪些方法和措施?

## 西北工业大学 2016 年研究生入学考试(801)

### 一.选择题(单选, 每小题 2 分, 共 20 分)

1.存放预执行指令的寄存器是( )

A.MAR      B.PC      C.IR      D.MDR

- 2.计算机使用总线结构便于增减外设,同时( )  
A.减少信息传输量 B.提高了信息传输速度 C.减少了传输线的条数 D.增加了传输线的条数
- 3.在三种集中式总线控制中,( )方式响应速度最快  
A.链式查询 B.计数器定时查询 C.独立请求 D.以上三种方法一样快
- 4.某一 SRAM 芯片,其容量为 32K×8 位,除电源和接地端外,该芯片引出线的最少数量是( )  
A.25 B.40 C.23 D.32
- 5.计算机中表示地址时,采用( )  
A.反码 B.补码 C.原码 D.无符号数
- 6.将高级语言程序翻译成机器语言程序需借助于( )  
A.链接程序 B.编辑程序 C.编译程序 D.汇编程序
- 7.在 DMA 方式中,周期窃取是窃取一个( )  
A.存取周期 B.指令周期 C.CPU 周期 D.总线周期
- 8.某机器字长 8 位,采用补码形式(其中 1 位为符号位),则机器数所能表示的范围是( )  
A.-127~127 B.-128~128 C.-128~127 D.-127~128
- 9.计算机中操作的最小时间单位是( )  
A.时钟周期 C.指令周期 C.CPU 周期 D.存取周期
- 10.微程序存放在( )中  
A.存储器控制器 B.控制存储器 C.主存储器 D.辅助存储器

## 二.应用题(共 55 分)

1.(10 分)假设总线的时钟频率为 200MHz,总线的传输周期为 4 个时钟周期,数据总线的宽度为 32 位,求总线的数据传输率。若需将数据传输率提高一倍,可采用什么措施?

2.(10 分)已知  $x = -0.0011$ ,  $y = -0.1111$ ,求  $[x]_{\text{补}}$ ,  $[y]_{\text{补}}$ ,和  $[x+y]_{\text{补}}$ ,并判断有无溢出。

3.(10 分)在程序查询方式的输入输出系统中,假设不考虑处理时间,每一个查询操作需要 100 个时钟周期, CPU 的时钟频率为 50MHz。现有鼠标和硬盘两个设备,而且 CPU 必须每秒对鼠标进行 30 次查询,硬盘以 32 位字长为单位传输数据,即每 32 位被 CPU 查询一次,传输率为 2MBps。求 CPU 对这两个设备查询所花费的时间比率,由此可得出什么结论?

4.(10 分)假设 CPU 执行某段程序时共访问 Cache 命中 4800 次,访问主存 200 次,已知 Cache 的存取周期是 30ns,主存的存储周期是 150ns,求 Cache 的命中率以及 Cache-主存系统的平均访问时间和效率,请问该系统的效率提高了多少?

5.(15 分)设某机器共能完成 110 种操作, CPU 有 8 个通用寄存器(16 位), 主存容量为 4M 字。采用寄存器-存储器型指令。

(1)欲使指令可直接访问主存的任一地址, 指令字长应取多少位? 画出指令格式。

(2)若在上述设计的指令中设置一寻址特征 X, 且 X=1 表示某个寄存器作基址寄存器, 画出指令格式。请问基址寻址可否访问主存的任一单元? 为什么? 如果不能, 设计一种方案, 使其可访问存储器任一位置。

(3)若主存容量扩大到 4G 字, 且存储字长等于指令字长, 且在不改变上述硬件结构的前提下, 可采用什么方法使指令可访问存储器任一位置。

## 西北工业大学 2017 年研究生入学考试(801)

### 一.简答题

1、指令是什么, 程序是什么, cpu 是怎样控制程序执行的?

2、程序和数据都存储在内存中, cpu 是如何识别程序 and 数据的?

3、主存容量 128k\*32 位, cache 容量 4KB, 块大小为 16 字节, cache 地址共有多少位, 可容纳多少块, 主存地址共有多少位, 可容纳多少块?

4、谈谈你对中断的理解, 简述中断方式工作原理, 及其优缺点。

## 二.计算题

$x=0.1001, y=-0.75$

- 1、写出  $x$  对应的十进制，八进制，十六进制。
- 2、写出  $y$  对应的原码，反码，补码，移码，BCD 码。
- 3、求  $[x+y]$  补，并写出计算过程。
- 4、求  $[x-y]$  补，并写出计算过程。

三.什么是总线传输速率，其影响因素是什么？时钟频率为 66MHz，一个总线周期等于一个时钟周期，总线宽度为 32 位，求总线带宽。

## 西北工业大学 2018 年研究生入学考试(801)

### 一、选择题(单选，每小题 2 分，共 20 分)

- 1.电子计算机的算术逻辑单元、控制单元及主存储器合称为\_\_\_\_  
A. CPU      B. ALU      C. 主机      D. UP
- 2.下列语言中，执行最快的是\_\_\_\_  
A. 汇编语言   B. C 语言   C. 机器语言   D. PASCAL 语言
- 3.在三种集中式总线控制中，\_\_\_\_方式对电路故障最敏感。  
A. 链式查询      B. 计数器定时查询      C. 独立请求      D. 三种方式相同
- 4.在异步串行传输系统中，假设每秒传输 120 个字符，其字符格式为:1 位起始位、8 位数据位、1 位奇偶校验位、1 位中止位，则其波特率为\_\_\_\_  
A. 1,320bps      B. 960bps      C. 1,080bps      D. 1200bps
- 5.和辅存相比，主存的特点是\_\_\_\_  
A. 容量小、速度快、单位容量成本高      B. 容量小、速度快、单位容量成本低  
C. 容量大、速度快、单位容量成本高      D. 容量大、速度快、单位容量成本低
- 6.一个 16KX32 位的存储器，其地址线和数据线的总和是\_\_\_\_根。  
A. 48      B. 46      C. 36      D. 32
- 7.主机与设备传送数据时，采用\_\_\_\_,主机与设备是串行工作的。  
A. 程序查询方式      B. 中断方式      C. DMA 方式      D. 专用 IO 处理器
- 8.对真值 0 表示形式唯一的机器数是\_\_\_\_  
A. 原码      B. 反码      C. 补码      D. 以上答案均不正确

9.某机器字长 16 位, 采用补码形式(其中 1 位为符号位),则机器数所能表示的范围是\_\_\_\_

- A.  $-2^{15}+1 \sim 2^{15}-1$     B.  $-2^{15} \sim 2^{15}$     C.  $-2^{15} \sim 2^{15}-1$     D.  $-2^{15}+1-2^{15}$

10.计算机主频的周期是指\_\_\_\_\_

- A.指令周期      B.时钟周期      C.存取周期      D.CPU 周期

二. 1.(10 分)考点是补码加法, 给你两个数的补码, 求 $[x+y]$ 补, 且结果是否正确(其实就是说是否溢出, 本题是正溢出, 具体数据我也记不很清, 主要还是考点)

2.(10 分) 32 位处理器, 时钟频率 66MHz,最短总线周期是四个时钟周期, 求总线带宽;有哪些措施可以提高总线带宽

3.(15 分)有一个数据和指令一起存放的四路组相联 Cache,容量 1Gb(比特), Cache 每块 64B,

1) 写出反映主存与 Cache 关系的主存地址(大概意思是地址格式),并写出每一部分表示什么意思; 2)画出 Cache 结构; 3)以读出为例, 简述过程

4.(10 分)这一题是根据条件设计 CPU 结构并描述指令 ADD R1, R1, R3 (R1, R2, R3 都是寄存器)如何实现, 题干给了三个条件:

a)可以进行逻辑运算, 算术运算... b)可以相对寻址    c) .....

## 西北工业大学 2019 年研究生入学考试(801)

### 一.选择题(10×2=20 分)

1.冯·诺依曼机工作方式的基本特点是()。

- A.多指令流单数据流    B.按地址访问并顺序执行指令    C.堆栈操作    D.存储器按内容选择地址

2.八位二进制补码范围

3.某计算机的 I/O 设备采用异步串行传送方式传送字符信息, 字符信息的格式为: 一位起始位、七位数据位、一位检验位、一位停止位。若要求每秒钟传送 480 个字符, 那么该 I/O 设备的数据传送速率应为\_\_\_\_\_bps(位/秒)。

- A.1 200    B.4 800    C.9 600

## 二.问答题

1.补码的加法，并判断结果是否溢出。(参考往年真题)

2.同一个指令集体系结构有两种不同的实现方式。根据 CPI 的不同将指令分成 4 类 (A、B、C 和 D)，P1 的时钟频率为 2.5GHz，CPI 分别为 1、2、3 和 3；P2 时钟频率为 3GHz，CPI 分别为 2、2、2 和 2。

给定一个程序，有  $1.0 \times 10^6$  条动态指令，按如下比例分为 4 类：A，10%；B，20%；C，50%；D，20%。

a.每种实现方式总的 CPI 是多少？ b.计算两种情况下的时钟周期。(10 分)

3.在程序查询方式的输入输出系统中，假设不考虑处理时间，每一次查询操作需要 100 个时钟周期，CPU 的时钟频率为 50MHz。现有鼠标和硬盘两个设备。而且 CPU 必须每秒对鼠标进行 30 次查询，硬盘已 32 位字长位单位传输数据，即每 32 位被 CPU 查询一次，传输率为 2Mbps，求 CPU 对这两个设备查询所花费的时间比率，由此可得出什么结论？(10 分)

4.考察主存和 cache 的映射，要求画出组相联映射的关系图。

5.同 18 年第 4 题，考察 CPU 内部数据通路，要求画出 CPU 数据通路示意图，并说明 ADD A1, A2, A3 指令的执行过程。

## 西北工业大学 2020 年研究生入学考试(847)

【注】因为 847 考网络和组成原理，不能选做科目，因此满分 150。以下空白或缺题处不是印刷错误，由于第一年考试，报考人数特别少，真题回忆不全，故题目缺少。

### 一.填空题(每空 1 分，共 30 分)

1.计算机系统的主要性能指标有\_\_\_\_\_、\_\_\_\_\_、\_\_\_\_\_、\_\_\_\_\_和\_\_\_\_\_。

### 二.选择题(每小题 1 分，共 20 分)

### 三.名词解释(每个 6 分，共 30 分)

总线传输周期

存取周期

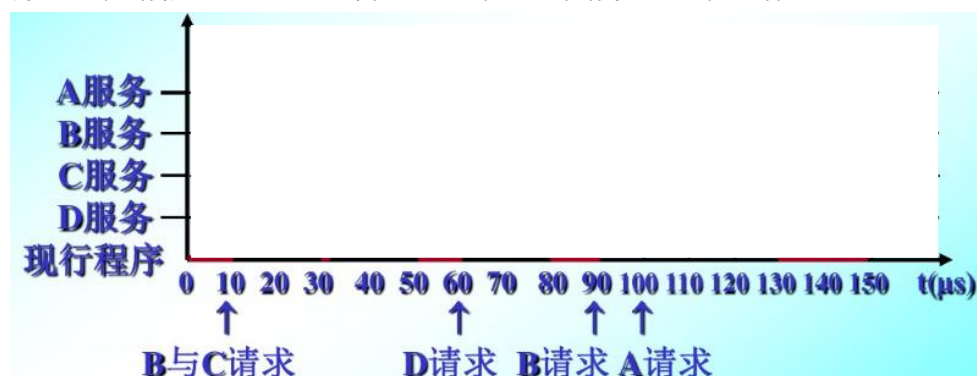
存取时间



#### 四.简答题(每小题 6 分，共 30 分)

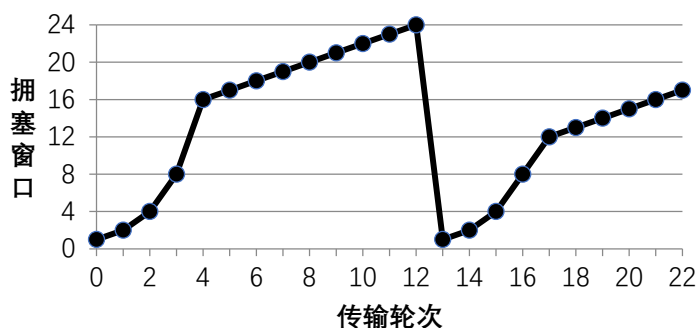
1.假设 CPU 执行某段程序时共访问 Cache 命中 4800 次，访问主存命中 200 次，已知 Cache 的存取周期是 30ns，主存的存取周期是 150ns，求 Cache 的命中率以及 Cache-主存系统的平均访问时间和效率，试问该系统的性能提高了多少倍？

2.现有 A、B、C、D 四个中断源，其优先级由高到低按 A->B->C->D 顺序排列。若中断服务程序的执行时间为 20us，请根据下图所示时间轴给出的中断源请求中断的时刻，画出 CPU 执行程序的轨迹。



3.图为一个 TCP 主机中拥塞窗口变化过程,假设通信开始设置  $MSS=1KB$ ，请回答如下问题:

- (1) TCP 协议慢启动门限初始值为多少?为什么?
- (2) TCP 协议检测网络发生拥塞判断依据是什么? 本次通信在哪一传输轮次检测到拥塞发生?
- (3) 本例子采用什么拥塞控制方法?
- (4) 主机甲与乙之间已经建立一个 TCP 连接，双方持续有数据传输,且数据无差错和丢失；如果甲收到 1 个来自乙的 TCP 段,该段的序号为 1913，确认序号为 2046，有效载荷(数据)为 100B,则甲立即发送给乙的 TCP 段的序号和确认需要分别是多少?



TCP 协议拥塞控制机制示意图

4.某路由器建立了如下的路由表

目的网络	子网掩码	端口
128.96.39.0	255.255.255.128	接口 0
128.96.39.128	255.255.255.128	接口 1
128.96.40.0	255.255.255.128	R2
192.4.153.0	255.255.255.192	R3

此路由器可以直接从接口 0 和接口 1 转发分组，也可以通过相邻的路由器 R2、R3 和 R4 进行转发，现共收到 4 个分组，其目的站 IP 地址分别为： 128.96.39.11、128.96.40.1、128.96.40.126 和 192.4.153.11，分别判断每个分组到达路由器后的转发端口。 转发端口: A、接口 0 B、接口 1 C、R2 D、R3

从上面选择正确的选项，填入到下面对应的括号内。(注： 每空只有一个正确的选项)

- (1) 128.96.39.11, 转发端口为 ( ) (2) 128.96.40.1 转发端口为 ( )  
(3) 128.96.40.126 转发端口为 ( ) (4) 192.4.153.11 转发端口为 ( )

五.计算题(每小题 10 分，共 40 分)

西北工业大学 2020 年研究生入学考试(879)

一.名词解释

CPI

二.计算 CPI:

指令类型	所占比例	CPI
A	50%	2
B	35%	3
C	15%	4

三.X=1101, Y=-1001, 求 X+Y

四.(与此题基本一致)某机配有基址寄存器和变址寄存器，采用一地址格式的指令系统，允许直接和间接寻址，且指令字长、机器字长和存储字长均为 16 位，主存按字编址。

(1)若采用单字长指令，共能完成 105 种操作，则指令可直接寻址的范围是多少？一次间接寻址的寻址范围是多少？画出其指令格式并说明各字段的含义。

(2)若存储字长不变，可采用什么方法直接访问容量为 16MB 的主存？

五.什么是 DMA? DMA 的三种访存形式

## 西北工业大学 2020 年研究生入学考试(801)

一. (15 分) 假设总线数据位数为  $x$  位, 地址线的数据宽度为  $y$  位, 数据传输的时钟主频为  $z\text{MHz}$ , 采用时钟上升沿进行时钟控制, 完成一次数据传输需要 2 个时钟周期, 支持猝发周期。请问:

1. 总线理论带宽为多少

2. 在实际传输中, 哪些因素会使实际带宽低于理论带宽? 请给出一种原因并说明。

3. 假如要将带宽提高二倍, 请给出一种改进方法。

二. (25 分) 1. 存储器的层次结构除了 cache-主存外, 还有其他哪些存储层次? 按从快到慢的存储层次依次写出。

2. 计算机中为什么要设置这些存储层次结构?

3. 假设某计算机存储器采用 cache-主存层次结构, 地址是 32 位, 采用直接映射方式, 物理地址的结构如下所示:

标记 31~10	映射位 9~5	行内地址 4~0
----------	---------	----------

(1) 求 Cache 的块大小和有多少块

(2) 该计算机从通电开始, 访问了如下字节地址 0、232、160、4、180、16、8、1024、3100、130、2180、140, 计算 cache 的命中率。

三. (15 分) 1. 计算机 cpu 访问外部设备除了查询方式外, 还有哪两种方式。请说明这三种方式的优缺点。

2. 对键盘的访问应选择使用哪种方式? 请说明原因。

四. (10 分) 证明  $X\text{补} - Y\text{补} = X\text{补} + (-Y)\text{补}$ , 写出具体证明过程。

五. (10 分) 1.CISC 和 RISC 的英文全称是什么？

2.请在以下表格中填入 CISC 和 RISC 的区别。

	CISC	RISC
指令格式		
CPI		
寻址方式		

## 本科生期末试卷一

### 一. 选择题(每小题 1 分, 共 10 分)

1. 计算机系统中的存储器系统是指\_\_\_\_\_。  
A RAM 存储器 B ROM 存储器 C 主存储器 D 主存储器和外存储器
2. 某机字长 32 位, 其中 1 位符号位, 31 位表示尾数。若用定点小数表示, 则最大正小数为\_\_\_\_\_。  
A  $+(1 - 2^{-32})$  B  $+(1 - 2^{-31})$  C  $2^{-32}$  D  $2^{-31}$
3. 算术 / 逻辑运算单元 74181ALU 可完成\_\_\_\_\_。  
A 16 种算术运算功能 B 16 种逻辑运算功能  
C 16 种算术运算功能和 16 种逻辑运算功能 D 4 位乘法运算和除法运算功能
4. 存储单元是指\_\_\_\_\_。  
A 存放一个二进制信息位的存储元 B 存放一个机器字的所有存储元集合  
C 存放一个字节的存储元集合 D 存放两个字节的存储元集合
5. 相联存储器是按\_\_\_\_\_进行寻址的存储器。  
A 地址方式 B 堆栈方式 C 内容指定方式 D 地址方式与堆栈方式
6. 变址寻址方式中, 操作数的有效地址等于\_\_\_\_\_。  
A 基址寄存器内容加上形式地址(位移量) B 堆栈指示器内容加上形式地址(位移量)  
C 变址寄存器内容加上形式地址(位移量) D 程序计数器内容加上形式地址(位移量)
7. 以下叙述中正确描述的句子是: \_\_\_\_\_。  
A 同一个 CPU 周期中, 可以并行执行的微操作叫相容性微操作  
B 同一个 CPU 周期中, 不可以并行执行的微操作叫相容性微操作  
C 同一个 CPU 周期中, 可以并行执行的微操作叫相斥性微操作  
D 同一个 CPU 周期中, 不可以并行执行的微操作叫相斥性微操作
8. 计算机使用总线结构的主要优点是便于实现积木化, 同时\_\_\_\_\_。  
A 减少了信息传输量 B 提高了信息传输的速度  
C 减少了信息传输线的条数 D 加重了 CPU 的工作量
9. 带有处理器的设备一般称为\_\_\_\_\_设备。  
A 智能化 B 交互式 C 远程通信 D 过程控制
10. 某中断系统中, 每抽取一个输入数据就要中断 CPU 一次, 中断处理程序接收取样的数据, 并将其保存到主存缓冲区内。该中断处理需要 X 秒。另一方面, 缓冲区内每存储 N 个数据, 主程序就将其取出进行处理, 这种处理需要 Y 秒, 因此该系统可以跟踪到每秒\_\_\_\_\_次中断请求。  
A.  $N / (NX + Y)$  B.  $N / (X + Y)N$  C.  $\min[1 / X, 1 / Y]$  D.  $\max[1 / X, 1 / Y]$

### 二. 填空题(每小题 3 分, 共 24 分)

1. 存储 A.\_\_\_\_\_并按 B.\_\_\_\_\_顺序执行, 这是 C.\_\_\_\_\_型计算机的工作原理。
2. 移码表示法主要用于表示 A.\_\_\_\_\_数的阶码 E, 以利于比较两个 B.\_\_\_\_\_的大小和 C.\_\_\_\_\_操作。

3. 闪速存储器能提供高性能、低功耗、高可靠性及 A.\_\_\_\_能力, 为现有的 B.\_\_\_\_带来巨大变化, 因此作为 C.\_\_\_\_用于便携式电脑中。
4. 寻址方式按操作数的 A.\_\_\_\_位置不同, 多使用 B.\_\_\_\_和 C.\_\_\_\_型,前者比后者执行速度快。
5. 微程序设计技术是利用 A.\_\_\_\_方法设计 B.\_\_\_\_的一门技术。具有规整性、可维护性、C.\_\_\_\_等一系列优点。
6. 衡量总线性能的重要指标是 A.\_\_\_\_, 它定义为总线本身所能达到的最高 B.\_\_\_\_。PCI 总线的带宽可达 C.\_\_\_\_。
7. 显示适配器作为 CRT 和 CPU 的接口, 由 A.\_\_\_\_存储器, B.\_\_\_\_控制器, C.\_\_\_\_三部分组成。
8. DMA 技术的出现使得 A.\_\_\_\_可通过 B.\_\_\_\_直接访问 C.\_\_\_\_。

三.(11 分)设机器字长 32 位, 定点表示, 尾数 31 位, 数符 1 位, 问:

- (1) 定点原码整数表示时, 最大正数是多少? 最大负数是多少?
- (2) 定点原码小数表示时, 最大正数是多少? 最大负数是多少?

四.(11 分)设存储器容量为 32 字, 字长 64 位, 模块数  $m = 4$ , 分别用顺序方式和交叉方式进行组织。存储周期  $T = 200\text{ns}$ , 数据总线宽度为 64 位, 总线周期  $\tau = 50\text{ns}$  .问顺序存储器和交叉存储器的带宽各是多少?

五.(11 分)指令格式如下所示, OP 为操作码字段, 试分析指令格式特点。

31	26	25	22	21	18	17	16	15	0
OP			源寄存器			变址寄存器		偏移量	

六.(11 分)已知某机采用微程序控制方式, 其存储器容量为  $512 \times 48(\text{位})$ , 微程序在整个控制存储器中实现转移, 可控制微程序的条件共 4 个, 微指令采用水平型格式, 后继微指令地址采用断定方式, 如图所示:

微命令字段	判别测试字段	下地址字段
←操作控制→	←——— 顺序控制 ———→	

- (1) 微指令中的三个字段分别应多少位?
- (2) 画出对应这种微指令格式的微程序控制器逻辑框图。

# 计算机组成原理期末试题(一)

## 一.选择题(共 20 题, 每题 1 分, 共 20 分)

1. 在下列机器数\_\_\_\_中, 零的表示形式是唯一的。  
A.原码                  B.补码                  C.反码                  D.原码和反码
2. CRT 的分辨率为  $1024 \times 1024$ , 颜色深度为 8 位, 则刷新存储器的存储容量是\_\_\_\_。  
A.2MB                  B.1MB                  C.8MB                  D.1024B
- 3.在定点二进制运算器中, 减法运算一般通过\_\_\_\_来实现。  
A.原码运算的二进制减法器                  B.补码运算的二进制减法器  
C.补码运算的十进制加法器                  D.补码运算的二进制加法器
- 4.在指令的地址字段中, 直接指出操作数本身的寻址方式, 称为\_\_\_\_。  
A.隐含寻址              B.立即寻址              C.寄存器寻址              D.直接寻址
- 5.信息只用一条传输线, 且采用脉冲传输的方式称为\_\_\_\_。  
A.串行传输              B.并行传输              C.并串行传输              D.分时传输
- 6.和外存储器相比, 内存储器的特点是\_\_\_\_。  
A.容量大、速度快、成本低                  B.容量大、速度慢、成本高  
C.容量小、速度快、成本高                  D.容量小、速度快、成本低
- 7.CPU 响应中断的时间是\_\_\_\_。  
A.中断源提出请求                  B.取指周期结束                  C.执行周期结束。
- 8.EPROM 是指\_\_\_\_。  
A.读写存储器              B.只读存储器              C.可编程的只读存储器              D.光擦除可编程的只读存储器
- 9.下列数中最小的数是\_\_\_\_。  
A. $(1101001)_2$                   B. $(52)_8$                   C. $(133)_8$                   D. $(30)_{16}$
- 10.假定下列字符码中有奇偶校验位, 但没有数据错误, 采用偶校验的字符码是\_\_\_\_。  
A.11001011                  B. 11010110                  C. 11000001                  D. 11001001
- 11.中为了完成两个数的算术运算, 除地址码指明的一个操作数外, 另一个数常需采用\_\_\_\_。  
A.堆栈寻址方式              B.立即寻址方式              C.隐含寻址方式              D.间接寻址方式
- 12.用于对某个寄存器中操作数的寻址方式称为\_\_\_\_寻址。  
A.直接                  B.间接                  C.寄存器直接                  D.寄存器间接
- 13.中央处理器(CPU)包含\_\_\_\_。  
A.运算器                  B.控制器                  C.运算器、控制器和 cache                  D.运算器、控制器和主存储器
- 14.在 CPU 中跟踪指令后继地址的寄存器是\_\_\_\_。  
A.主存地址寄存器                  B.程序计数器                  C.指令寄存器                  D.状态、条件寄存器
- 15.在集中式总线仲裁中, \_\_\_\_方式响应时间最快。  
A.链式查询                  B.计数器定时查询                  C.独立请求                  D.以上三种相同
- 16.PCI 总线的基本传输机制是\_\_\_\_。  
A.串行传输                  B.并行传输                  C.DMA 式传输                  D.猝发式传输
- 17.中断向量地址是\_\_\_\_。  
A.子程序入口地址                  B.中断服务子程序入口地址                  C.中断服务子程序出口地址                  D.中断返回地址
- 18.CD-ROM 是\_\_\_\_型光盘。  
A.一次                  B.重写                  C.只读

19. 某计算机字长是 16 位，它的存储容量是 1MB，按字编址，它的寻址范围是\_\_\_\_\_。

- A.512K      B.1M      C.512KB

20.一个 16K×32 位的存储器，其地址线和数据线的总和是\_\_\_\_\_。

- A.48      B.46      C.36      D.40

二.填空题(共 7 题，每空 1 分，共 20 分)

1. 计算机系统是由\_\_\_\_\_和软件两大部分组成，软件又分为\_\_\_\_\_和\_\_\_\_\_。
2. 系统总线按传输信息的不同分为地址总线、\_\_\_\_\_、\_\_\_\_\_三大 类。
3. 四 位 二 进 制 补 码 所 能 表 示 的 十 进 制 整 数 范 围 是 \_\_\_\_\_ 至 \_\_\_\_\_。
4. 半导体 SRAM 靠\_\_\_\_\_存储信息，半导体 DRAM 靠\_\_\_\_\_存 储信息。
5. 动态 RAM 的刷新方式通常有\_\_\_\_\_ 、 \_\_\_\_\_ 、 \_\_\_\_\_三种。
6. 完整的指令周期包括取指、\_\_\_\_\_、\_\_\_\_\_、\_\_\_\_\_四个子周期，影响指令流水线性能的三种相关分别是\_\_\_\_\_相关、\_\_\_\_\_相关和控制相关。
7. Cache 和主存地址的映射方式有\_\_\_\_\_、 \_\_\_\_\_、 \_\_\_\_\_三种。

三.简答题(共 2 题，每题 5 分，共 10 分)

- 1.什么叫指令？什么叫指令系统？
2. 一次程序中断大致可分为哪几个阶段？

四.应用题(共 5 题.每题 10 分.共 50 分)

- 1.设某机主频为 8MHz，每个机器周期平均含 2 个时钟周期，每条指令平均有 2.5 个机器周期，试问该机的平均指令执行速度为多少 MIPS？若机器主频不变，但每个机器周期平均含 4 个时钟周期，每条指令平均有 5 个机器周期，则该机的平均指令执行速度又是多少 MIPS？由此可得出什么结论？
- 2.设某机有四个中断源 A、B、C、D，其硬件排队优先次序为 A>B>C>D，现要求将中断处理次序改为 D>A>C>B。
- (1)写出每个中断源对应的屏蔽字；(2) 按下图时间轴给出的四个中断源的请求时刻，画出 CPU 执行程序的轨迹。设每个中断源的中断服务程序时间均为 20s。

中断码	中断屏蔽字			
	A	B	C	D
A				
B				
C				
D				

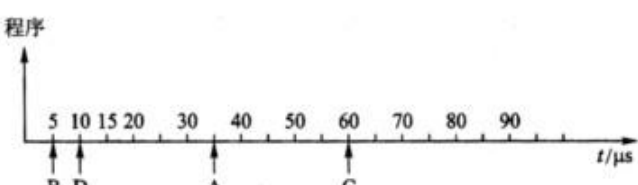


图 设置中断请求的时刻



3.设机器数字长为 8 位(含一位符号位)，若  $A=+15$ ， $B=+24$ ，求 $[A+B]$ 补和 $[A-B]$ 补并还原成真值。

4.某机字长 16 位，存储字长等于指令字长，若存储器直接寻址空间为 128 字，变址时的位移量为 -64~+63,16 个通用寄存器可作为变址寄存器。设计一套指令格式，满足下列寻址类型的要求。

(1)直接寻址的二地址指令 3 条；(2)变址寻址的一地址指令 6 条；(3)寄存器寻址的二地址指令 8 条；(4)直接寻址的一地址指令 12 条。(5)零地址指令 32 条。

试问还有多少种代码未用？若安排寄存器寻址的一地址指令，还能容纳多少条？

5.设 CPU 共有 16 根地址线，8 根数据线，并用 MREQ(低电平有效)作访存控制信号，R/W 作读写命令信号(高电平为读，低电平为写)。现有 8 片 8K×8 位的 RAM 芯片与 CPU 相连，试回答：

(1)用 74138 译码器画出 CPU 与存储芯片的连接图；

(2)写出每片 RAM 的地址范围；

(3)根据(1)的连接图，若出现地址线 A13 与 CPU 断线，并搭接到高电平上，将出现什么后果？

## 计算机组成原理期末试题(二)

### 一.选择题

【说明】这里的答案选项是上课老师那套复习题的答案，后面的是选项内容，括号内容是考点

1、指令周期是指\_\_\_\_\_。

A.CPU 从主存取出一条指令的时间

B.CPU 执行一条指令的时间

- C.CPU 从主存取出一条指令加上 CPU 执行这条指令的时间 D.时钟周期时间
- 2、以下四种类型的二地址指令中，执行时间最长的是\_\_\_\_  
A.RR 型 B.RS 型 C.SS 型 D.SR 型
- 3、某 DRAM 芯片，其存储容量为  $512K \times 8$  位，该芯片的地址线和数据线数目为\_\_\_\_。  
A.8, 512 B.512, 8 C.18, 8 D.19, 8
- 4、某 SRAM 芯片，存储容量为  $64K \times 16$  位，该芯片的地址线和数据线数目为\_\_\_\_。  
A.64, 16 B.16, 64 C.64, 8 D.16, 16
- 5、描述 PCI 总线中基本概念不正确的句子是\_\_\_\_。  
A.HOST 总线不仅连接主存，还可以连接多个 CPU B.PCI 总线体系中有三种桥，它们都是 PCI 设备  
C.以桥连接实现的 PCI 总线结构不允许许多条总线并行工作  
D.桥的作用可使所有的存取都按 CPU 的需要出现在总线上
- 6、描述 PCI 总线中基本概念正确的句子是\_\_\_\_。  
A. PCI 总线是一个与处理器无关的高速外围总线 B. PCI 总线的基本传输机制是猝发式传送  
C. PCI 设备一定是主设备 D.系统中只允许有一条 PCI 总线
- 7、存储单元是指\_\_\_\_。  
A.存放一个机器字的所有存储元 B.存放一个二进制信息位的存储元  
C.存放一个字节的存储元的集合 D.存放两个字节的存储元的集合
- 8、以下叙述中正确描述的句子是：\_\_\_\_。  
A.同一个 CPU 周期中，可以并行执行的微操作叫相容性微操作  
B.同一个 CPU 周期中，不可以并行执行的微操作叫相容性微操作  
C.同一个 CPU 周期中，可以并行执行的微操作叫相斥性微操作  
D.同一个 CPU 周期中，不可以并行执行的微操作叫相斥性微操作
- 9、寄存器间接寻址方式中，操作数处在\_\_\_\_。  
A. 通用寄存器 B. 主存单元 C. 程序计数器 D. 堆栈
- 10、如果浮点数尾数用补码表示，则判断下列哪一项的运算结果是规格化数\_\_\_\_。  
A.1.11000 B.0.01110 C.1.00010 D.0.01010
- 11、CRT 的分辨率为  $1024 \times 1024$  像素，像素的颜色数为 256，则刷新存储器的容量为\_\_\_\_。  
A.512KB B.1MB C.256KB D.2MB
- 12、计算机的外围设备是指\_\_\_\_。  
A.输入/输出设备 B.外存储器 C.远程通信设备 D.除了 CPU 和内存以外的其它设备
- 13、计算机系统中的存储器系统是指\_\_\_\_。  
A.RAM 存储器 B. ROM 存储器 C.主存储器 D.cache、主存储器和外存储器
- 14、下列数中最大的数是\_\_\_\_。  
A.  $(10011001)_2$  B.  $(227)_8$  C.  $(98)_{16}$  D.  $(152)_{10}$
- 15、为确定下一条微指令的地址，通常采用断定方式，其基本思想是\_\_\_\_。  
A.用程序计数器 PC 来产生后继微指令地址 B.用微程序计数器  $\mu PC$  来产生后继微指令地址  
C.通过微指令顺序控制字段由设计者指定或由设计者指定的判别字段控制产生后继微指令地址  
D.通过指令中指定一个专门字段来控制产生后继微指令地址
- 16、某计算机字长 32 位，其存储容量为 4MB，若按半字编址，它的寻址范围是\_\_\_\_。  
A.4MB B.2MB C.2M D.1M
- 17、主存储器和 CPU 之间增加 Cache 的目的是\_\_\_\_。  
A.解决 CPU 和主存储器之间的速度匹配问题 B.扩大主存储器的容量  
C.扩大 CPU 中通用寄存器的数量 D.既扩大主存容量又扩大 CPU 中通用寄存器的数量
- 18、采用串行接口进行 7 位 ASCII 码传送，带有一位奇校验码、1 位起始位和 1 位停止位，当波特率为 9600 波特

时,字符传送速率是\_\_\_\_\_。

- A.960                      B.873                      C.1371                      D.480

19、系统总线中地址线的功能是\_\_\_\_\_。

- A.用于选择主存单元    B.用于选择进行信息传输的设备  
C.用于指定主存单元和 I/O 设备接口电路的地址              D.用于传送主存物理地址和逻辑地址

20、在集中式总线仲裁中, \_\_\_\_\_方式对电路故障最敏感。

- A.菊花链方式    B.独立请求方式    C.分布式    D.计数器定时查询方式

21、设变址寄存器为 X, 形式地址为 D, (X) 表示寄存器 X 的内容, 这种寻址方式的有效地址为\_\_\_\_\_。

- A.  $EA=(X)+D$     B.  $EA=(X)+(D)$     C.  $EA=((X)+D)$     D.  $EA=((X)+(D))$

22、中断向量地址是\_\_\_\_\_。

- A.子程序入口地址    B.中断服务例行程序入口地址    C.中断服务例行程序入口地址的指示器    D.中断返回地址

23、在虚拟存储器中, 当程序正在执行时, 由\_\_\_\_\_完成地址映射。

- A.程序员    B.编译器    C.装入程序    D.操作系统

24、以下有关 RISC 的描述中, 正确的是\_\_\_\_\_。

- A.采用 RISC 技术后, 计算机的体系结构又恢复到早期的比较简单的情况。  
B.为了实现兼容, 新设计的 RISC, 是从原来 CISC 系统的指令系统中挑选一部分实现的。  
C.RISC 的主要目标是减少指令数, 提高指令执行效率。  
D.RISC 设有乘、除法指令和浮点运算指令。

25、\_\_\_\_\_表示法主要用于表示浮点数中的阶码。

- A.原码    B.补码    C.反码    D.移码

## 二.填空题

1、计算机系统中的存储器分为 A.\_\_\_\_\_和 B.\_\_\_\_\_在 CPU 执行程序时必须将指令存放在 C.\_\_\_\_\_

2、总线仲裁部件通过采用 A. \_\_\_\_\_或 B. \_\_\_\_\_, 选择其中一个总设备作为总线的下一次主方, 接管 C. \_\_\_\_\_

3、当代流行的标准总线追求与 A. \_\_\_\_\_ B. \_\_\_\_\_ C. \_\_\_\_\_。

4、Cache 是一种 A. \_\_\_\_\_, 是为了解决 CPU 和主存之间 B. \_\_\_\_\_ 而采用的一项重要硬件技术, C. \_\_\_\_\_与数据 cache 分设体系。

5、计算机系统中, 下列部件都能存储信息①主存②CPU③cache④磁带⑤磁盘, 按照 CPU 存取速度排列, 由快到慢依次为 A \_\_\_\_\_, 内存包括 B \_\_\_\_\_属于外存的是 C \_\_\_\_\_

6、一般来讲, 取指令周期中从内存读取的信息流是 A \_\_\_\_\_, 一定送往 B \_\_\_\_\_寄存器, 在执行周期中, 从内存读出的信息流逝 C \_\_\_\_\_

7、一个较完善的指令系统应包括 A \_\_\_\_\_类指令, B \_\_\_\_\_类指令, C \_\_\_\_\_类指令, 程序控制类指令, I/O 类指令, 字符串类指令, 系统控制类指令。

8、PCI 是一个与处理器无关的 A \_\_\_\_\_它采用 B \_\_\_\_\_时序协议, 和 C \_\_\_\_\_式仲裁策略。

9、根据操作数所在位置, 操作数在寄存器中, 为 A \_\_\_\_\_寻址方式, 操作数地址在寄存器, 为 B \_\_\_\_\_寻址方式, 操作数在指令中, 为 C \_\_\_\_\_方式。

10、计算机硬件包括 A \_\_\_\_\_, B \_\_\_\_\_, C \_\_\_\_\_, 适配器, 输入/输出设备。

11、存储器的技术指标是 A \_\_\_\_\_, B \_\_\_\_\_, C \_\_\_\_\_和存储器带宽。

12、用 16K X 8 位 EPROM 芯片组成 128K X 32 位的只读存储器, 则数据寄存器 A \_\_\_\_\_ 位, 地址寄存器 B \_\_\_\_\_ 位, 共有 EPROM 芯片 C \_\_\_\_\_个。

### 三.简答题

- 1、指令和数据均存放在内存中， 计算机如何从时间和空间上区分它们是指令还是数据？
- 2、什么是指令周期？什么是机器周期？什么是时钟周期？三者之间的关系如何？
- 3、PCI 总线中， 三种桥的名称是什么？桥的功能是什么？
- 4、在寄存器-寄存器型， 寄存器-存储器型， 和存储器-存储器型， 三类指令中， 哪类指令的执行时间最长？哪类指令的执行时间最短？依据是什么？
- 5、简述 cache 的基本原理。
- 6、通常计算机中的基本逻辑运算是哪 4 种？若某控制字有 8 位( $D_7-D_0$ )， 现要使  $D_6D_4D_2D_0$  保持不变， 其余各位清 0， 问如何实现？
- 7、已知某 8 位机的主存采用半导体存储器， 地址码为 18 位， 采用  $4K \times 4$  位的 SRAM 芯片组成该机所允许的最大主存空间， 并选用模块条形式， 问：
  - a,每个模块条为  $32K \times 8$  位， 共需几个模块条？
  - b,每个模块条内有多少片 RAM 芯片？
  - c,主存共需多少 RAM 芯片？
- 8、什么是刷新？刷新操作有哪两种方式， 各有什么特点？
- 9、求十进制-113 的原码表示， 反码表示， 补码表示(用 8 位二进制表示， 并设最高位为符号位， 真值为 7 位)

10、流水线中存在哪三种数据相关冲突会使流水线发生断流？怎么解决？

四.分析与设计

1、执行一段程序时，cache 完成存取的次数为 3800 次，主存完成存取次数为 200 次，已知 cache 存取周期为 50ns，主存为 250ns，求主存系统的效率和平均访问时间。

2、指令格式如下所示，OP 为操作码字段，试分析指令格式特点。

31	26	25	22	21	18	17	16	15	0
OP		源寄存器			变址寄存器		偏移量		

3、某计算机字长 32 位，主存容量为 64KB，采用单字长单地址指令，共有 40 条指令，试采用四种指令方式(寄存器，直接，变址，相对)设计指令格式。

4、用 32K×16 位 EEPROM 芯片组成 128K×16 位的只读存储器。问：

(1)数据寄存器和地址寄存器各多少位？共需多少个 EEPROM 芯片？

(2)画出此存储器组成框图。

5、参见课本 P140 的数据通路，画出指令“STA, R1(R2)”的指令周期流程图，其含义是将寄存器 R1 的内容传送至(R2)地址的单元中，标出各微操作信号序列。

6、存储器容量为 128M, 字长为 64 位, 模块数 m=8, 分别用顺序方式和交叉方式进行组织。存储周期 T=200ns, 数据总线宽度为 64 位，总线周期为 t=50ns，问顺序存储器和交叉存储器的带宽各是多少？

7、将十进制数-15/64 表示成 IEEE754 标准的 32 位浮点规格化数。

8、刷新存储器的重要性能指标是它的带宽, 实际工作时, 显示适配器的几个功能部件 采用刷新存储器的带宽。假定总带宽 60%用于刷新屏幕, 保留 40%带宽用于其他非刷新功能, 若显示方式采用分辨率为 1024 X 1024, 颜色深度为 3B, 刷新速率为 72HZ, 计算刷新存储器总带宽是多少?

9、指令流水线有取指(IF)、译码(ID)、执行(EX)、访存(MEM)和写回(WB)四个过程段, 共有 20 条指令连续进入此流水线, 要求:

(1)画出此流水线的时空图, 假设时钟周期为 100ns;

(2)求流水线的实际吞吐量;

(3)求流水线的加速比。

10、某磁盘存储器转速为 3000 转/分, 共有 4 个记录面, 每道记录信息为 12288 字节, 最小磁道直径为 230nm, 共有 275 道, 问: (1)、磁盘存储器的容量是多少? (2)、最高密度与最低密度是多少? (3)、磁盘数据传输率是多少? (4)、平均等待时间是多少? (5)、给出一个磁盘地址格式方案。

## 计算机组成原理期末试题(三)

### 一、选择题:

1.定点运算器用来进行[ ]

A.十进制数加法运算 B.定点数运算 C.浮点数运算 D.定点数运算和浮点数运算

- 2.某 SRAM 芯片, 其存储容量为  $64K \times 16$  位, 该芯片的地址线 and 数据线数目为[ ]  
A.64, 16      B.16, 64      C.64, 8      D.16, 16
- 3.目前的计算机中, 代码形式是[ ]  
A.指令以二进制形式存放, 数据以十进制形式存放      B.指令以十进制形式存放, 数据以二进制形式存放  
C.指令和数据都以二进制形式存放      D.指令和数据都以十进制形式存放
- 4.采用 DMA 方式传送数据时, 每传送一个数据就要用一个 [ ]  
A.指令周期      B.数据周期      C.存储周期      D.总线周期
- 5.冯·诺依曼机工作方式的基本特点是[ ]  
A.多指令流单数据流      B.按地址访问并顺序执行指令      C.堆栈操作      D.存储器按内容选择地址
- 6.某机字长 32 位。其中 1 位符号位, 31 位表示尾数。若用定点整数表示, 则最大正整数为[ ]  
A. $+(2^{31} - 1)$       B. $+(2^{30} - 1)$       C. $+(2^{31} + 1)$       D. $+(2^{30} + 1)$
- 7.下列数中最大的数是[ ]  
A. $(100110001)_2$       B. $(227)_8$       C. $(98)_{16}$       D. $(152)_{10}$
- 8.哪种表示法主要用于表示浮点数中的阶码[ ]  
A.原码      B.补码      C.反码      D.移码
- 9.由于 CPU 内部的操作速度较快, 而 CPU 访问一次主存所花的时间较长, 因此机器周期通常用下列哪个来规定[ ]  
A.主存中读取一个指令字的最短时间      B.主存中读取一个数据字的最长时间  
C.主存中写入一个数据字的平均时间      D.主存中取一个数据字的平均时间
- 10.下面叙述的概念中哪个是正确的[ ]  
A.总线一定要和接口相连      B.接口一定要和总线相连  
C.通道可以代替接口      D.总线始终由 CPU 控制和管理
- 11.在定点二进制运算器中, 减法运算一般通过下列哪个来实现[ ]  
A.原码运算的二进制减法器      B.补码运算的二进制减法器  
C.补码运算的十进制加法器      D.补码运算的二进制加法器
- 12.下列有关运算器的描述中哪个是正确的[ ]  
A.只作算术运算, 不作逻辑运算      B.只作加法      C.能暂时存放运算结果      D.以上答案都不对
- 13.某 DRAM 芯片, 其存储容量为  $512K \times 8$  位, 该芯片的地址线 and 数据线数目为[ ]  
A.8, 512      B.512, 8      C.18, 8      D.19, 8
- 14.完整的计算机系统应包括[ ]  
A.运算器 存储器 控制器      B.外部设备和主机      C.主机和应用程序      D.配套的硬件设备和软件系统
- 15.没有外存储器的计算机初始引导程序可以放在[ ]  
A.RAM      B.ROM      C.RAM 和 ROM      D.CPU

## 二、名词解释:

- 1.CPU 周期:
- 2.存取时间:
- 3.存储设备数据传输率:
- 4.微指令格式:
- 5.同步通信:
- 6.接口:
- 7.计算机硬件:
- 8.正逻辑:

- 9.指令的编码格式:
- 10.指令周期:
- 11.存储周期:
- 12.微命令:

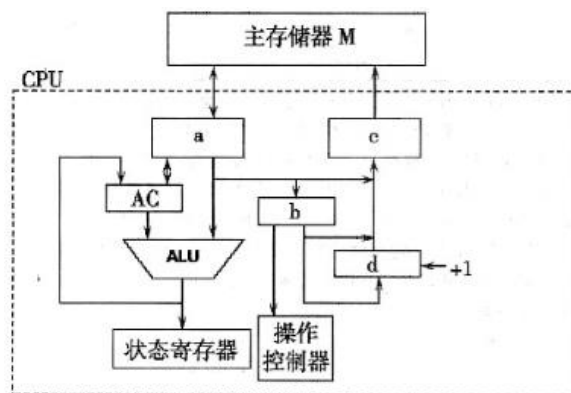
### 三、简答题:

1.计算机中为什么采用二进制数码?

2.主存储器的性能指标主要有哪些? 含义是什么?

3.计算机的主要性能指标包括哪些?

4.CPU 结构如图所示, 其中一个累加寄存器 AC, 一个状态条件寄存器和其它四个寄存器, 各部分之间的连线表示数据通路, 箭头表示信息传送方向。(1)标明图中四个寄存器的名称; (2)简述指令从主存取到控制器的数据通路; (3)简述数据从主存取出的数据通路





5.简单介绍 CPU 中的主要寄存器的名称和功能。

(1)指令寄存器(IR)：

(2)程序计数器(PC)：

(3)地址寄存器(AR)：

(4)缓冲寄存器(DR)：

(5)通用寄存器(AC)：

(6)状态条件寄存器：

6.试述指令周期、CPU 周期和时钟周期之间的关系

7.一个  $256K \times 8$  的 DRAM 芯片，其地址线 and 数据线分别为多少根？

8.解释下列基本术语：微命令、微操作、微指令和微程序

9.总线有哪些分类方式，数据总线和地址总线的特点各是什么？

#### 四、计算及设计题：

1.某计算机的存储系统由 Cache、主存和用于虚拟存储的磁盘组成。CPU 总是从 Cache 中获取数据。若访问的字在 Cache 中，则存取它只需 20ns，将所访问的字从主存装入 Cache 需要 60 ns，而将它从磁盘 装入主存需要 1200us。假设 Cache 的命中率为 0.9，主存的命中率为 0.6，计算该系统访问一个字的平均存取时间。

2.要求用  $128K \times 16$  位的 SRAM 芯片设计  $512K \times 16$  位的存储器，SRAM 芯片有两个控制端：当 CS 有效时该片选中。当  $W/R=1$  时执行读操作，当  $W/R=0$  时执行写操作。用  $64K \times 16$  位的 EPROM 芯片组成  $128K \times 16$  位的只读存储器。试问：①数据寄存器多少位？②地址寄存器多少位？③共需多少片 EPROM？④画出此存储器组成框图。

3.设机器字长为 16 位，定点表示时，尾数 15 位，阶符 1 位。①定点原码整数表示时，最大正数为多少？最小负数为多少？②定点原码小数表示时，最大正数为多少？最小负数为多少？

4.用  $16k \times 8$  位的 SRAM 芯片构成  $64K \times 16$  位的存储器，要求画出该存储器的组成逻辑框图。

5.  $(1101.0111)_2$  转换为对应的十进制数和十六进制数

6. 用补码运算方法计算  $X+Y=?$  并判断结果是否溢出(采用双符号位) 。 ①  $X=0.1011$   $Y=0.1100$  ②  $X=-0.1011$   $Y=0.1001$

7. 将十进制数  $-0.276$  和  $47$  化成二进制数, 再写出各自的原码、补码、反码表示(符号位和数值位共 8 位)。

## 计算机组成原理期末试题(四)

一、选择题 (每小题选出一个最合适的答案, 每小题 2 分, 共 20 分)

1. 若十进制数为  $37.25$ , 则相应的二进制数是 ( )。

- (A)  $100110.01$  (B)  $110101.01$  (C)  $100101.1$  (D)  $100101.01$

2. 若  $[x]_{\text{反}}=1.1011$ , 则  $x=(\quad)$

- (A)  $-0.0101$  (B)  $-0.0100$  (C)  $0.1011$  (D)  $-0.1011$

3. 某机器字长 16 位, 含一位数符, 用补码表示, 则定点小数所能表示的最小正数是 ( )。

- (A)  $2^{-15}$  (B)  $2^{16}$  (C)  $2^{-1}$  (D)  $1-2^{-15}$

4. 若采用双符号位补码运算, 运算结果的符号位为 10, 则 ( )。

- (A) 产生了负溢出(下溢) (B) 产生了正溢出(上溢)  
(C) 运算结果正确, 为负数 (D) 运算结果正确, 为正数

5. 在用比较法进行补码一位乘法时, 若相邻两位乘数  $y_i y_{i+1}$  为 01 时, 完成的操作是 ( )。

- (A) 无 (B) 原部分积  $+ [X]_{\text{补}}$ , 右移一位  
(C) 原部分积  $+ [-X]_{\text{补}}$ , 右移一位 (D) 原部分积  $+ [Y]_{\text{补}}$ , 右移一位

6. 堆栈指针 SP 的内容是 ( )。

- (A) 栈顶地址 (B) 栈底地址 (C) 栈顶内容 (D) 栈底内容

7. 在寄存器间接寻址方式中, 操作数是从 ( )。

- (A) 主存储器中读出 (B) 寄存器中读出 (C) 磁盘中读出 (D) CPU 中读出

8. 在微程序控制器中, 一条机器指令的功能通常由 ( )。

- (A) 一条微指令实现 (B) 一段微程序实现 (C) 一个指令码实现 (D) 一个条件码实现

- 9、在串行传输时，被传输的数据（ ）
- (A) 在发送设备和接受设备中都是进行串行到并行的变换
  - (B) 在发送设备和接受设备中都是进行并行到串行的变换
  - (C) 发送设备进行串行到并行的变换，在接受设备中都是进行并行到串行的变换
  - (D) 发送设备进行并行到串行的变换，在接受设备中都是进行串行到并行的变换
- 10、系统总线是指（ ）。
- (A) 运算器、控制器和寄存器之间的信息传送线
  - (B) 运算器、寄存器和主存之间的信息传送线
  - (C) 运算器、寄存器和外围设备之间的信息传送线
  - (D) CPU、主存和外围设备之间的信息传送线

## 二、名词解释（每小题 4 分，共 20 分）

- 1.全相联映像
- 2.指令系统
- 3.指令周期、CPU 周期
- 4.向量中断
- 5.微指令

## 三、改错题（在下列各小题的表述中均有错误，请改正。每小题 3 分，共 12 分）

- 1、在中央处理器中，运算器可以向控制器发出命令进行运算操作。
- 2、在单处理机总线中，相对 CPU 而言，地址线 and 数据线一般都为双向信号线
- 3、多重中断方式，是指 CPU 同时处理多个中断请求
- 4、在“半互锁”异步通信方式中，“请求”信号的撤消取决于“回答”信号的来到，而“请求”信号的撤消又导致“回答”信号的撤消

## 四、简答题（每小题 5 分，共 15 分）

- 1、某机指令字长 12 位，每个地址段 3 位，试提出一种字段分配方案，使该机指令系统能有 6 条三地址指令 and 8 条二地址指令。
- 2、分别用 NRZ-1、PE 及 FE 制记录方式记录数据序列 11001，画出写电流波形。
- 3、简述通道控制方式和 DMA 方式的异同。

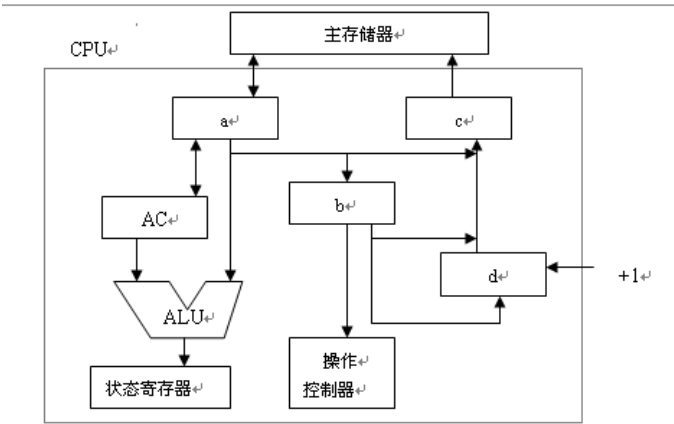
五、计算题（10 分）

用补码加减交替一位除法进行  $6 \div 2$  运算，要求写出运算过程和运算结果

六、设计题（第一小题 12 分，第二小题 11 分，共 23 分）

1、 CPU 结构如下图所示，其中有一个累加寄存器 AC、一个状态条件寄存器和其他 4 个寄存器，各部件之间的连线表示数据通路，箭头表示信息传送方向。

- (1) 标明 4 个寄存器的名称。
- (2) 简述指令从主存取出送到控制器的数据通路。
- (3) 简述数据在运算器和主存之间进行存取访问的数据通路



2、 用 2K 4 位/片的 RAM 存储器芯片设计一个 8KB 的存储器，设 CPU 的地址总线为 A12~A0（低），数据总线为 D7~D0（低），由 线控制读写。

- (1) 该存储器需要多少片 2K 4 位/片的存储器芯片。
- (2) 请设计并画出该存储器的逻辑图。