

Sistemi di Calcolo (A.A. 2014-2015)

Corso di Laurea in Ingegneria Informatica e Automatica
Sapienza Università di Roma

Esercizi riepilogativi sulla seconda parte del Modulo I – Sistemi di memoria

Domanda 1

Si consideri un'operazione `movl x,%eax`. L'istruzione richiede una transazione di accesso a memoria che effettua una serie di passi che scambiano dati fra la CPU e la memoria utilizzando il bus della memoria. Quali?

Domanda 2

Qual è il tempo tipico di accesso (latenza) a una memoria DRAM?

A	1-10 nanosecondi	B	10-100 nanosecondi
C	1-10 microsecondi	D	1-10 millisecondi

Domanda 3

Qual è il tempo tipico di accesso (latenza) a un disco (tradizionale, non a stato solido)?

A	1-10 nanosecondi	B	10-100 nanosecondi
C	1-10 microsecondi	D	1-10 millisecondi

Domanda 4

Una memoria DRAM non conserva i dati in essa immagazzinati in assenza di alimentazione elettrica. E' richiesto un refresh elettrico:

A	Ogni 10-100 nanosecondi	B	Ogni 10-100 microsecondi
C	Ogni 10-100 millisecondi	D	Ogni secondo

Domanda 5

Grazie ai progressi tecnologici, la velocità di accesso ai dispositivi di memorizzazione basati su dischi magnetici si è costantemente ridotta durante l'ultimo decennio:

A	Vero: i tempi di accesso a disco si sono dimezzati ogni 18 mesi come predetto dalla Legge di Moore	B	Falso: i tempi di accesso a disco sono rimasti quasi invariati negli ultimi anni.
----------	--	----------	---

Domanda 6*¹

L'istruzione `movl (%eax),%ecx` richiede sempre lo stesso tempo per essere completata indipendentemente dal contesto in cui viene richiamata.

A	Vero	B	Falso
----------	------	----------	-------

Domanda 7

Una memoria cache è una memoria:

A	Veloce e costosa	B	Veloce ed economica
C	Lenta e costosa	D	Lenta ed economica

¹ Le risposte alle domande marcate con * devono essere motivate.

Domanda 8

Lo scopo di una memoria cache è:

A	Garantire protezione della memoria in modo che un processo non possa accedere allo spazio logico di un altro processo	B	Fornire uno spazio di memoria condiviso tra più processi per consentire loro di comunicare
C	Sfruttare le proprietà di località dei programmi per velocizzare gli accessi a memoria	D	Permettere a più core di accedere in parallelo alla stessa zona di memoria fisica

Domanda 9

Un programma esibisce località spaziale nell'accesso alla memoria in uno di questi casi:

A	Se una cella di memoria viene acceduta, è probabile che altre celle di memoria nel suo vicinato vengano accedute a breve	B	Se una cella di memoria viene acceduta, è probabile che la stessa cella venga acceduta ancora a breve
----------	--	----------	---

Domanda 10

Le dimensioni attuali delle cache sono dell'ordine:

A	GB	B	KB-MB
----------	----	----------	-------

Domanda 11

In una cache completamente associativa:

A	Ogni blocco di memoria può essere ospitato in qualsiasi blocco di cache	B	Ogni blocco di memoria ha un solo possibile blocco di cache che può ospitarlo
C	Ogni blocco di memoria ha diversi possibili blocchi di cache che possono ospitarlo, ma non tutti	D	Nessuna delle precedenti

Domanda 12

Si ha un cache hit quando:

A	Il processore accede a un indirizzo di memoria il cui contenuto non è stato precedentemente caricato in cache	B	Il processore accede a un indirizzo di memoria il cui contenuto è stato precedentemente caricato in cache
----------	---	----------	---

Domanda 13*

Un cache miss di tipo "conflict" può aversi in una cache completamente associativa?

A	Sì	B	No
----------	----	----------	----

Domanda 14

Un cache miss di tipo "cold (compulsory)" si ha quando:

A	La cache avrebbe blocchi liberi per ospitare il blocco acceduto, ma per vincoli architetturali non sono utilizzabili per quel particolare blocco	B	Un determinato blocco di memoria viene caricato per la prima volta in cache
----------	--	----------	---

Domanda 15*

Si consideri un sistema con una piccola cache completamente associativa contenente 2 sole linee da 16 byte ciascuna. Quanti cache miss vengono generati dal seguente frammento di programma? Assumere che l'array *v* sia allineato a un indirizzo multiplo di 16 byte e che la cache inizialmente non contenga alcun blocco di memoria in uso al processo.

```
int v[12];  
v[0]=5;  
v[1]=4;  
v[10]=3;  
v[8]=2;  
v[2]=v[10];  
v[9]=v[1];
```

A	1	B	2
C	5	D	8

Domanda 16*

Con riferimento alla domanda 15, il programma esibisce qualche tipo di località?

A	No	B	Sì, solo spaziale
C	Sì, solo temporale	D	Sì, sia spaziale che temporale

Domanda 17*

Con riferimento alla domanda 15, quanti cache miss si avrebbero se la cache fosse a indirizzamento diretto?

A	1	B	2
C	4	D	8

Domanda 18*

Con riferimento alla domanda 15, i cache miss sono tutti "cold"?

A	Sì	B	No
----------	----	----------	----

Domanda 19*

Con riferimento alla domanda 17, vi sono cache miss di tipo "conflict"?

A	Sì	B	No
----------	----	----------	----

Domanda 20

In una gerarchia di memoria, le velocità di accesso sono tali che:

A	$L1 > L2 > L3 > \text{registri} < \text{memoria centrale} < \text{disco}$	B	$\text{Registri} < L3 < L2 < L1 < \text{memoria centrale} < \text{disco}$
C	$L3 < L2 < L1 < \text{registri} < \text{memoria centrale} < \text{disco}$	D	$\text{Registri} < L1 < L2 < L3 < \text{memoria centrale} < \text{disco}$

Domanda 21*

Di quanto è più lenta una *mov M, R* (memoria-registro) che accede a un valore non in cache rispetto a una *mov R, R* (registro-registro)?

A	$\sim 2x$	B	$> 30x$
C	$\sim 5x$	D	$\sim 10x$

Domanda 22*

Quanti cache miss genera la scansione lineare di un array di n elementi assumendo una cache in cui ogni linea può contenere k elementi dell'array?

A	k	B	n/k
C	n	D	1

Domanda 23*

Quanti cache miss può generare nel caso peggiore la scansione lineare di una lista collegata di n elementi assumendo una cache completamente associativa in cui ogni linea può contenere k nodi dell'array?

A	k	B	n/k
C	n	D	1

Domanda 24*

Si considerino gli accessi a memoria generati dalla scansione lineare di un array. Usando una cache completamente associativa gli accessi all'array generano meno cache miss rispetto a una cache ad indirizzamento diretto?

A	Vero	B	Falso
----------	------	----------	-------