

Laboratorium Elektroniki Cyfrowej		
Ćwiczenie nr: 1 Temat zajęć: Bramki		Data wykonania: 16.03.2018 Data uruchomienia: 22.03.2018
Kierunek/semestr: AiR / 4	Grupa: CZW_1145	
Wykonali: Katarzyna Kowalska 132079, Eryk Miśkiewicz 132100		

1. Cel zadania / wymagania projektowe

Przy pomocy bramek logicznych z biblioteki Xilinx Spartan zbudowaliśmy układ realizujący funkcję logiczną 4-zmiennych wg tablicy prawdy F1/4.

Tablica prawdy układu wg generatora zadań dla numeru indeksu 132100:

dekoder D1

we	BIN	wyj	BIN
0	0000	1	0001
1	0001	14	1110
2	0010	10	1010
3	0011	11	1011
4	0100	12	1100
5	0101	6	0110
6	0110	8	1000
7	0111	4	0100
*	-----	0	0000

* - wszystkie pozostałe stany

wejście	wyście
We₃We₂We₁We₀	Wy₃Wy₂Wy₁Wy₀
0000	0001
0001	1110
0010	1010
0011	1011
0100	1100
0101	0110
0110	1000
0111	0100
1000	0000
1001	0000
1010	0000
1011	0000
1100	0000
1101	0000
1110	0000
1111	0000

2. Synteza układu / tablice Karnaugh dla realizowanej funkcji

- $Wy_0 = \overline{We_3} \cdot \overline{We_2} \cdot \overline{We_1} \cdot \overline{We_0} + \overline{We_3} \cdot \overline{We_2} \cdot We_1 \cdot We_0 = \overline{We_3} \cdot \overline{We_2} \cdot (We_1 \otimes We_0)$

$We_1/We_0 \backslash We_3/We_2$	00	01	11	10
00	1	0	1	0
01	0	0	0	0
11	0	0	0	0
10	0	0	0	0

- $Wy_1 = \overline{We_3} \cdot \overline{We_1} \cdot We_0 + \overline{We_3} \cdot \overline{We_2} \cdot We_1$

$We_1/We_0 \backslash We_3/We_2$	00	01	11	10
00	0	1	1	1
01	0	1	0	0
11	0	0	0	0
0	0	0	0	0

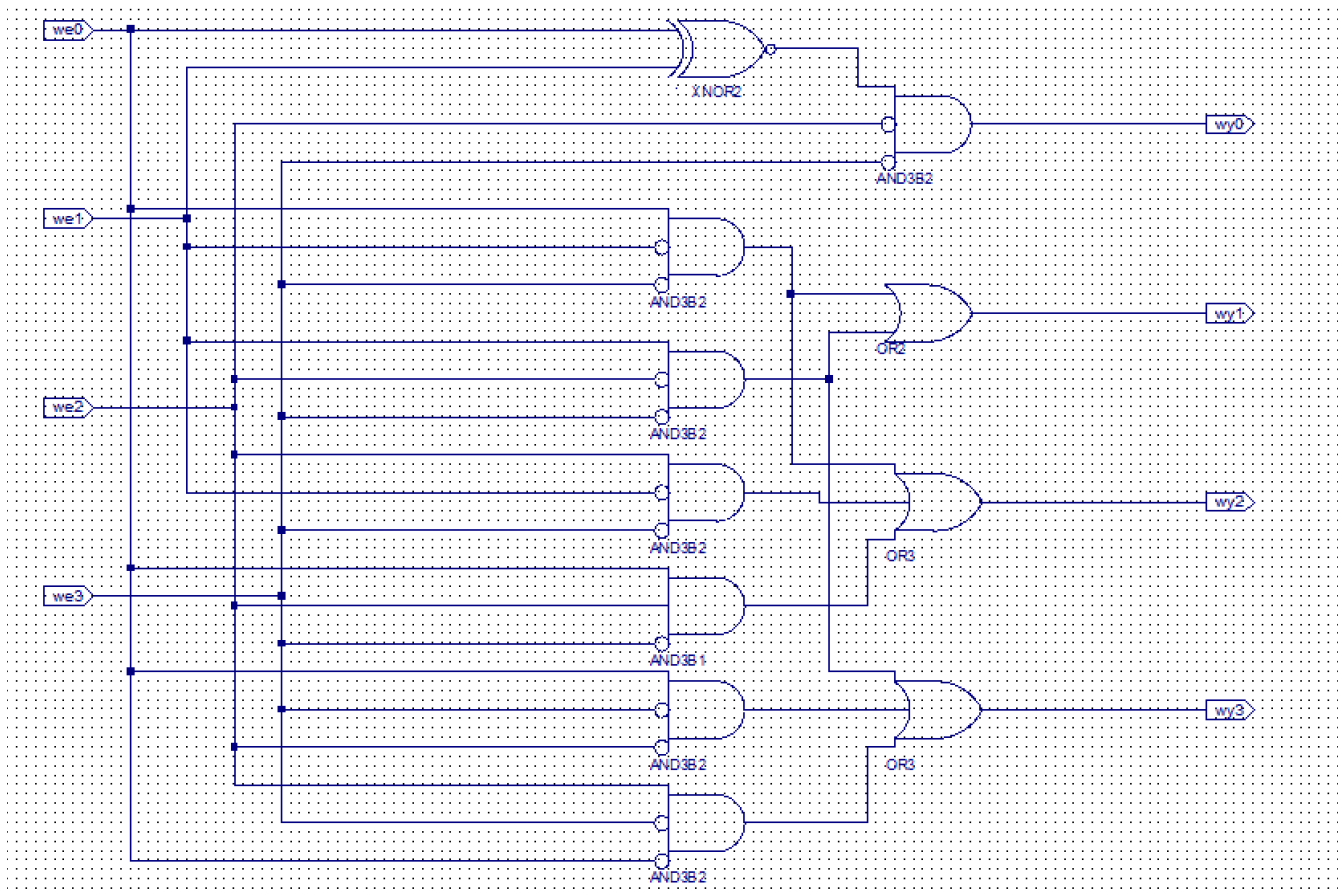
- $Wy_2 = \overline{We_3} \cdot \overline{We_2} \cdot \overline{We_1} + \overline{We_3} \cdot \overline{We_1} \cdot We_0 + \overline{We_3} \cdot We_2 \cdot We_0$

$We_1/We_0 \backslash We_3/We_2$	00	01	11	10
00	0	1	0	0
01	1	1	1	0
11	0	0	0	0
0	0	0	0	0

- $Wy_3 = \overline{We_3} \cdot \overline{We_2} \cdot We_0 + \overline{We_3} \cdot \overline{We_2} \cdot We_1 + \overline{We_3} \cdot We_2 \cdot \overline{We_0}$

$We_1/We_0 \backslash We_3/We_2$	00	01	11	10
00	0	1	1	1
01	1	0	0	1
11	0	0	0	0
0	0	0	0	0

3. Realizacja przy pomocy bramek z biblioteki Xilinx Spartan3



4. Weryfikacja poprawności projektu / wyniki symulacji

- Wymuszenia zdefiniowano zgodnie z poniższym skryptem Tcl:

```
force We3 0 0ps, 1 80ps -repeat 160ps
```

```
force We2 0 0ps, 1 40ps -repeat 80ps
```

```
force We1 0 0ps, 1 20ps -repeat 40ps
```

```
force We0 0 0ps, 1 10ps -repeat 20ps
```

```
run 160ps
```

- Tablica prawdy weryfikowanej funkcji:

dekoder D1

we	BIN	wyj	BIN
0	0000	1	0001
1	0001	14	1110
2	0010	10	1010
3	0011	11	1011
4	0100	12	1100
5	0101	6	0110
6	0110	8	1000
7	0111	4	0100
*	-----	0	0000

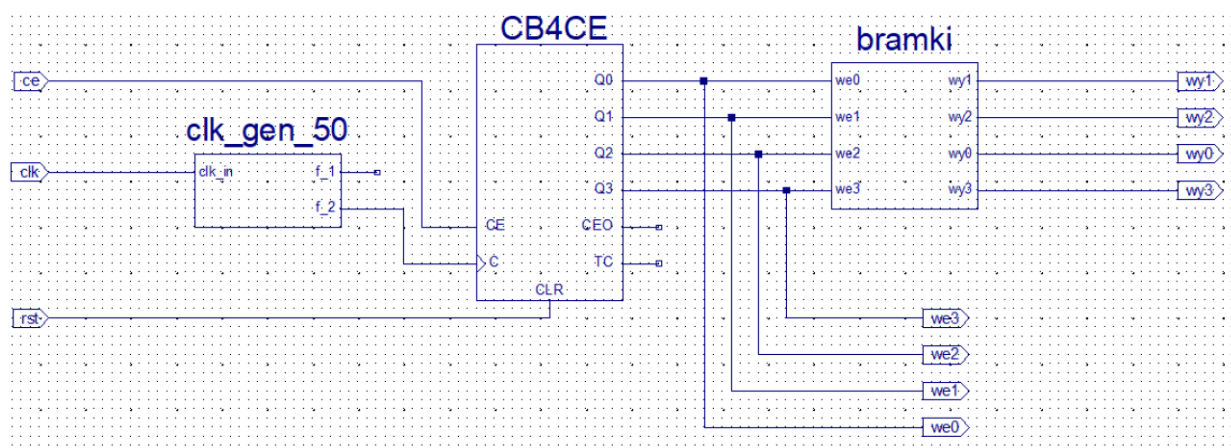
* - wszystkie pozostałe stany

- Symulacja w programie ModelSim:



Wyniki symulacji behawioralnej potwierdzają poprawność wykonania modelu strukturalnego urządzenia. Pojawianie się na wyjściu stanu wysokiego jest zgodne z zawartością tablicy prawdy dla funkcji F1/4.

5. Implementacja / testowanie prototypu



- Interfejs testowanego urządzenia (wg schematu):

Port urządzenia testowanego	Sygnał płyty prototypowej	Kanał analizatora stanów
We₀	Pmod JA1	CH0
We₁	Pmod JA2	CH1
We₂	Pmod JA3	CH2
We₃	Pmod JA4	CH3
Wy₀	Pmod JA7	CH8
Wy₁	Pmod JA8	CH9
Wy₂	Pmod JA9	CH10
Wy₃	Pmod JA10	CH11
CE	SW7	-
RST	SW6	-
CLK	Zegar 50MHz	-

Testowanie polega na podaniu na wejścia A,B,C,D bloku fl_4 sekwencji 4-bitowych w kodzie NKB i obserwacji zachowania układu przy pomocy analizatora stanów logicznych. Analizator podłączony do układu poprzez port Pmod_JA. Procedura testowania wykorzystuje wewnętrzny licznik binarny 4-bitowy (najstarszy bit licznika podany na wejście A urządzenia testowanego). Częstotliwość zegara licznika (wejście C dla CB4CE) wynosi ~1kHz.

- Pinout Report

	Pin Number	Pin Usage	Pin Name	Direction	IO Standard	IO Bank Number	Drive (mA)	Slew Rate	Termination	IOB Delay	Voltage	Constraint	IO Register	Signal Integrity
1	R17	ce	IP	INPUT	LVC MOS...	1				NONE		LOCATED	NO	NONE
2	B8	clk	IP_L13P_0/GCLK8	INPUT	LVC MOS...	0				NONE		LOCATED	NO	NONE
3	B18	rst	IP	INPUT	LVC MOS...	1				NONE		LOCATED	NO	NONE
4	L15	we0	IO_L09N_1/A11	OUTPUT	LVC MOS...	1	12	SL...	NONE**			LOCATED	NO	NONE
5	K12	we1	IO_L11N_1/A9/RHCLK1	OUTPUT	LVC MOS...	1	12	SL...	NONE**			LOCATED	NO	NONE
6	L17	we2	IO_L10N_1/VREF_1	OUTPUT	LVC MOS...	1	12	SL...	NONE**			LOCATED	NO	NONE
7	M15	we3	IO_L07P_1	OUTPUT	LVC MOS...	1	12	SL...	NONE**			LOCATED	NO	NONE
8	K13	wy0	IO_L11P_1/A10/RHCLK0	OUTPUT	LVC MOS...	1	12	SL...	NONE**			LOCATED	NO	NONE
9	L16	wy1	IO_L09P_1/A12	OUTPUT	LVC MOS...	1	12	SL...	NONE**			LOCATED	NO	NONE
10	M14	wy2	IO_L05P_1	OUTPUT	LVC MOS...	1	12	SL...	NONE**			LOCATED	NO	NONE
11	M16	wy3	IO_L07N_1	OUTPUT	LVC MOS...	1	12	SL...	NONE**			LOCATED	NO	NONE