

Laboratorium Elektroniki Cyfrowej		
Ćwiczenie nr: 3 Temat zajęć: Rejestry		Data wykonania: 29.03.2018 Data uruchomienia: 05.04.2018
Kierunek/semestr: AiR / 4	Grupa: CZW_1145	
Wykonali: Katarzyna Kowalska 132079, Eryk Miśkiewicz 132100		

Zadanie A:

1. Cel zadania / wymagania projektowe

- Wykonać rejestr cykliczny realizujący na wyjściu 4-bitowy kod Johnsona.
- Wykonać transkoder kodu Johnsona na kod kolumny 'wyj' tablicy dekodowania D3.
- Dokonać symulacji behawioralnej zaprojektowanego urządzenia.

Tabela funkcji **D3** wg generatora zadań dla numeru indeksu 132100:

dekoder D3

we	BIN	wyj	BIN
0	0000	3	0011
1	0001	0	0000
2	0010	12	1100
3	0011	13	1101
4	0100	14	1110
5	0101	8	1000
6	0110	10	1010
7	0111	6	0110
*	-----	0	0000

* - wszystkie pozostałe stany

we	BIN	wyj	BIN
0	0000	3	0011
1	0001	0	0000
2	0010	12	1100
3	0011	13	1101
4	0100	14	1110
5	0101	8	1000
6	0110	10	1010
7	0111	6	0110
*	-----	0	0000

2. Tabela reprezentująca kod Johnsona

DEC	BIN	$Q_3Q_2Q_1Q_0$
0	000	0000
1	001	0001
2	010	0011
3	011	0111
4	100	1111
5	101	1110
6	110	1100
7	111	1000

3. Wyznaczenie kodu Johnsona w oparciu o tablice prawdy.

Q_3^t	Q_2^t	Q_1^t	Q_0^t	Q_3^{t+1}	Q_2^{t+1}	Q_1^{t+1}	Q_0^{t+1}
0	0	0	0	0	0	0	1
0	0	0	1	0	0	1	1
0	0	1	1	0	1	1	1
0	1	1	1	1	1	1	1
1	1	1	1	1	1	1	0
1	1	1	0	1	1	0	0
1	1	0	0	1	0	0	0
1	0	0	0	0	0	0	0

Tabela dla Q_0^{t+1}

$Q_3^tQ_2^t \backslash Q_1^tQ_0^t$	00	01	11	10
00	1	1	1	-
01	-	-	1	-
11	0	-	0	0
10	0	-	-	-

$$Q_0^{t+1} = \overline{Q_3^t}$$

Tabela dla Q_1^{t+1}

$Q_3^tQ_2^t \backslash Q_1^tQ_0^t$	00	01	11	10
00	0	1	1	-
01	-	-	1	-
11	0	-	1	0
10	0	-	-	-

$$Q_1^{t+1} = Q_0^t$$

Tabela dla Q_2^{t+1}

$Q_3^t Q_2^t \backslash Q_1^t Q_0^t$	00	01	11	10
00	0	0	1	-
01	-	-	1	-
11	0	-	1	1
10	0	-	-	-

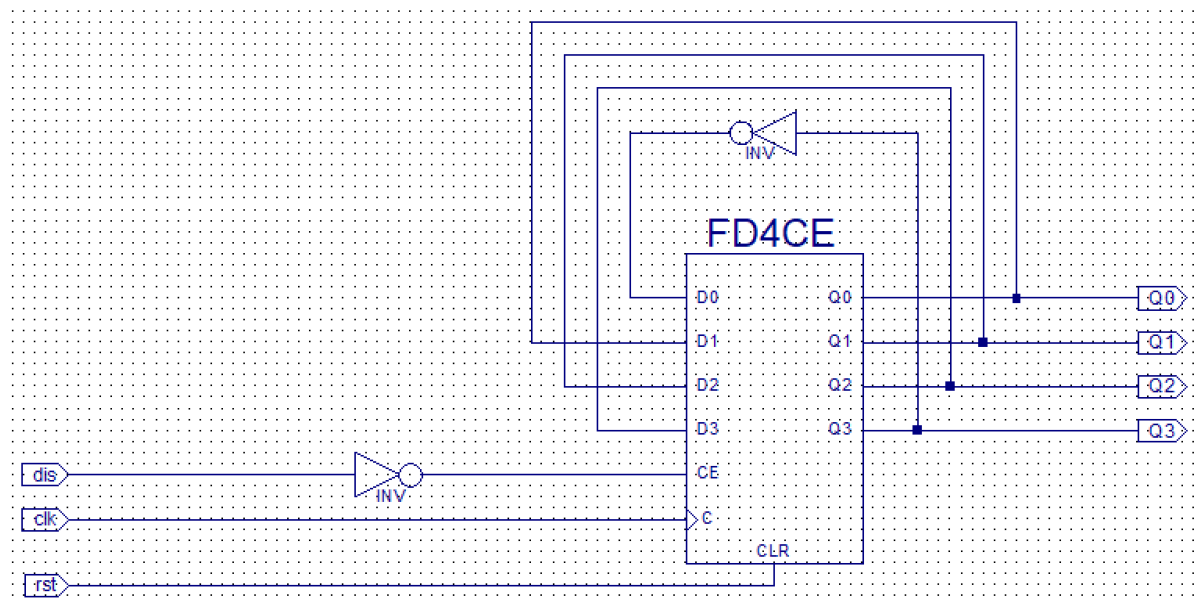
$$Q_2^{t+1} = Q_1^t$$

Tabela dla Q_3^{t+1}

$Q_3^t Q_2^t \backslash Q_1^t Q_0^t$	00	01	11	10
00	0	0	0	-
01	-	-	1	-
11	1	-	1	1
10	0	-	-	-

$$Q_3^{t+1} = Q_2^t$$

4. Wykonanie kodera według kodu Johnsona

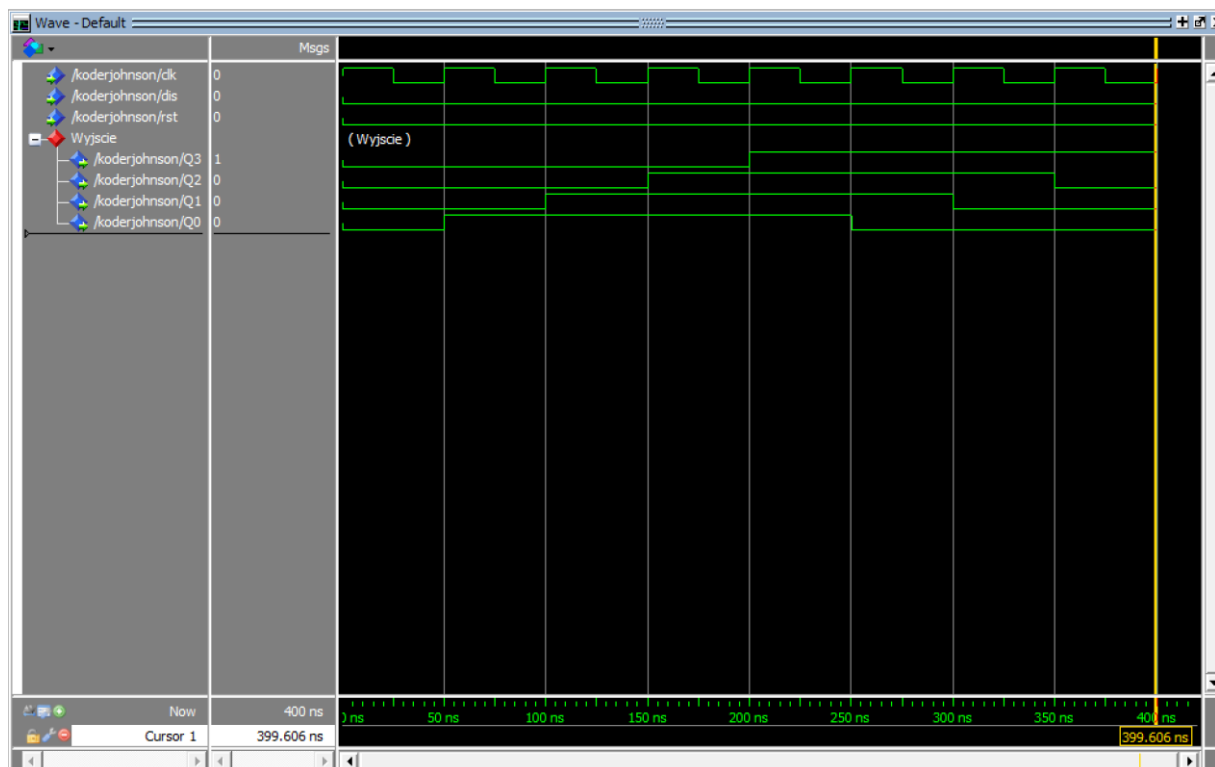


5. Symulacja działania kodera

- Wymuszenia zdefiniowano zgodnie z poniższym skrypcem Tcl:
 - force -freeze sim:/koderjohnson/clk 1 0, 0 {25000 ps} -r 50ns
 - force -freeze sim:/koderjohnson/dis 0 0
 - force -freeze sim:/koderjohnson/rst 0 0
 - run 400 ns
- Tablica kodu Johnsona

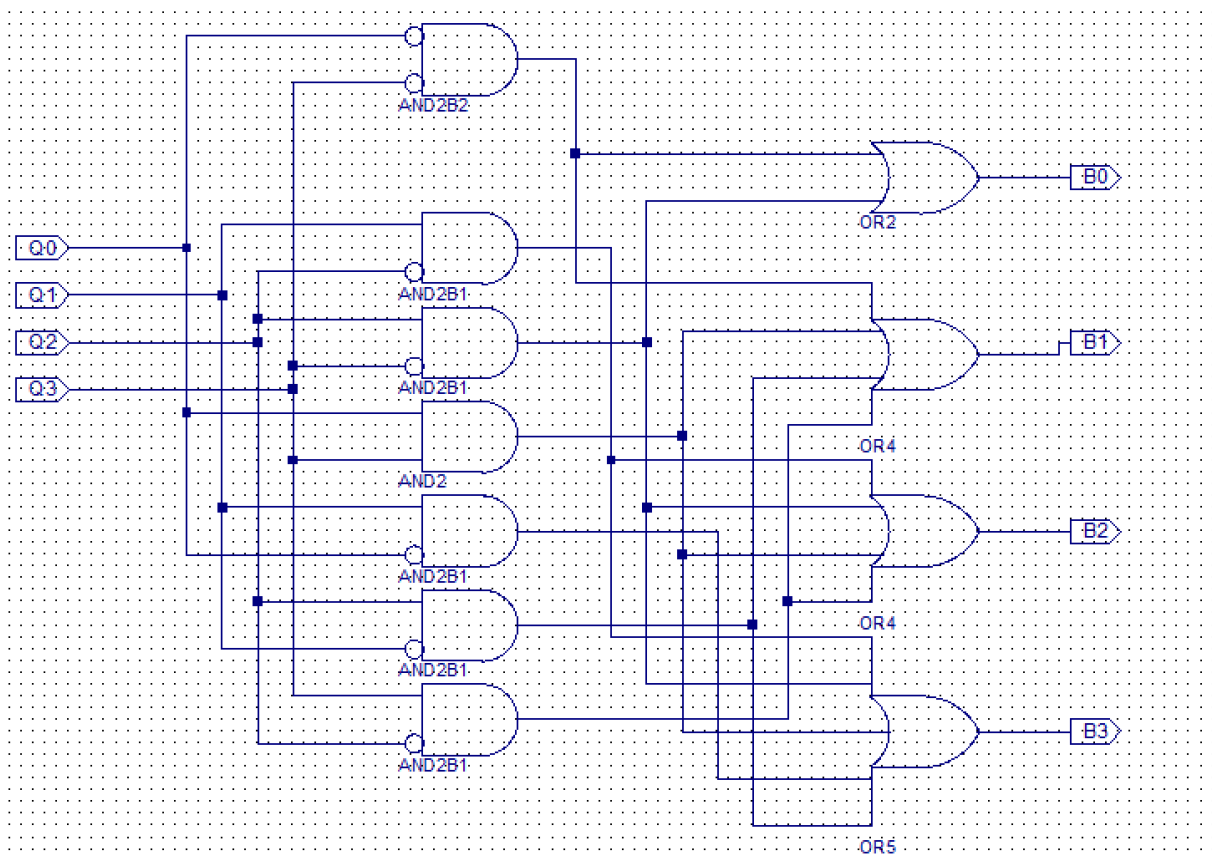
DEC	BIN	$Q_3Q_2Q_1Q_0$
0	000	0000
1	001	0001
2	010	0011
3	011	0111
4	100	1111
5	101	1110
6	110	1100
7	111	1000

- Symulacja w programie modelsim



Wyniki na wyjściach są zgodne z oczekiwanymi dla kodera realizującego kod Johnsona.

6. Wykonanie dekodera kodu Johnsona w oparciu o tablicę prawdy D3



7. Symulacja działania kodera

- Wymuszenia zdefiniowano zgodnie z poniższym skryptem Tcl:
 - force -freeze sim:/dekoderjohnson/Q0 1 20ps, 0 { 100 ps } -r 160ps
 - force -freeze sim:/dekoderjohnson/Q1 1 40ps, 0 { 120 ps } -r 160ps
 - force -freeze sim:/dekoderjohnson/Q2 1 60ps, 0 { 140 ps } -r 160ps
 - force -freeze sim:/dekoderjohnson/Q3 1 80ps, 0 { 160 ps } -r 160ps
 - run 320ps

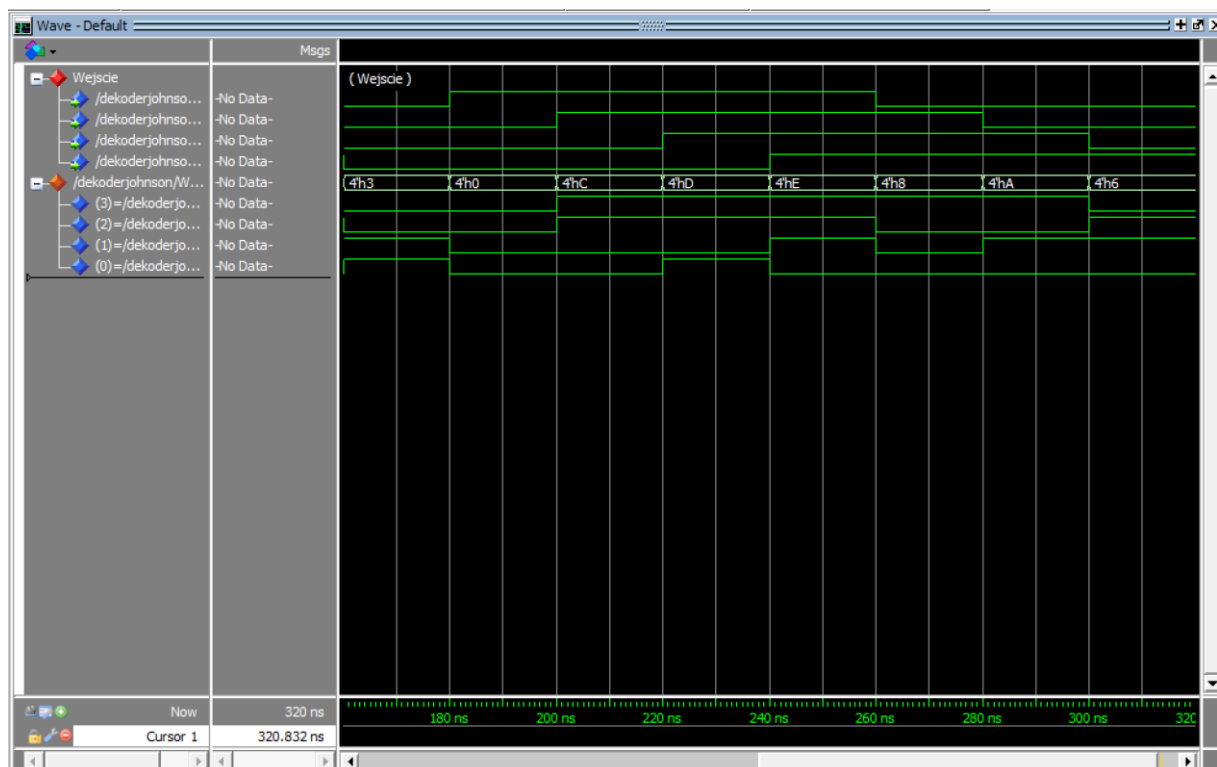
- Tablica prawdy funkcji

dekoder D3

we	BIN	wyj	BIN
0	0000	3	0011
1	0001	0	0000
2	0010	12	1100
3	0011	13	1101
4	0100	14	1110
5	0101	8	1000
6	0110	10	1010
7	0111	6	0110
*	-----	0	0000

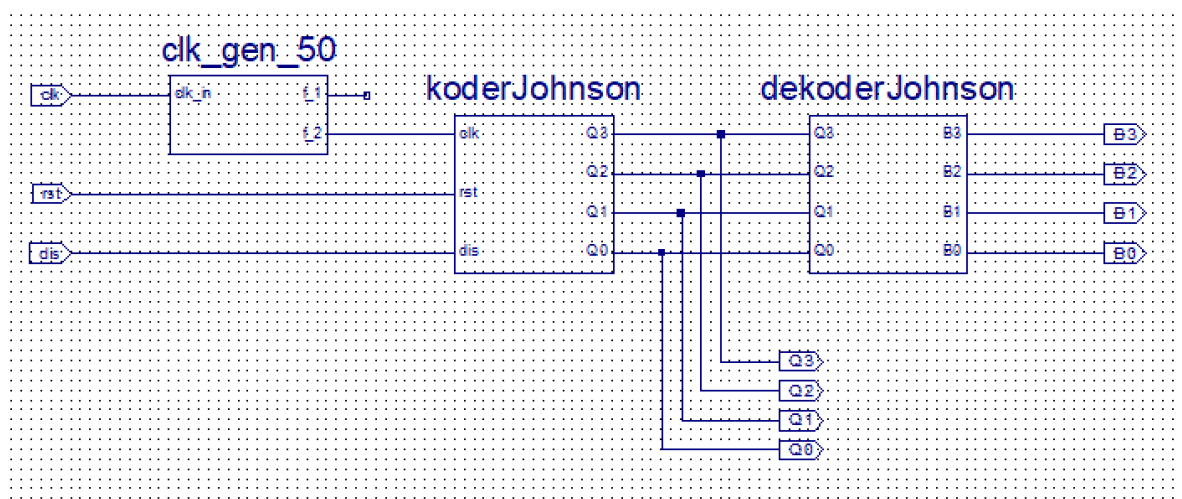
* - wszystkie pozostałe stany

- Symulacja w programie modelsim



Wyniki symulacji behawioralnej potwierdzają poprawność wykonania modelu strukturalnego urządzenia. Pojawianie się na wyjściach stanu wysokiego jest zgodne z zawartością tablicy prawdy dla funkcji D3.

8. Implementacja / testowanie prototypu



- Interfejs testowanego urządzenia (wg schematu):

Port urządzenia testowanego	Sygnał płyty prototypowej	Kanał analizatora stanów
Q_0	Pmod JA1	CH0
Q_1	Pmod JA2	CH1
Q_2	Pmod JA3	CH2
Q_3	Pmod JA4	CH3
B_0	Pmod JA7	CH4
B_1	Pmod JA8	CH5
B_2	Pmod JA9	CH6
B_3	Pmod JA10	CH7
CE	SW7	-
RST	SW6	-
CLK	Zegar 50MHz	-

Testowanie polega na podaniu na wejścia Q_0 , Q_1 , Q_2 , Q_3 bloku dekodeJohnson sekwencji 4-bitowych w kodzie Johnsona i obserwacji zachowania układu przy pomocy analizatora stanów logicznych. Analizator podłączony do układu poprzez port Pmod_JA. Częstotliwość zegara licznika (wejście clk dla koderJohnson) wynosi ~1kHz.

- Pinout Report

	Pin Number	Pin Usage	Pin Name	Direction	IO Standard	IO Bank Number	Drive (mA)	Slew Rate	Termination	IOB Delay	Voltage	Constraint	IO Register	Signal Integrity
1	K13	B0	IO_L11P_1/A10/R...	OUTPUT	LVCMO...	1	12	SL...	NONE**			LOCATED	NO	NONE
2	L16	B1	IO_L09P_1/A12	OUTPUT	LVCMO...	1	12	SL...	NONE**			LOCATED	NO	NONE
3	M14	B2	IO_L05P_1	OUTPUT	LVCMO...	1	12	SL...	NONE**			LOCATED	NO	NONE
4	M16	B3	IO_L07N_1	OUTPUT	LVCMO...	1	12	SL...	NONE**			LOCATED	NO	NONE
5	L15	Q0	IO_L09N_1/A11	OUTPUT	LVCMO...	1	12	SL...	NONE**			LOCATED	NO	NONE
6	K12	Q1	IO_L11N_1/A9/R...	OUTPUT	LVCMO...	1	12	SL...	NONE**			LOCATED	NO	NONE
7	L17	Q2	IO_L10N_1/VREF_1	OUTPUT	LVCMO...	1	12	SL...	NONE**			LOCATED	NO	NONE
8	M15	Q3	IO_L07P_1	OUTPUT	LVCMO...	1	12	SL...	NONE**			LOCATED	NO	NONE
9	B8	clk	IP_L13P_0/GCLK8	INPUT	LVCMO...	0				NO...		LOCATED	NO	NONE
10	R17	dis	IP	INPUT	LVCMO...	1				NO...		LOCATED	NO	NONE
11	N17	rst	IP	INPUT	LVCMO...	1				NO...		LOCATED	NO	NONE

Zadanie B:

1. Cel zadania / wymagania projektowe

- Wykonać rejestr cykliczny realizujący na wyjściu 6-bitowy kod 1zN.
- Wykonać transkoder kodu 1zN na kod kolumny 'wyj' tablicy dekodowania D3.
- Dokonać symulacji behawioralnej zaprojektowanego urządzenia.

Tabela funkcji **D3** wg generatora zadań dla numeru indeksu 132100:

dekoder D3

we	BIN	wyj	BIN
0	0000	3	0011
1	0001	0	0000
2	0010	12	1100
3	0011	13	1101
4	0100	14	1110
5	0101	8	1000
6	0110	10	1010
7	0111	6	0110
*	-----	0	0000

* - wszystkie pozostałe stany

we	BIN	wyj	BIN
0	0000	3	0011
1	0001	0	0000
2	0010	12	1100
3	0011	13	1101
4	0100	14	1110
5	0101	8	1000
6	0110	10	1010
7	0111	6	0110
*	-----	0	0000

2. Tabela reprezentująca kod 1zN

DEC	BIN	$Q_5Q_4Q_3Q_2Q_1Q_0$
0	000	000001
1	001	000010
2	010	000100
3	011	001000
4	100	010000
5	101	100000

3. Wyznaczenie funkcji IzN w oparciu o tablice prawdy.

Q_3^t	Q_2^t	Q_1^t	Q_0^t	Q_3^{t+1}	Q_2^{t+1}	Q_1^{t+1}	Q_0^{t+1}
0	0	0	1	0	0	1	0
0	0	1	0	0	1	0	0
0	1	0	0	1	0	0	0
1	0	0	0	0	0	0	1

Tabela dla Q_0^{t+1}

$Q_3^t Q_2^t \backslash Q_1^t Q_0^t$	00	01	11	10
00	-	0	-	0
01	0	-	-	-
11	-	-	-	-
10	1	-	-	-

$$Q_0^{t+1} = Q_3^t$$

Tabela dla Q_1^{t+1}

$Q_3^t Q_2^t \backslash Q_1^t Q_0^t$	00	01	11	10
00	-	1	-	0
01	0	-	-	-
11	-	-	-	-
10	0	-	-	-

$$Q_1^{t+1} = Q_0^t$$

Tabela dla Q_2^{t+1}

$Q_3^t Q_2^t \backslash Q_1^t Q_0^t$	00	01	11	10
00	-	0	-	1
01	0	-	-	-
11	-	-	-	-
10	0	-	-	-

$$Q_2^{t+1} = Q_1^t$$

Tabela dla Q_3^{t+1}

$Q_3^t Q_2^t \backslash Q_1^t Q_0^t$	00	01	11	10
00	-	0	-	0
01	1	-	-	-
11	-	-	-	-
10	0	-	-	-

$$Q_3^{t+1} = Q_2^t$$

4. Dla kodu wykonanego na sześciu przerzutnikach wzór się skaluje. Otrzymane wzory mają daną postać:

$$Q_0^{t+1} = Q_5^t$$

$$Q_1^{t+1} = Q_0^t$$

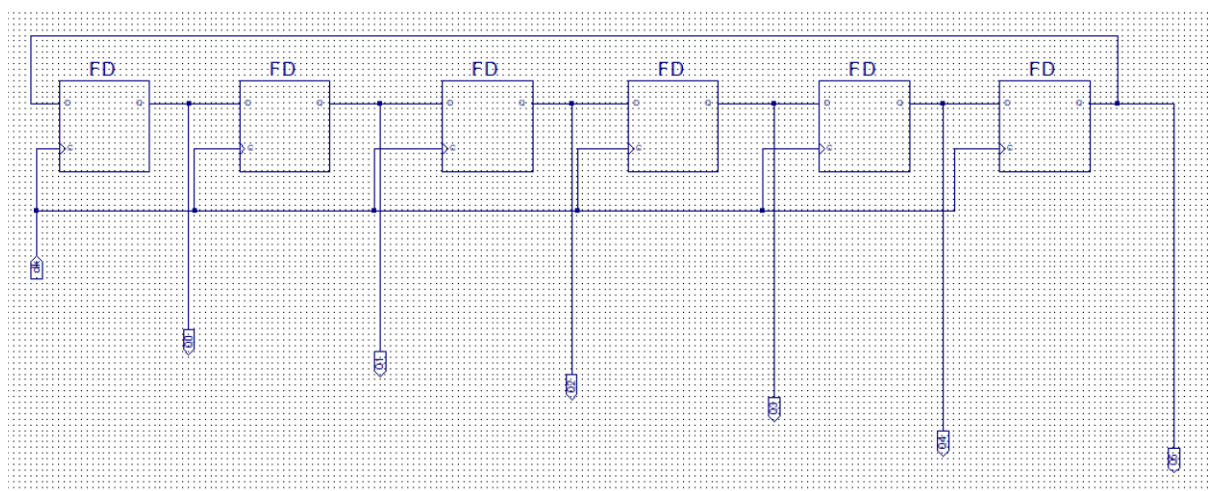
$$Q_2^{t+1} = Q_1^t$$

$$Q_3^{t+1} = Q_2^t$$

$$Q_4^{t+1} = Q_3^t$$

$$Q_5^{t+1} = Q_4^t$$

5. Wykonanie kodera według kodu 1zN



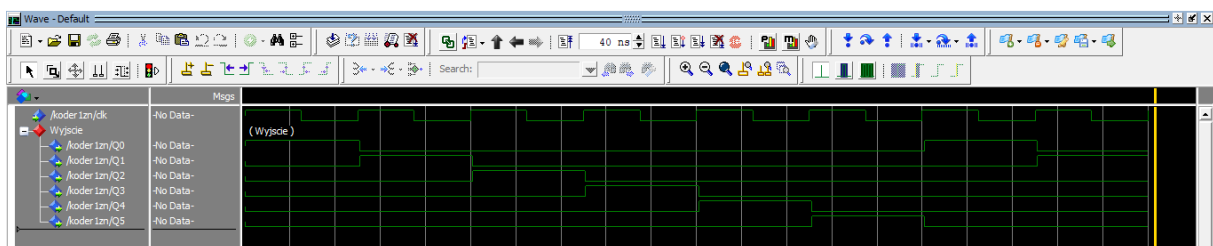
Aby uzyskać początkowy stan przerzutnik pierwszy jest inicjowany z wartością 1.

6. Symulacja działania kodera

- Wymuszenia zdefiniowano zgodnie z poniższym skryptem Tcl:
 - force -freeze sim:/koder1zn/clock 1 0, 0 {25000 ps} -r 50ns
 - run 300 ns
- Tablica kodu 1zN

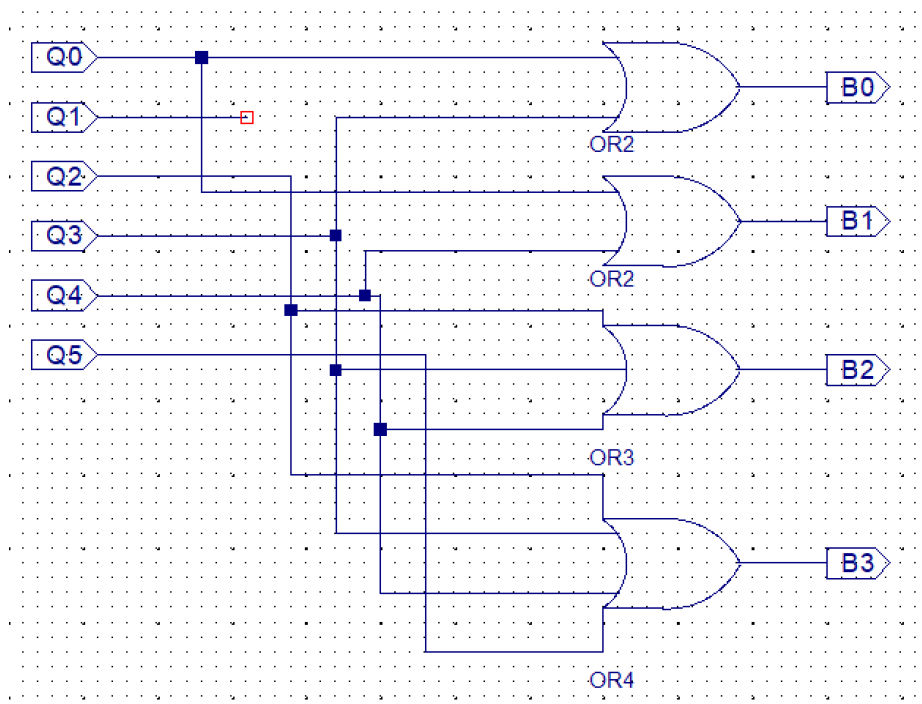
DEC	BIN	$Q_5Q_4Q_3Q_2Q_1Q_0$
0	000	000001
1	001	000010
2	010	000100
3	011	001000
4	100	010000
5	101	100000

- Symulacja w programie modelsim



Wyniki na wyjściach są zgodne z oczekiwanymi dla kodera realizującego kod 1zN.

7. Wykonanie dekodera kodu 1zN w oparciu o tablicę prawdy D3



8. Symulacja działania kodera

- Wymuszenia zdefiniowano zgodnie z poniższym skrypcem Tcl:
 - force -freeze sim:/dekoder/Q0 1 0, 0 {10000 ps} -r 200ns
 - force -freeze sim:/dekoder/Q1 1 10ns, 0 {20000 ps} -r 200ns
 - force -freeze sim:/dekoder/Q2 1 20ns, 0 {30000 ps} -r 200ns
 - force -freeze sim:/dekoder/Q3 1 30ns, 0 {40000 ps} -r 200ns
 - force -freeze sim:/dekoder/Q4 1 40ns, 0 {50000 ps} -r 200ns
 - force -freeze sim:/dekoder/Q5 1 50ns, 0 {60000 ps} -r 200ns
 - run 60ns
- Tablica prawdy funkcji

dekoder D3

we	BIN	wyj	BIN
0	0000	3	0011
1	0001	0	0000
2	0010	12	1100
3	0011	13	1101
4	0100	14	1110
5	0101	8	1000
6	0110	10	1010
7	0111	6	0110
*	-----	0	0000

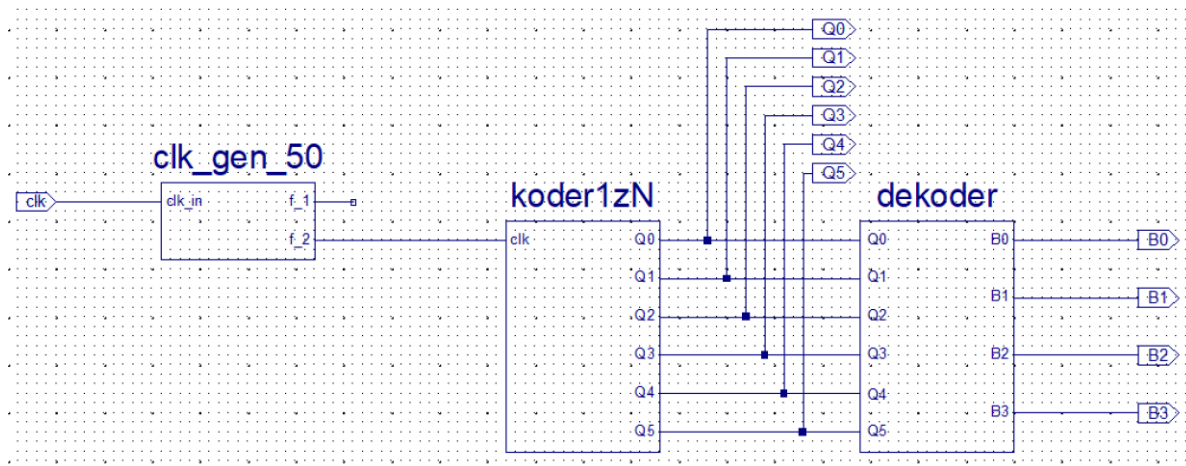
* - wszystkie pozostałe stany

- Symulacja w programie modelsim



Wyniki symulacji behawioralnej potwierdzają poprawność wykonania modelu strukturalnego urządzenia. Pojawianie się na wyjściach stanu wysokiego jest zgodne z zawartością tablicy prawdy dla funkcji D3.

9. Implementacja / testowanie prototypu



- Interfejs testowanego urządzenia (wg schematu):

Port urządzenia testowanego	Sygnał płyty prototypowej	Kanał analizatora stanów
Q_0	Pmod JA1	CH0
Q_1	Pmod JA2	CH1
Q_2	Pmod JA3	CH2
Q_3	Pmod JA4	CH3
Q_4	Pmod JA7	CH4
Q_5	Pmod JA8	CH5
B_0	Pmod JB1	CH8
B_1	Pmod JB2	CH9
B_2	Pmod JB3	CH10
B_3	Pmod JB4	CH11
CLK	Zegar 50MHz	-

Testowanie polega na podaniu na wejścia $Q_0, Q_1, Q_2, Q_3, Q_4, Q_5$ bloku dekodek sekwencji 6-bitowych w kodzie 1zN i obserwacji zachowania układu przy pomocy analizatora stanów logicznych. Analizator podłączony do układu poprzez port Pmod_JA i Pmod_JB. Częstotliwość zegara koder (wejście clk dla koder1zN) wynosi ~1kHz.

- Pinout Report

	Pin Number	Pin Name	Pin Usage	Direction	IO Standard	IO Bank Number	Drive (mA)	Slew Rate	Termination	IOB Delay	Voltage	Constraint	IO Register	Signal Integrity
1	M13	B0	IOB	IO_L05N_1/VREF_1	OUTPUT	LVC MOS...	1	12	SL...	NONE**		LOCATED	NO	NONE
2	R18	B1	IOB	IO_L02P_1/A14	OUTPUT	LVC MOS...	1	12	SL...	NONE**		LOCATED	NO	NONE
3	R15	B2	IOB	IO_L03P_1	OUTPUT	LVC MOS...	1	12	SL...	NONE**		LOCATED	NO	NONE
4	T17	B3	IOB	IO_L01N_1/A15	OUTPUT	LVC MOS...	1	12	SL...	NONE**		LOCATED	NO	NONE
5	L15	Q0	IOB	IO_L09N_1/A11	OUTPUT	LVC MOS...	1	12	SL...	NONE**		LOCATED	NO	NONE
6	K12	Q1	IOB	IO_L11N_1/A9/RHCLK1	OUTPUT	LVC MOS...	1	12	SL...	NONE**		LOCATED	NO	NONE
7	L17	Q2	IOB	IO_L10N_1/VREF_1	OUTPUT	LVC MOS...	1	12	SL...	NONE**		LOCATED	NO	NONE
8	M15	Q3	IOB	IO_L07P_1	OUTPUT	LVC MOS...	1	12	SL...	NONE**		LOCATED	NO	NONE
9	K13	Q4	IOB	IO_L11P_1/A10/RHCLK0	OUTPUT	LVC MOS...	1	12	SL...	NONE**		LOCATED	NO	NONE
10	L16	Q5	IOB	IO_L09P_1/A12	OUTPUT	LVC MOS...	1	12	SL...	NONE**		LOCATED	NO	NONE
11	B8	clk	IBUF	IP_L13P_0/GCLK8	INPUT	LVC MOS...	0			NONE		LOCATED	NO	NONE