

Układy sekwencyjne – automat synchroniczny

1. Cel ćwiczenia

Zapoznanie się ze sposobem projektowania układów sekwencyjnych synchronicznych.
Budowa automatów synchronicznych.

2. Metody opisu

Stan wyjść układu sekwencyjnego zależy nie tylko od stanu wejść, ale również od poprzednich stanów wejść. Uwzględnienie wpływu stanów poprzednich wymaga wyposażenia układu w pamięć – jest to podstawowa cecha układów sekwencyjnych. Model matematyczny układu sekwencyjnego jest często nazywany **automatem**.

W opisie automatu wykorzystywane są trzy zbiory (alfabety):

- stanów wejść (X),
- stanów wyjść (Y),
- stanów pamięci (A).

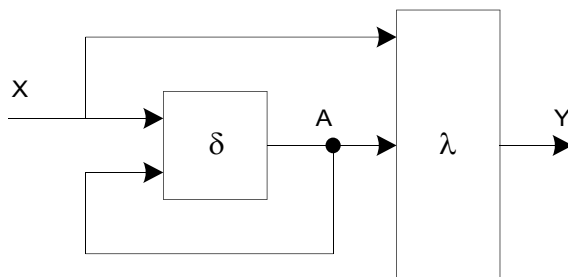
Wobec tego układ sekwencyjny można opisać funkcjami:

$\delta: A \times X \rightarrow A$ (**funkcja przejść**)

$\lambda: A \times X \rightarrow Y$ (**funkcja wyjść**)

Związki powyższe opisują tzw. automat Mealy'ego. Model automatu, w którym stan wyjść zależy wprost tylko od stanu pamięci nazywany jest automatem Moore'a. Funkcja wyjść dla automatu Moore'a przyjmuje postać:

$\lambda: A \rightarrow Y$



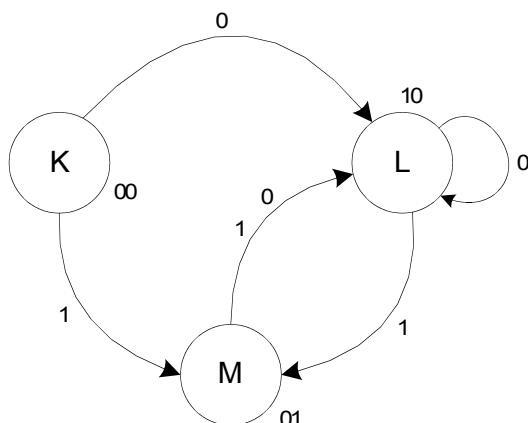
Rys.1. Podstawowa struktura układu sekwencyjnego.

W układach kombinacyjnych podanie stanów wejść i wyjść w pełni opisywało funkcje przełączające, a więc sposób działania układu. W układach sekwencyjnych podawanie ciągów stanów wejść i odpowiadających im ciągów stanów wyjść (np. na przebiegach czasowych) stanowi jedynie zewnętrzny opis układu. Opis taki nie określa ani pamięci układu, ani funkcji przejść i wyjść. Dla uwzględnienia tych parametrów niezbędny jest opis pełny, najczęściej podawany jako:

- skierowany graf przejść i wyjść (diagram stanów),
- tablica przejść i wyjść,
- macierz przejść i wyjść.

W analizowanych projektach automatów posługiwać się będziemy diagramami stanów i tablicami przejść i wyjść.

a)



b)

	X		
A	0	1	Y
K	L	M	00
L	L	M	10
M	L	L	01

A'

gdzie A' – stan następny

Rys.2. Opis automatu Moore'a: a) diagram stanu, b) tablica przejść i wyjść .

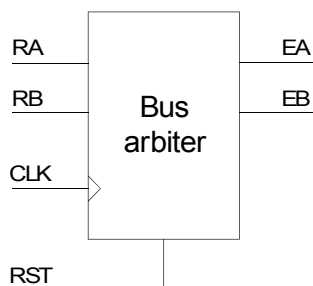
3. Projekt automatu synchronicznego

Wymagania projektowe:

Zaprojektuj układ synchroniczny Arbitra Szyny (Bus Arbiter) zarządzający dostępem urządzeń do współdzielonej szyny systemowej. Arbiter powinien odpowiadać na żądania dostępu do szyny pochodzące do dwóch urządzeń (A i B). Żądanie pochodzące od układu A powinno posiadać wyższy priorytet.

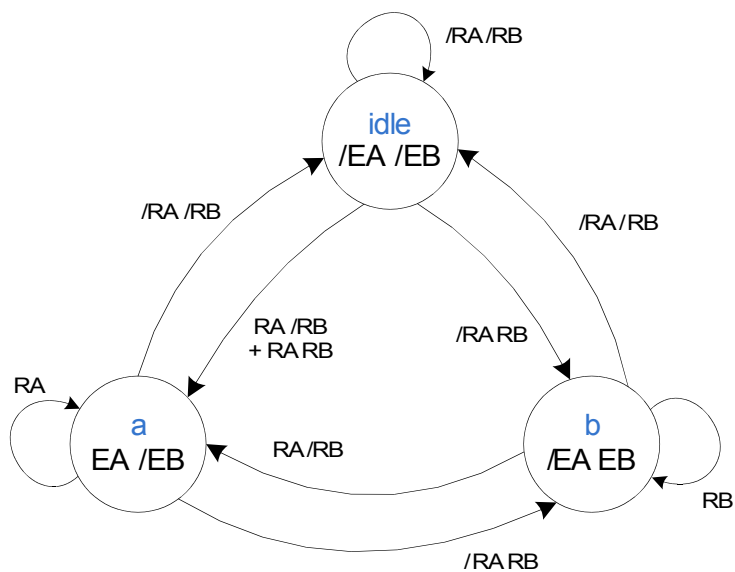
Realizacja:

Oprócz wejść żądania dostępu do szyny (RA – request bus A, RB – request bus B) układ posiada również wejścia sterujące CLK (wejście zegara) i RST (reset) oraz wyjścia zezwolenia dla urządzeń (EA – enable bus A, EB – enable bus B).



Pierwszym krokiem procedury projektowania niech będzie określenie diagramu stanów układu, na podstawie wymagań projektowych (Rys.3). W przypadku obsługi dwóch urządzeń zgłaszających żądania zbiór stanów układu można ograniczyć do trzech: oczekiwanie (idle), obsługa urządzenia A (a), obsługa urządzenia B (b). Przy braku zgłoszeń RA, RB układ pozostaje w stanie oczekiwania (idle). Aby zapewnić wyższy priorytet zgłoszenia RA, powoduje ono przejście idle → a niezależnie od stanu żądania RB. Kiedy na wejściu RB pojawi się zgłoszenie obsługi, przy braku zgłoszenia RA, układ przejdzie do stanu b (uaktywnienie wyjścia zezwolenia EB). Bezpośrednie przejście między stanami a → b może wystąpić jedynie przy braku żądania RA i aktywnym RB. Podobnie, między stanami b → a można przejść bezpośrednio jedynie przy braku żądania RB i aktywnym RA.

RST systemu może być sygnałem synchronicznym lub asynchronicznym, zależnie od zastosowanych elementów pamięciowych, nie wpływa to na tryb projektowanie układu.



Rys.3. Diagram stanów arbitra szyny.

Syntezę układu wykonujemy na podstawie zdefiniowanej tablicy przejść i wyjść (Rys.4). Stany w takiej tablicy zapisywane są przy pomocy oznaczeń symbolicznych, a następnie konwertowane do postaci tablicy Karnaugh z uwzględnieniem kodowania stanów wewnętrznych automatu (Rys.5).

current state	RA RB				output
	00	01	10	11	
idle	idle	b	a	a	00
a	idle	b	a	a	10
b	idle	b	a	b	01

Rys.4. Tablica przejść i wyjść arbitra szyny.

current state	RA RB				output
	00	01	11	10	
Y1 Y0	00	01	11	10	EA EB
00	00	11	01	01	00
01	00	11	01	01	10
11	00	11	11	01	01
10	--	--	--	--	--

Rys.5. Kompleksowa tablica Karnaugh z kodowaniem stanów automatu.

Korzystając z tablicy z Rys.5 możemy dokonać minimalizacji i wyznaczyć funkcje przejść:

$$Y0' = RB + RA$$

$$Y1' = /RA RB + Y1 RB$$

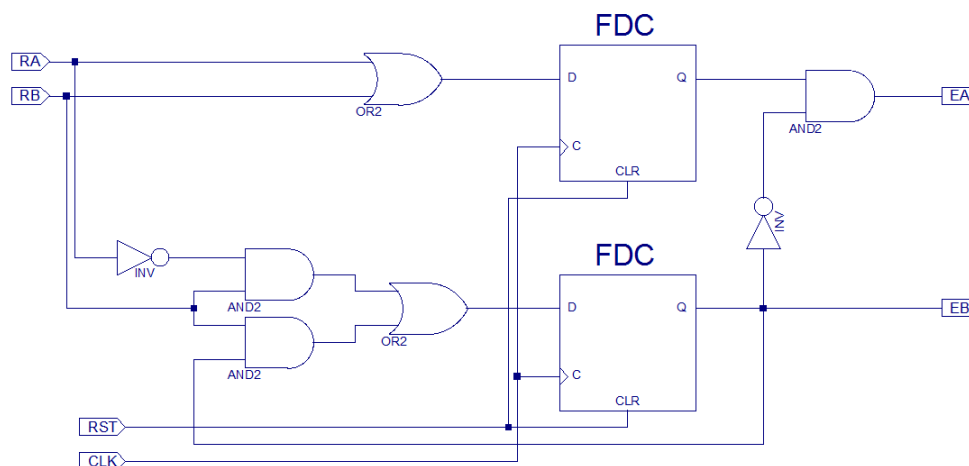
oraz funkcje wyjść:

$$EA = /Y1 Y0$$

$$EB = Y1$$

Jak widać z powyższych równań projektowany układ jest automatem Moore'a.

Ostatnim etapem projektowania jest wybór elementów pamięciowych (przerzutnik typu D) i realizacja schematu urządzenia (Rys.6).



Rys.6. Schemat układu arbitra szyny.

4. Zadanie

A) Wykonaj projekt automatu **A1**.

Wymagania projektowe:

- kodowanie stanów automatu w kodzie **NKB**,
- prezentacja stanów wyjść automatu na diodach LED,
- prezentacja stanów wewnętrznych automatu (**poprzedniego i obecnego**) na wyświetlaczu 7-segmentowym,
- **budowa modułowa** urządzenia: automat → układ prezentacji danych,
- realizacja przy pomocy dowolnych układów z biblioteki Spartan3E.

B) Wykonaj projekt automatu **A2**.

Wymagania projektowe:

- kodowanie stanów automatu w kodzie **Graya**,
- prezentacja stanów wyjść automatu na diodach LED,
- prezentacja stanów wewnętrznych automatu (**poprzedniego i obecnego**) na wyświetlaczu 7-segmentowym,
- **budowa modułowa** urządzenia: automat → układ prezentacji danych,
- realizacja przy pomocy dowolnych układów z biblioteki Spartan3E.

Dokonaj pomiarów układu wybranego przez prowadzącego przy pomocy analizatora stanów logicznych. Wyniki pomiarów (w postaci elektronicznej) wraz z kartą projektu przedstaw prowadzącemu zajęcia.