

| Laboratorium Elektroniki Cyfrowej | | |
|--|------------------------|---|
| Ćwiczenie nr: 1 Temat zajęć: Multiplexer | | Data wykonania: 27.03.2018 Data uruchomienia: 29.03.2018 |
| Kierunek/semestr: AiR / 4 | Grupa: CZW_1145 | |
| Wykonali: Katarzyna Kowalska 132079, Eryk Miśkiewicz 132100 | | |

Zadanie A:

1. Cel zadania / wymagania projektowe

- znalezienie postaci minimalnej funkcji **F2/5** (metoda dowolna) i wyznaczenie współczynnika nieokreśloności zmiennych.
- przy pomocy układu **M8_1E** zbudowanie układu realizującego funkcję **F2/5**.
- przygotowanie schematu do testowania wykorzystującego generator wymuszeń i podłączenie analizatora stanów (wg przykładu z lab0),
- dokonanie symulacji behawioralnej zaprojektowanego urządzenia.

Tabela funkcji **F2/5** wg generatora zadań dla numeru indeksu 132100:

funkcja F2/5(A,B,C,D,E) = 5 7 11 13 15 18 19 20 21 25 27 28

| DEC | BIN |
|-----|-------|
| 5 | 00101 |
| 7 | 00111 |
| 11 | 01011 |
| 13 | 01101 |
| 15 | 01111 |
| 18 | 10010 |
| 19 | 10011 |
| 20 | 10100 |
| 21 | 10101 |
| 25 | 11001 |
| 27 | 11011 |
| 28 | 11100 |

| DEC | BIN |
|-----|-------|
| 5 | 00101 |
| 7 | 00111 |
| 11 | 01011 |
| 13 | 01101 |
| 15 | 01111 |
| 18 | 10010 |
| 19 | 10011 |
| 20 | 10100 |
| 21 | 10101 |
| 25 | 11001 |
| 27 | 11011 |
| 28 | 11100 |

2. Synteza układu / tablice Karnaugh dla realizowanej funkcji

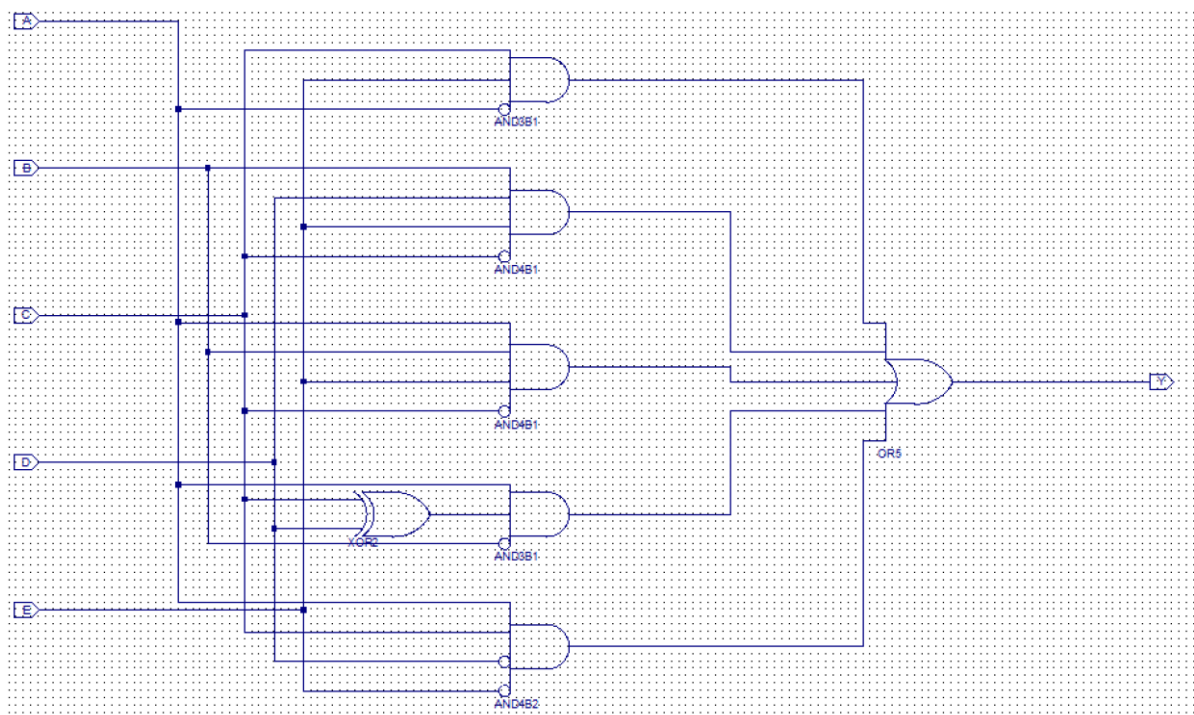
- $Y = \bar{A} \cdot C \cdot E + B \cdot \bar{C} \cdot D \cdot E + A \cdot B \cdot \bar{C} \cdot E + A \cdot \bar{B} \cdot \bar{C} \cdot D + A \cdot \bar{B} \cdot C \cdot \bar{D} + A \cdot C \cdot \bar{D} \cdot \bar{E}$

| A/B \ C/D/E | 000 | 001 | 011 | 010 | 110 | 111 | 101 | 100 |
|-------------|-----|-----|-----|-----|-----|-----|-----|-----|
| 00 | 0 | 0 | 0 | 0 | 0 | 1 | 1 | 0 |
| 01 | 0 | 0 | 1 | 0 | 0 | 1 | 1 | 0 |
| 11 | 0 | 1 | 1 | 0 | 0 | 0 | 0 | 1 |
| 10 | 0 | 0 | 1 | 1 | 0 | 0 | 1 | 1 |

3. Współczynnik nieokreśloności

| | |
|----------|---|
| A | 5 |
| B | 4 |
| C | 6 |
| D | 4 |
| E | 4 |

4. Realizacja przy pomocy bramek z biblioteki Xilinx Spartan3



5. Weryfikacja poprawności projektu / wyniki symulacji

- Wymuszenia zdefiniowano zgodnie z poniższym skryptem Tcl:

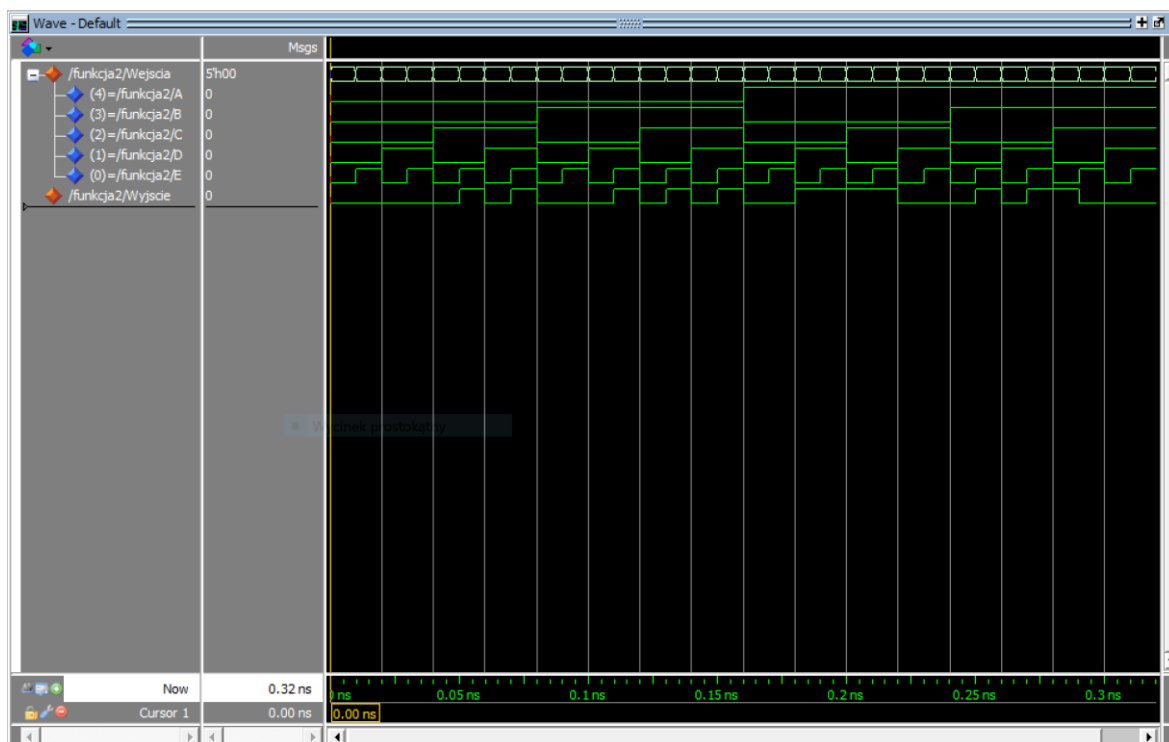
```
force A 0 0ps, 1 160ps -repeat 320ps
force B 0 0ps, 1 80ps -repeat 160ps
force C 0 0ps, 1 40ps -repeat 80ps
force D 0 0ps, 1 20ps -repeat 40ps
force E 0 0ps, 1 10ps -repeat 20ps
run 320ps
```

- Tablica prawdy weryfikowanej funkcji

funkcja F2/5(A,B,C,D,E) = 5 7 11 13 15 18 19 20 21 25 27 28

| DEC | BIN |
|-----|-------|
| 5 | 00101 |
| 7 | 00111 |
| 11 | 01011 |
| 13 | 01101 |
| 15 | 01111 |
| 18 | 10010 |
| 19 | 10011 |
| 20 | 10100 |
| 21 | 10101 |
| 25 | 11001 |
| 27 | 11011 |
| 28 | 11100 |

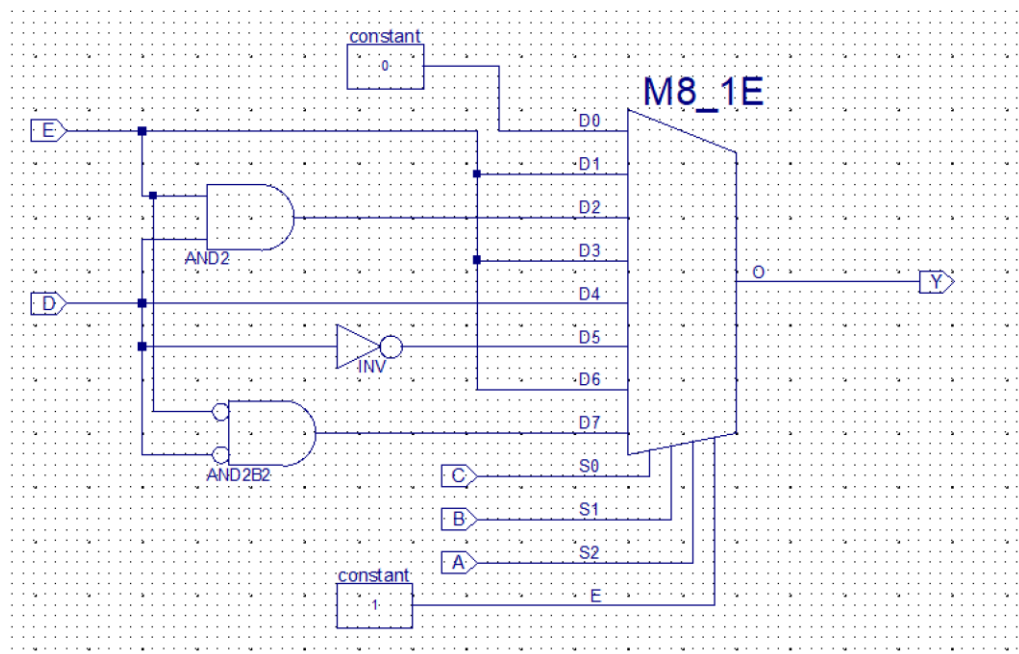
- Symulacja w programie modelsim



Wyniki symulacji behawioralnej potwierdzają poprawność wykonania modelu strukturalnego urządzenia. Pojawianie się na wyjściu stanu wysokiego jest zgodne z zawartością tablicy prawdy dla funkcji F2/5.

6. Realizacja przy pomocy multipleksera i bramek z biblioteki Xilinx Spartan3

W oparciu o współczynnik nieokreśloności do sterowania multiplekserem zostały użyte wejścia **A,B,C**.



7. Weryfikacja poprawności projektu / wyniki symulacji

- Wymuszenia zdefiniowano zgodnie z poniższym skrypcem Tcl:

```
force A 0 0ps, 1 160ps -repeat 320ps
```

```
force B 0 0ps, 1 80ps -repeat 160ps
```

```
force C 0 0ps, 1 40ps -repeat 80ps
```

```
force D 0 0ps, 1 20ps -repeat 40ps
```

```
force E 0 0ps, 1 10ps -repeat 20ps
```

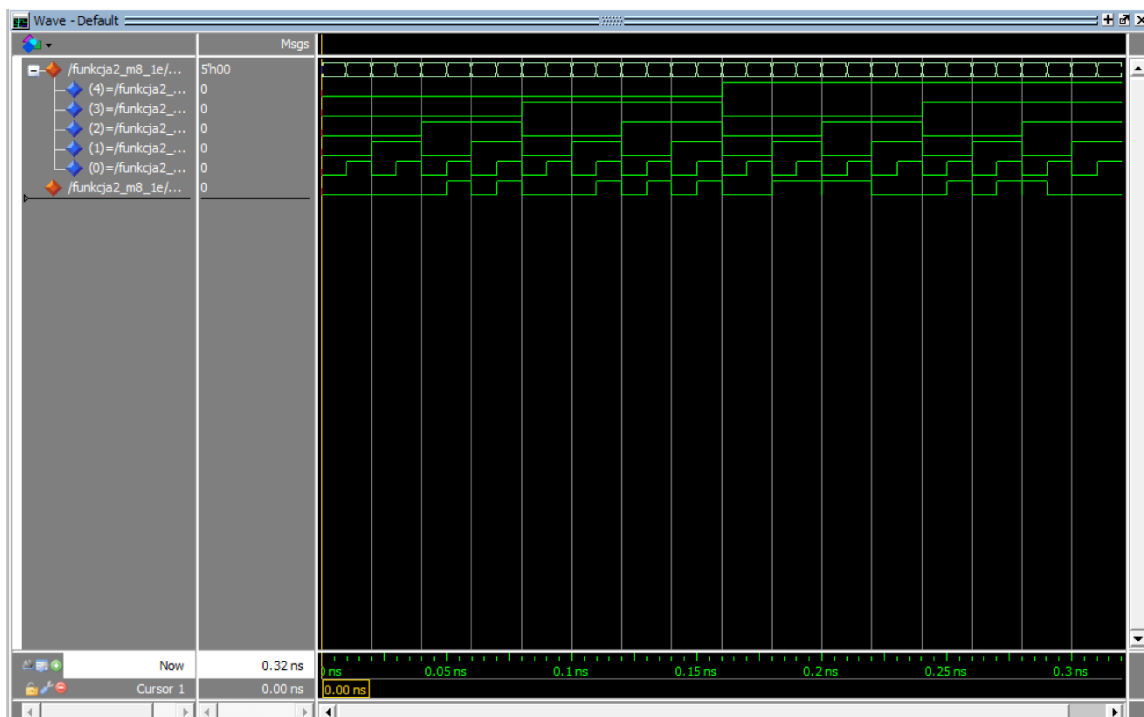
```
run 320ps
```

- Tablica prawdy weryfikowanej funkcji

funkcja F2/5(A,B,C,D,E) = 5 7 11 13 15 18 19 20 21 25 27 28

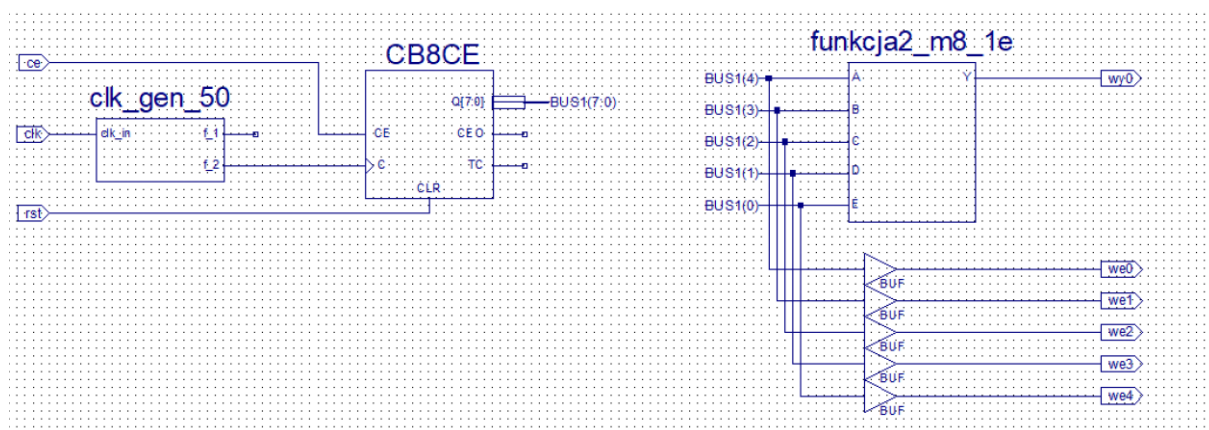
| DEC | BIN |
|-----|-------|
| 5 | 00101 |
| 7 | 00111 |
| 11 | 01011 |
| 13 | 01101 |
| 15 | 01111 |
| 18 | 10010 |
| 19 | 10011 |
| 20 | 10100 |
| 21 | 10101 |
| 25 | 11001 |
| 27 | 11011 |
| 28 | 11100 |

- Symulacja w programie modelsim



Wyniki symulacji behawioralnej potwierdzają poprawność wykonania modelu strukturalnego urządzenia. Pojawianie się na wyjściu stanu wysokiego jest zgodne z zawartością tablicy prawdy dla funkcji F2/5.

8. Implementacja / testowanie prototypu



- Interfejs testowanego urządzenia (wg schematu):

| Port urządzenia testowanego | Sygnał płyty prototypowej | Kanał analizatora stanów |
|-----------------------------|---------------------------|--------------------------|
| A | Pmod JA1 | CH0 |
| B | Pmod JA2 | CH1 |
| C | Pmod JA3 | CH2 |
| D | Pmod JA4 | CH3 |
| E | Pmod JA7 | CH4 |
| Y | Pmod JA10 | CH7 |
| CE | SW7 | - |
| RST | SW6 | - |
| CLK | Zegar 50MHz | - |

Testowanie polega na podaniu na wejścia A,B,C,D,E bloku F2_5 sekwencji 8-bitowych w kodzie NKB i obserwacji zachowania układu przy pomocy analizatora stanów logicznych. Analizator podłączony do układu poprzez port Pmod_JA. Procedura testowania wykorzystuje wewnętrzny licznik binarny 8-bitowy (najmłodszy bit licznika podany na wejście E urządzenia testowanego). Częstotliwość zegara licznika (wejście C dla CB4CE) wynosi ~1kHz.

- Pinout Report

| | Pin Number | Pin Usage | Pin Name | Direction | IO Standard | IO Bank Number | Drive (mA) | Slew Rate | Termination | IOB Delay | Voltage | Constraint | IO Register | Signal Integrity |
|---|------------|-----------|----------|--------------------|-------------|----------------|------------|-----------|-------------|-----------|---------|------------|-------------|------------------|
| 1 | R17 | ce | IBUF | IP | INPUT | LVCMO... | 1 | | | NO... | | LOCATED | NO | NONE |
| 2 | B8 | clk | IBUF | IP_L13P_0/GCLK8 | INPUT | LVCMO... | 0 | | | NO... | | LOCATED | NO | NONE |
| 3 | B18 | rst | IBUF | IP | INPUT | LVCMO... | 1 | | | NO... | | LOCATED | NO | NONE |
| 4 | L15 | we0 | IOB | IO_L09N_1/A11 | OUTPUT | LVCMO... | 1 | 12 | SL... | NONE** | | LOCATED | NO | NONE |
| 5 | K12 | we1 | IOB | IO_L11N_1/A9/R... | OUTPUT | LVCMO... | 1 | 12 | SL... | NONE** | | LOCATED | NO | NONE |
| 6 | L17 | we2 | IOB | IO_L10N_1/VREF_1 | OUTPUT | LVCMO... | 1 | 12 | SL... | NONE** | | LOCATED | NO | NONE |
| 7 | M15 | we3 | IOB | IO_L07P_1 | OUTPUT | LVCMO... | 1 | 12 | SL... | NONE** | | LOCATED | NO | NONE |
| 8 | K13 | we4 | IOB | IO_L11P_1/A10/R... | OUTPUT | LVCMO... | 1 | 12 | SL... | NONE** | | LOCATED | NO | NONE |
| 9 | M16 | wy0 | IOB | IO_L07N_1 | OUTPUT | LVCMO... | 1 | 12 | SL... | NONE** | | LOCATED | NO | NONE |

Zadanie B:

1. Cel zadania / wymagania projektowe

- przy pomocy układu **ROM16X1** zbudowanie układu realizującego funkcję kodera wg tablicy **D2**,
- w przypadku zastosowania pamięci ROM wykorzystanie parametru INIT do inicjalizacji zawartości pamięci na etapie generacji pliku bitowego,
- przygotowanie schematu do testowania wykorzystującego generator wymuszeń i podłączenie analizatora stanów (wg przykładu z lab0),
- dokonanie symulacji behawioralnej zaprojektowanego urządzenia

Tablica **D2** wg generatora zadań dla numeru indeksu 132100:

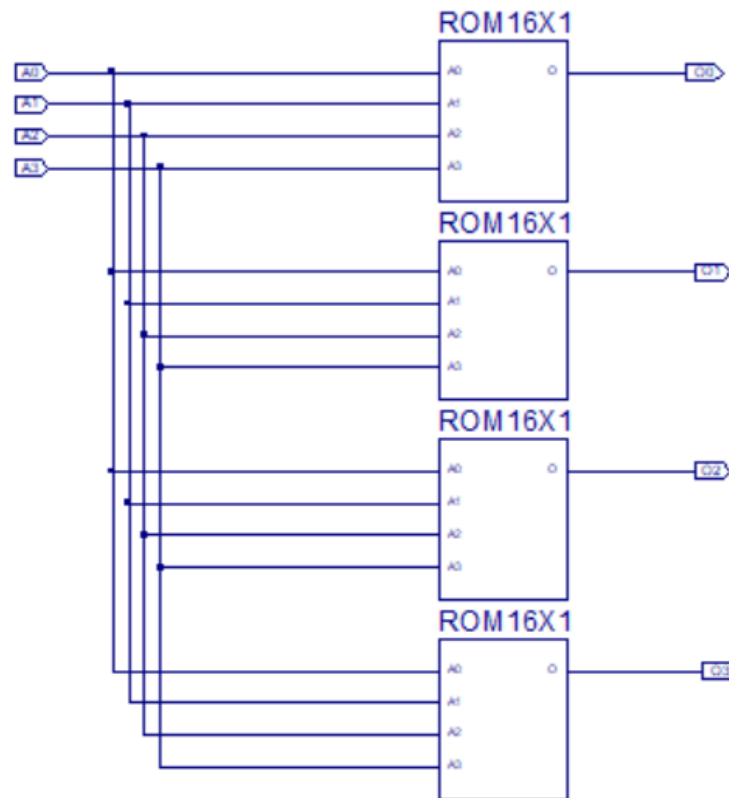
dekoder D2

| we | BIN | wyj | BIN |
|----|-------|-----|------|
| 0 | 0000 | 2 | 0010 |
| 1 | 0001 | 15 | 1111 |
| 2 | 0010 | 11 | 1011 |
| 3 | 0011 | 12 | 1100 |
| 4 | 0100 | 13 | 1101 |
| 5 | 0101 | 7 | 0111 |
| 6 | 0110 | 9 | 1001 |
| 7 | 0111 | 5 | 0101 |
| * | ----- | 0 | 0000 |

* - wszystkie pozostałe stany

| wejścia | | | | wyjścia | | | |
|----------------|----------------|----------------|----------------|----------------|----------------|----------------|----------------|
| A ₃ | A ₂ | A ₁ | A ₀ | Y ₃ | Y ₂ | Y ₁ | Y ₀ |
| 0 | 0 | 0 | 0 | 0 | 0 | 1 | 0 |
| 0 | 0 | 0 | 1 | 1 | 1 | 1 | 1 |
| 0 | 0 | 1 | 0 | 1 | 0 | 1 | 1 |
| 0 | 0 | 1 | 1 | 1 | 1 | 0 | 0 |
| 0 | 1 | 0 | 0 | 1 | 1 | 0 | 1 |
| 0 | 1 | 0 | 1 | 0 | 1 | 1 | 1 |
| 0 | 1 | 1 | 0 | 1 | 0 | 0 | 1 |
| 0 | 1 | 1 | 1 | 0 | 1 | 0 | 1 |
| 1 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| 1 | 0 | 0 | 1 | 0 | 0 | 0 | 0 |
| 1 | 0 | 1 | 0 | 0 | 0 | 0 | 0 |
| 1 | 0 | 1 | 1 | 0 | 0 | 0 | 0 |
| 1 | 1 | 0 | 0 | 0 | 0 | 0 | 0 |
| 1 | 1 | 0 | 1 | 0 | 0 | 0 | 0 |
| 1 | 1 | 1 | 0 | 0 | 0 | 0 | 0 |
| 1 | 1 | 1 | 1 | 0 | 0 | 0 | 0 |

2. Realizacja przy pomocy układu ROM16X1 z biblioteki Xilinx Spartan3



- Inicjalizacja pamięci ROM
 - O0 - ROM16X1 = 00f6
 - O1 - ROM16X1 = 0027
 - O2 - ROM16X1 = 00ba
 - O3 - ROM16X1 = 005e

3. Weryfikacja poprawności projektu / wyniki symulacji

- Wymuszenia zdefiniowano zgodnie z poniższym skryptem Tcl:

```
force A0 0 0ns, 1 10ns -repeat 20ns
force A1 0 0ns, 1 20ns -repeat 40ns
force A2 0 0ns, 1 40ns -repeat 80ns
force A3 0 0ns, 1 80ns -repeat 160ns
run 200ns
```

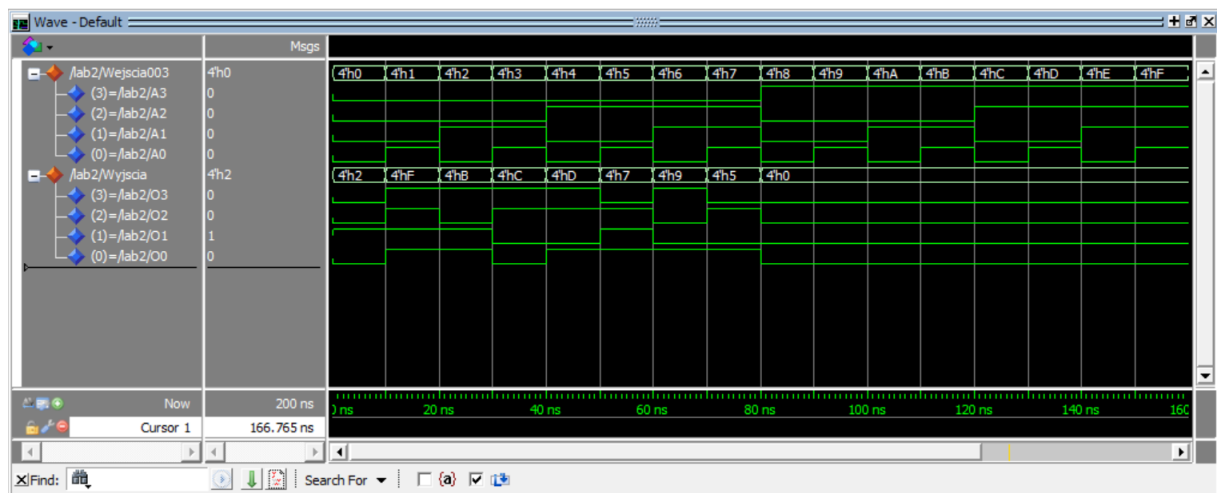

- Tablica prawdy weryfikowanej funkcji:

dekoder D2

| we | BIN | wyj | BIN |
|----|-------|-----|------|
| 0 | 0000 | 2 | 0010 |
| 1 | 0001 | 15 | 1111 |
| 2 | 0010 | 11 | 1011 |
| 3 | 0011 | 12 | 1100 |
| 4 | 0100 | 13 | 1101 |
| 5 | 0101 | 7 | 0111 |
| 6 | 0110 | 9 | 1001 |
| 7 | 0111 | 5 | 0101 |
| * | ----- | 0 | 0000 |

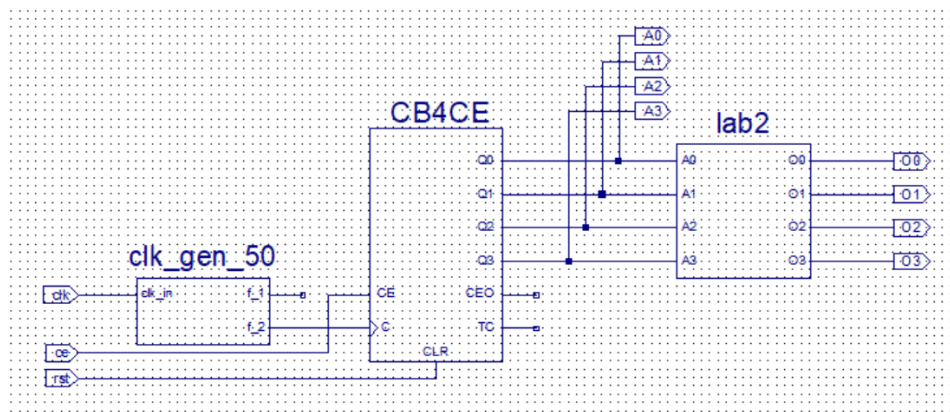
* - wszystkie pozostałe stany

- Symulacja w programie ModelSim:



Wyniki symulacji behawioralnej potwierdzają poprawność wykonania modelu strukturalnego urządzenia. Pojawianie się na wyjściu stanu wysokiego jest zgodne z zawartością tablicy dekodera D2.

4. Implementacja / testowanie prototypu



- Interfejs testowanego urządzenia (wg schematu):

| Port urządzenia testowanego | Sygnal płyty prototypowej | Kanał analizatora stanów |
|-----------------------------|---------------------------|--------------------------|
| A ₀ | Pmod JA1 | CH0 |
| A ₁ | Pmod JA2 | CH1 |
| A ₂ | Pmod JA3 | CH2 |
| A ₃ | Pmod JA4 | CH3 |
| O ₀ | Pmod JA7 | CH8 |
| O ₁ | Pmod JA8 | CH9 |
| O ₂ | Pmod JA9 | CH10 |
| O ₃ | Pmod JA10 | CH11 |
| CE | SW7 | - |
| RST | SW6 | - |
| CLK | Zegar 50MHz | - |

Testowanie polega na podaniu na wejścia A₀, A₁, A₂, A₃ bloku lab2 sekwencji 4-bitowych w kodzie NKB i obserwacji zachowania układu przy pomocy analizatora stanów logicznych. Analizator podłączony do układu poprzez port Pmod_JA. Procedura testowania wykorzystuje wewnętrzny licznik binarny 4-bitowy (najstarszy bit licznika podany na wejście A₀ urządzenia testowanego). Częstotliwość zegara licznika (wejście C dla CB4CE) wynosi ~1kHz.

- Pinout Report

| | Pin Number | Pin Usage | Pin Name | Direction | IO Standard | IO Bank Number | Drive (mA) | Slew Rate | Termination |
|----|------------|-----------|----------|----------------------|-------------|----------------|------------|-----------|--------------|
| 1 | L15 | A0 | IOB | IO_L09N_1/A11 | OUTPUT | LVC MOS... | 1 | 12 | SL... NONE** |
| 2 | K12 | A1 | IOB | IO_L11N_1/A9/RHCLK1 | OUTPUT | LVC MOS... | 1 | 12 | SL... NONE** |
| 3 | L17 | A2 | IOB | IO_L10N_1/VREF_1 | OUTPUT | LVC MOS... | 1 | 12 | SL... NONE** |
| 4 | M15 | A3 | IOB | IO_L07P_1 | OUTPUT | LVC MOS... | 1 | 12 | SL... NONE** |
| 5 | K13 | O0 | IOB | IO_L11P_1/A10/RHCLK0 | OUTPUT | LVC MOS... | 1 | 12 | SL... NONE** |
| 6 | L16 | O1 | IOB | IO_L09P_1/A12 | OUTPUT | LVC MOS... | 1 | 12 | SL... NONE** |
| 7 | M14 | O2 | IOB | IO_L05P_1 | OUTPUT | LVC MOS... | 1 | 12 | SL... NONE** |
| 8 | M16 | O3 | IOB | IO_L07N_1 | OUTPUT | LVC MOS... | 1 | 12 | SL... NONE** |
| 9 | R17 | ce | IBUF | IP | INPUT | LVC MOS... | 1 | | |
| 10 | B8 | clk | IBUF | IP_L13P_0/GCLK8 | INPUT | LVC MOS... | 0 | | |
| 11 | N17 | rst | IBUF | IP | INPUT | LVC MOS... | 1 | | |