

Laboratorium Elektroniki Cyfrowej		
Ćwiczenie nr: 4 Temat zajęć: Automaty		Data wykonania: 09.04.2018 Data uruchomienia: 12.04.2018
Kierunek/semestr: AiR / 4	Grupa: CZW_1145	
Wykonali: Katarzyna Kowalska 132079, Eryk Miśkiewicz 132100		

Zadanie A:

1. Cel zadania / wymagania projektowe

- kodowanie stanów automatu w kodzie NKB;
- prezentacja stanów wyjść automatu na diodach LED;
- prezentacja stanów wewnętrznych automatu na wyświetlaczu 7-segmentowym;
- budowa modułowa urządzenia: automat → układ prezentacji danych;
- realizacja przy pomocy dowolnych układów z biblioteki Spartan3E.

Tabela automatu **A1** wg generatora zadań dla numeru indeksu 132100:

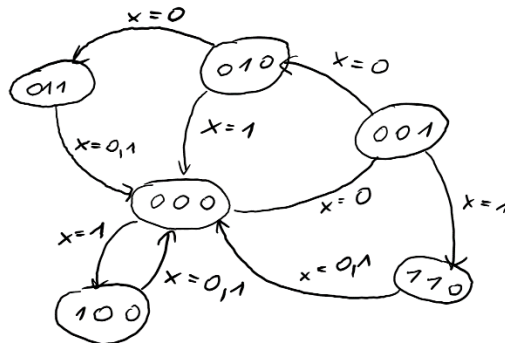
automat A1

stan obecny	stan następny x = '0' x = '1'		stan wyjścia
S 0	S 1	S 4	100
S 1	S 2	S 6	110
S 2	S 3	S 0	000
S *	S 0	S 0	000

* - wszystkie pozostałe stany

$Q_2^t Q_1^t Q_0^t$	x	$Q_2^{t+1} Q_1^{t+1} Q_0^{t+1}$	Wyjście BIN	Wyjście DEC
000	0	001	100	4
000	1	100		
001	0	010	110	6
001	1	110		
010	0	011	000	0
010	1	000		
011	0	000	000	0
011	1	000		
100	0	000	000	0
100	1	000		
101	0	000	000	0
101	1	000		
110	0	000	000	0
110	1	000		
111	0	000	000	0
111	1	000		

2. Schemat przejść automatu



3. Minimalizacja automatu w oparciu o tablicę prawdy

Tabela dla Q_0^{t+1}

$Q_2^t Q_1^t \backslash Q_0^t x$	00	01	11	10
00	1	0	0	0
01	1	0	0	0
11	0	0	0	0
10	0	0	0	0

$$Q_0^{t+1} = \overline{Q_2^t} \overline{Q_0^t} \bar{x}$$

Tabela dla Q_1^{t+1}

$Q_2^t Q_1^t \backslash Q_0^t x$	00	01	11	10
00	0	0	1	1
01	1	0	0	0
11	0	0	0	0
10	0	0	0	0

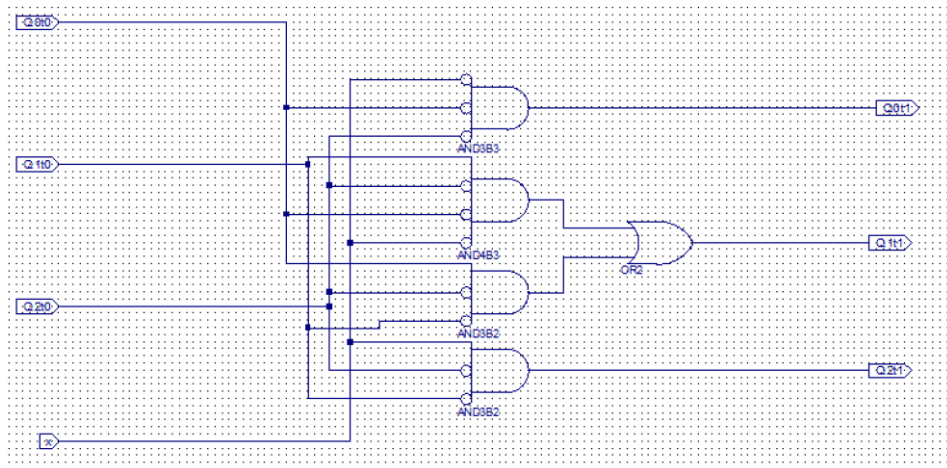
$$Q_1^{t+1} = \overline{Q_2^t} \overline{Q_1^t} Q_0^t + \overline{Q_2^t} Q_1^t \overline{Q_0^t} \bar{x}$$

Tabela dla Q_2^{t+1}

$Q_2^t Q_1^t \backslash Q_0^t x$	00	01	11	10
00	0	1	1	0
01	0	0	0	0
11	0	0	0	0
10	0	0	0	0

$$Q_2^{t+1} = \overline{Q_2^t} \overline{Q_1^t} x$$

4. Wykonanie logiki automatu



5. Symulacja działania logiki automatu

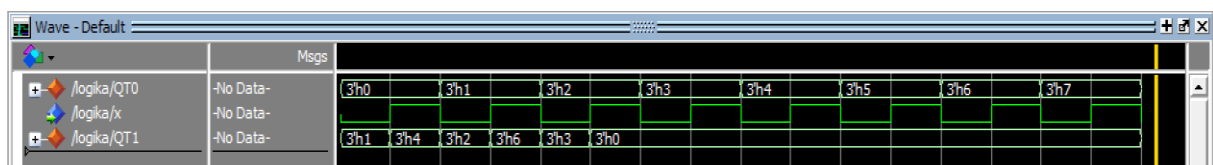
- Wymuszenia zdefiniowano zgodnie z poniższym skryptem Tcl:

```
force -freeze sim:/logika/x 0 0, 1 {5000 ps} -r 10ns
force -freeze sim:/logika/Q0t0 0 0, 1 {10000 ps} -r 20ns
force -freeze sim:/logika/Q1t0 0 0, 1 {20000 ps} -r 40ns
force -freeze sim:/logika/Q2t0 0 0, 1 {40000 ps} -r 80ns
```

- Tablica automatu

$Q_2^t Q_1^t Q_0^t$	x	$Q_2^{t+1} Q_1^{t+1} Q_0^{t+1}$
000	0	001
000	1	100
001	0	010
001	1	110
010	0	011
010	1	000
011	0	000
011	1	000
100	0	000
100	1	000
101	0	000
101	1	000
110	0	000
110	1	000
111	0	000
111	1	000

- Symulacja w programie modelsim



Wyniki na wyjściach są zgodne z oczekiwanymi dla automatu.

6. Tablica dekodera

$Q_2 Q_1 Q_0$	$B_2 B_1 B_0$
000	100
001	110
010	000
011	000
100	000
101	000
110	000
111	000

7. Minimalizacja dekodera

Tabela dla B_0

$Q_2^t \backslash Q_1^t Q_0^t$	00	01	11	10
0	0	0	0	0
1	0	0	0	0

$$B_0 = 0$$

Tabela dla B_1

$Q_2^t \backslash Q_1^t Q_0^t$	00	01	11	10
0	0	1	0	0
1	0	0	0	0

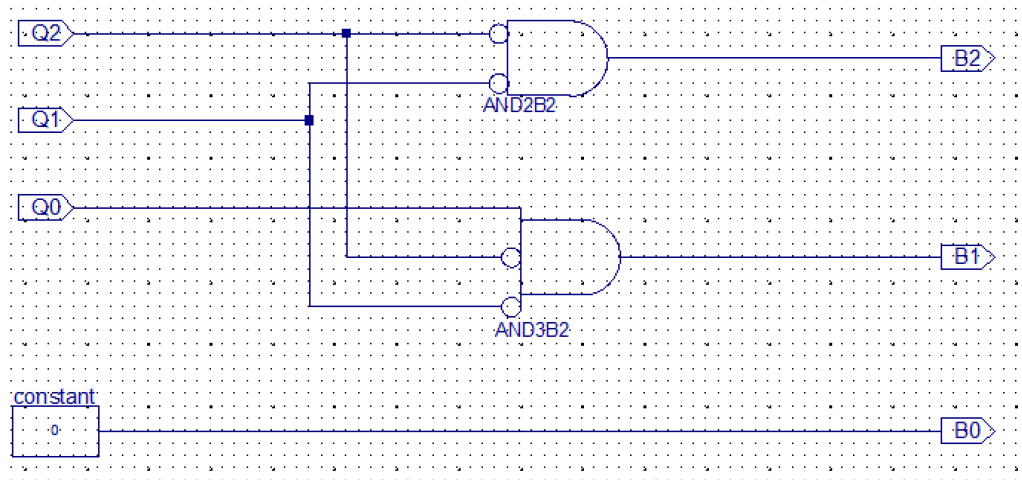
$$B_1 = \overline{Q_2^t} \overline{Q_1^t} Q_0^t$$

Tabela dla B_2

$Q_2^t \backslash Q_1^t Q_0^t$	00	01	11	10
0	1	1	0	0
1	0	0	0	0

$$B_2 = \overline{Q_2^t} \overline{Q_1^t}$$

8. Wykonanie dekodera



9. Symulacja działania dekodera

- Wymuszenia zdefiniowano zgodnie z poniższym skrypcem Tcl:

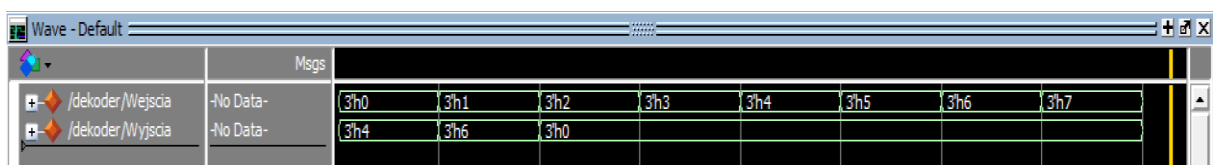

```

force -freeze sim:/logika/Q0 0 0, 1 { 10000 ps } -r 10ns
force -freeze sim:/logika/Q1 0 0, 1 { 20000 ps } -r 20ns
force -freeze sim:/logika/Q2 0 0, 1 { 40000 ps } -r 40ns
      
```

- Tablica dekodera

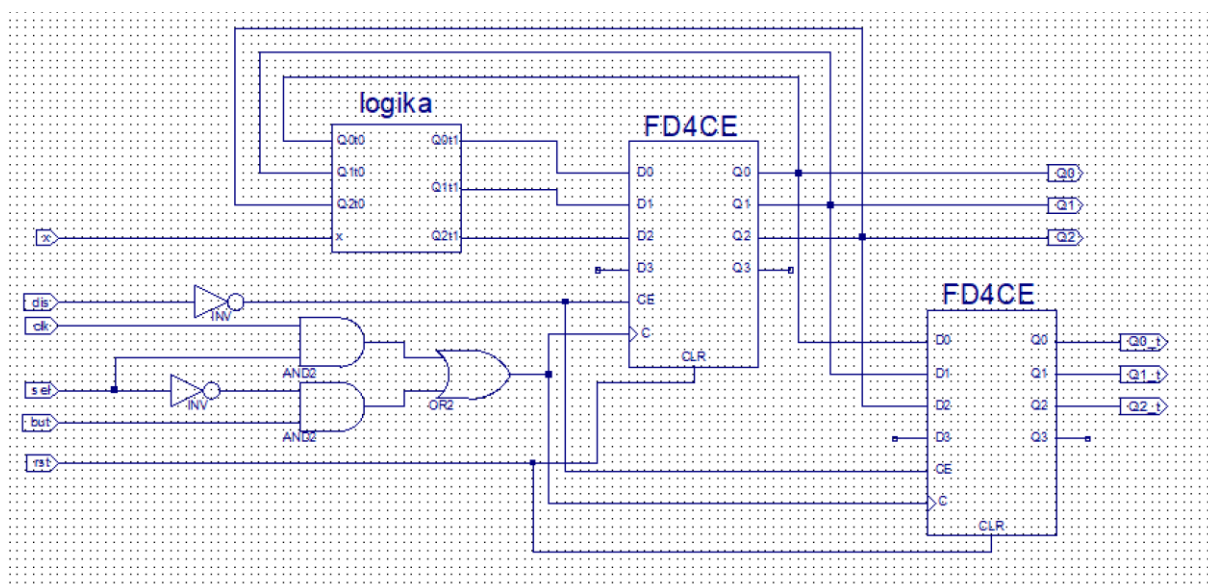
$Q_2 Q_1 Q_0$	$B_2 B_1 B_0$
000	100
001	110
010	000
011	000
100	000
101	000
110	000
111	000

- Symulacja w programie modelsim

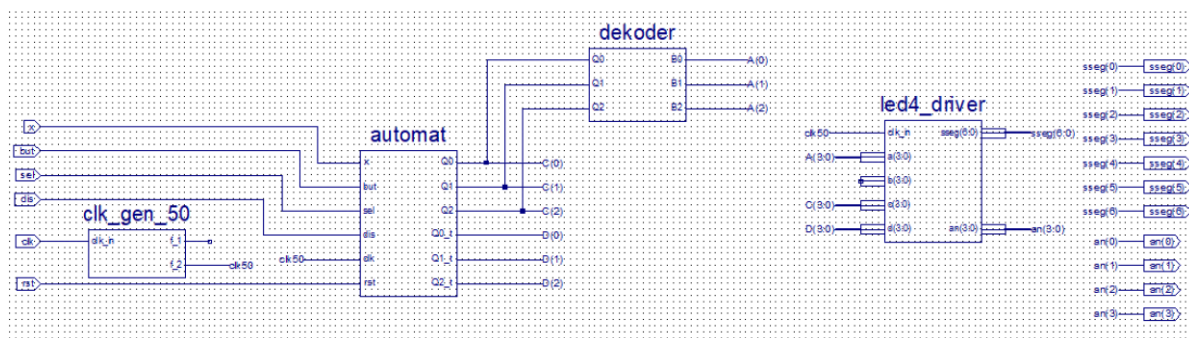


Wyniki na wyjściach są zgodne z oczekiwanymi dla dekodera.

10. Wykonanie automatu



11. Implementacja / testowanie prototypu



- Interfejs testowanego urządzenia (wg schematu):

Port urządzenia testowanego	Sygnał płyty prototypowej
x	SW7
but	BTN0
sel	SW0
dis	SW1
clk	Zegar 50Hz
rst	BTN3
sseg(0)	CA
sseg(1)	CB
sseg(2)	CC
sseg(3)	CD
sseg(4)	CE
sseg(5)	CF
sseg(6)	CG
an(0)	AN0
an(1)	AN1
an(2)	AN2
an(3)	AN3

Testowanie polega na podaniu na wejścia Q_0, Q_1, Q_2, x bloku logiki i wejścia Q_0, Q_1, Q_2 bloku dekodera sekwencji 4-bitowych i 3-bitowych i obserwacji zachowania układu przy pomocy wyświetlacza 7-segmentowego. Wyświetlacz znajduje się bezpośrednio na płytce. Częstotliwość zegara licznika (wejście clk dla automatu) wynosi $\sim 1\text{kHz}$.

- Pinout Report

	Pin Number	Signal Name	Pin Usage	Pin Name	Direction	IO Standard	IO Bank Number	Drive (mA)	Slew Rate	Termination	IOB Delay	Voltage	Constraint	IO Register
1	F17	an<0>	IOB	IO_L19N_1	OUTPUT	LVC MOS...	1	12	SL...	NONE**			LOCATED	NO
2	H17	an<1>	IOB	IO_L16N_1/A0	OUTPUT	LVC MOS...	1	12	SL...	NONE**			LOCATED	NO
3	C18	an<2>	IOB	IO_L24P_1/LDC1	OUTPUT	LVC MOS...	1	12	SL...	NONE**			LOCATED	NO
4	F15	an<3>	IOB	IO_L21P_1	OUTPUT	LVC MOS...	1	12	SL...	NONE**			LOCATED	NO
5	B18	but	IBUF	IP	INPUT	LVC MOS...	1				NONE		LOCATED	NO
6	B8	clk	IBUF	IP_L13P_0/GCLK8	INPUT	LVC MOS...	0				NONE		LOCATED	NO
7	H18	dis	IBUF	IP/VREF_1	INPUT	LVC MOS...	1				NONE		LOCATED	NO
8	H13	rst	IBUF	IP	INPUT	LVC MOS...	1				NONE		LOCATED	NO
9	G18	sel	IBUF	IP	INPUT	LVC MOS...	1				NONE		LOCATED	NO
10	L18	sseg<0>	IOB	IO_L10P_1	OUTPUT	LVC MOS...	1	12	SL...	NONE**			LOCATED	NO
11	F18	sseg<1>	IOB	IO_L19P_1	OUTPUT	LVC MOS...	1	12	SL...	NONE**			LOCATED	NO
12	D17	sseg<2>	IOB	IO_L23P_1/HDC	OUTPUT	LVC MOS...	1	12	SL...	NONE**			LOCATED	NO
13	D16	sseg<3>	IOB	IO_L23N_1/LDC0	OUTPUT	LVC MOS...	1	12	SL...	NONE**			LOCATED	NO
14	G14	sseg<4>	IOB	IO_L20P_1	OUTPUT	LVC MOS...	1	12	SL...	NONE**			LOCATED	NO
15	J17	sseg<5>	IOB	IO_L13P_1/A6/RHCLK4/IR...	OUTPUT	LVC MOS...	1	12	SL...	NONE**			LOCATED	NO
16	H14	sseg<6>	IOB	IO_L17P_1	OUTPUT	LVC MOS...	1	12	SL...	NONE**			LOCATED	NO
17	R17	x	IBUF	IP	INPUT	LVC MOS...	1				NONE		LOCATED	NO

Zadanie B:

1. Cel zadania / wymagania projektowe

- kodowanie stanów automatu w kodzie Graya;
- prezentacja stanów wyjść automatu na diodach LED;
- prezentacja stanów wewnętrznych automatu na wyświetlaczu 7-segmentowym;
- budowa modułowa urządzenia: automat \rightarrow układ prezentacji danych;
- realizacja przy pomocy dowolnych układów z biblioteki Spartan3E.

Tabela automatu **A2** wg generatora zadań dla numeru indeksu 132100:

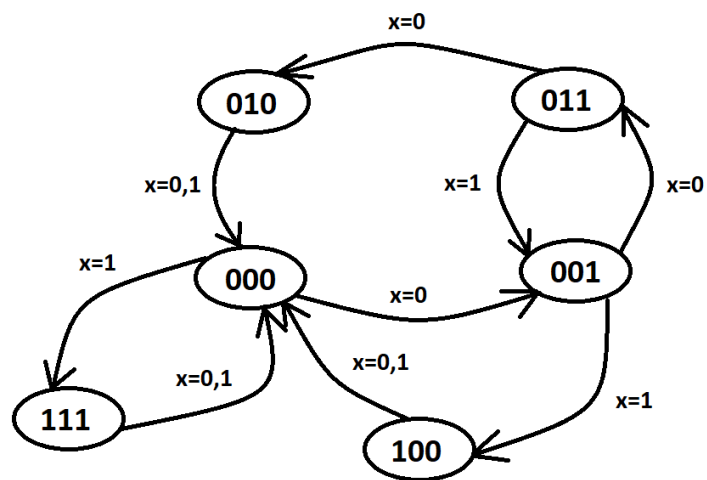
automat A2

stan obecny	stan następny x = '0'	stan następny x = '1'	stan wyjścia
S 0	S 1	S 5	101
S 1	S 2	S 7	111
S 2	S 3	S 1	001
S *	S 0	S 0	000

* - wszystkie pozostałe stany

$Q_2^t Q_1^t Q_0^t$	x	$Q_2^{t+1} Q_1^{t+1} Q_0^{t+1}$	Wyjście BIN	Wyjście DEC
000	0	001	101	5
000	1	111		
001	0	011	111	7
001	1	100		
011	0	010	001	1
011	1	001		
010	0	000	000	0
010	1	000		
110	0	000	000	0
110	1	000		
111	0	000	000	0
111	1	000		
101	0	000	000	0
101	1	000		
100	0	000	000	0
100	1	000		

2. Schemat przejść automatu



3. Minimalizacja automatu w oparciu o tablicę prawdy

Tabela dla Q_0^{t+1}

$Q_2^t Q_1^t \backslash Q_0^t x$	00	01	11	10
00	1	1	0	1
01	0	0	1	0
11	0	0	0	0
10	0	0	0	0

$$Q_0^{t+1} = \overline{Q_2^t} \overline{Q_1^t} \overline{Q_0^t} + \overline{Q_2^t} \overline{Q_1^t} \overline{x} + \overline{Q_2^t} Q_1^t Q_0^t x$$

Tabela dla Q_1^{t+1}

$Q_2^t Q_1^t \backslash Q_0^t x$	00	01	11	10
00	0	1	0	1
01	0	0	0	1
11	0	0	0	0
10	0	0	0	0

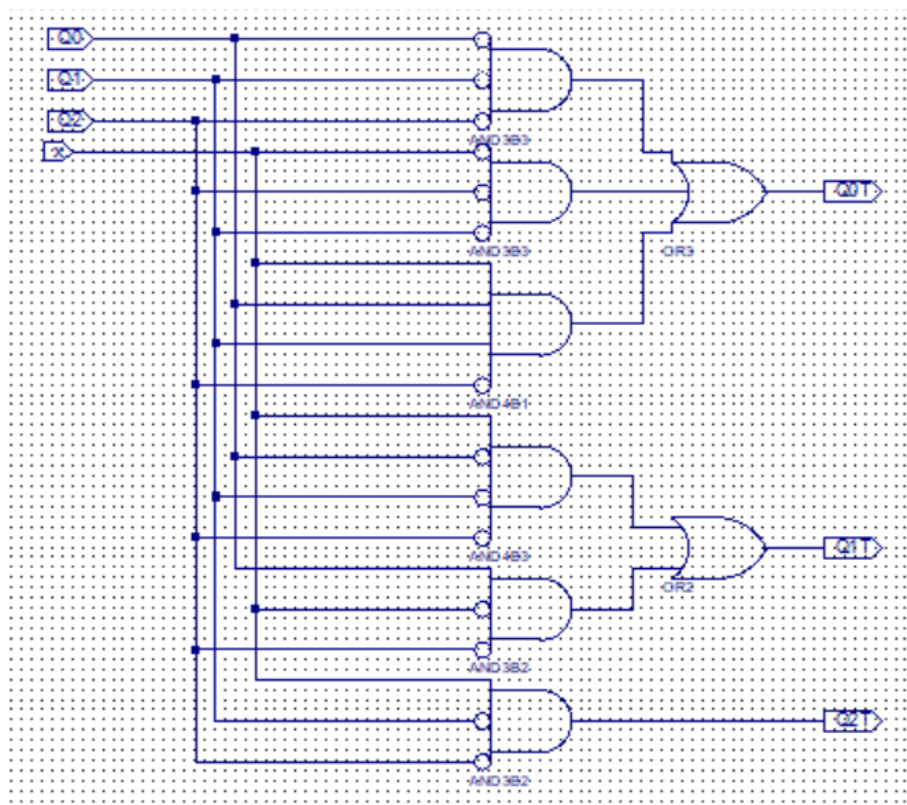
$$Q_1^{t+1} = \overline{Q_2^t} \overline{Q_1^t} \overline{Q_0^t} x + \overline{Q_2^t} Q_0^t \bar{x}$$

Tabela dla Q_2^{t+1}

$Q_2^t Q_1^t \backslash Q_0^t x$	00	01	11	10
00	0	1	1	0
01	0	0	0	0
11	0	0	0	0
10	0	0	0	0

$$Q_2^{t+1} = \overline{Q_2^t} \overline{Q_1^t} x$$

4. Wykonanie logiki automatu

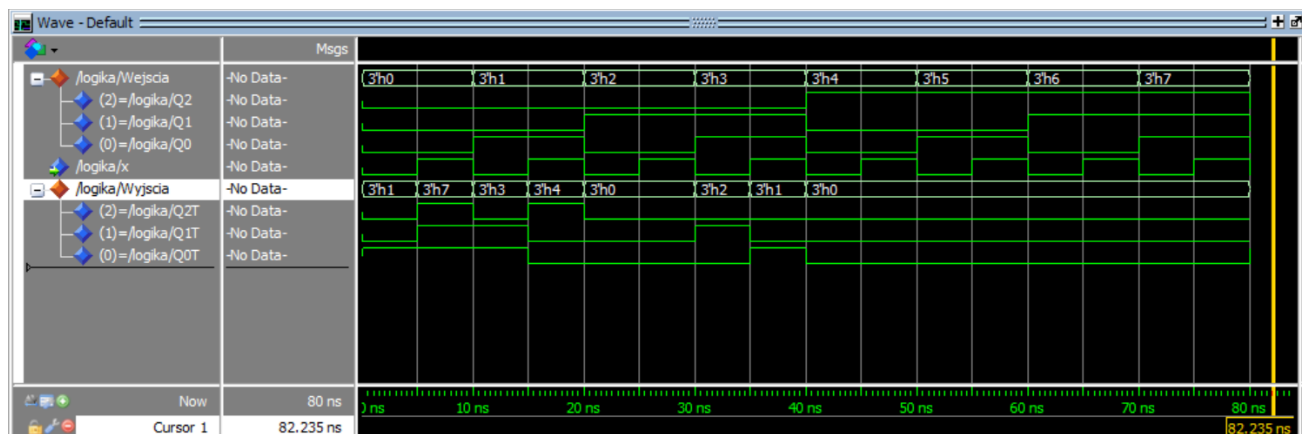


5. Symulacja działania logiki automatu

- Wymuszenia zdefiniowano zgodnie z poniższym skryptem Tcl:
force -freeze sim:/logika/x 0 0, 1 {5000 ps} -r 10ns
force -freeze sim:/logika/Q0 0 0, 1 {10000 ps} -r 20ns
force -freeze sim:/logika/Q1 0 0, 1 {20000 ps} -r 40ns
force -freeze sim:/logika/Q2 0 0, 1 {40000 ps} -r 80ns
- Tablica automatu

$Q_2^t Q_1^t Q_0^t$	x	$Q_2^{t+1} Q_1^{t+1} Q_0^{t+1}$
000	0	001
000	1	111
001	0	011
001	1	100
011	0	010
011	1	001
010	0	000
010	1	000
110	0	000
110	1	000
111	0	000
111	1	000
101	0	000
101	1	000
100	0	000
100	1	000

- Symulacja w programie modelsim



Wyniki na wyjściach są zgodne z oczekiwanymi dla automatu.

6. Tablica dekodera

$Q_2 Q_1 Q_0$	$B_2 B_1 B_0$
000	101
001	111
011	001
010	000
100	000
101	000
111	000
110	000

7. Minimalizacja dekodera

Tabela dla B_0

$Q_2^t \backslash Q_1^t Q_0^t$	00	01	11	10
0	1	1	1	0
1	0	0	0	0

$$B_0 = \overline{Q_2^t} \overline{Q_1^t} + \overline{Q_2^t} Q_0$$

Tabela dla B_1

$Q_2^t \backslash Q_1^t Q_0^t$	00	01	11	10
0	0	1	0	0
1	0	0	0	0

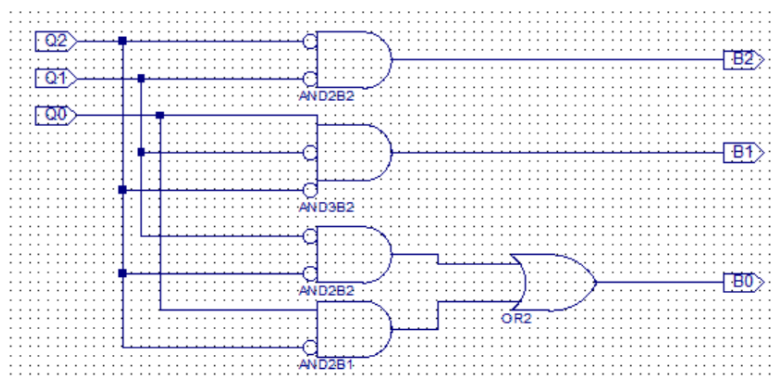
$$B_1 = \overline{Q_2^t} \overline{Q_1^t} Q_0$$

Tabela dla B_2

$Q_2^t \backslash Q_1^t Q_0^t$	00	01	11	10
0	1	1	0	0
1	0	0	0	0

$$B_2 = \overline{Q_2^t} \overline{Q_1^t}$$

8. Wykonanie dekodera



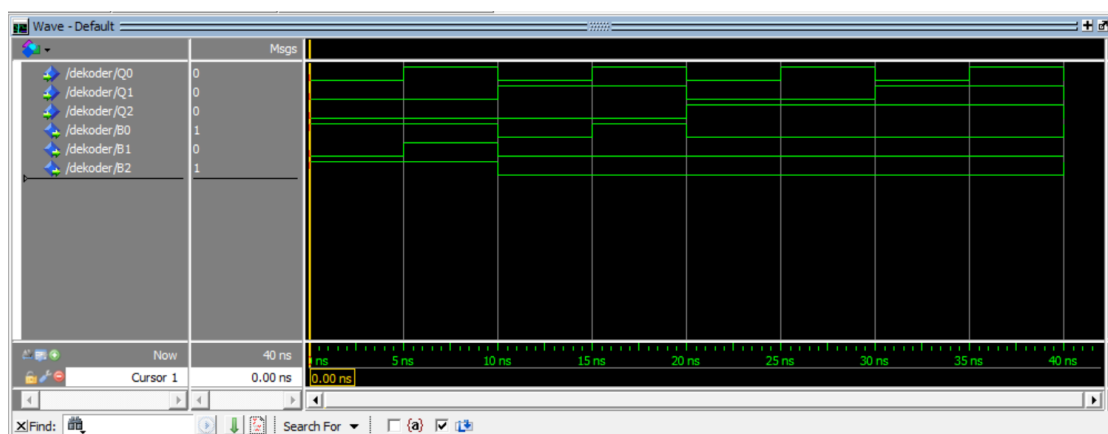
9. Symulacja działania dekodera

- Wymuszenia zdefiniowano zgodnie z poniższym skryptem Tcl:

```
force -freeze sim:/logika/Q0 0 0, 1 { 10000 ps} -r 10ns
force -freeze sim:/logika/Q1 0 0, 1 { 20000 ps} -r 20ns
force -freeze sim:/logika/Q2 0 0, 1 { 40000 ps} -r 40ns
```
- Tablica dekodera

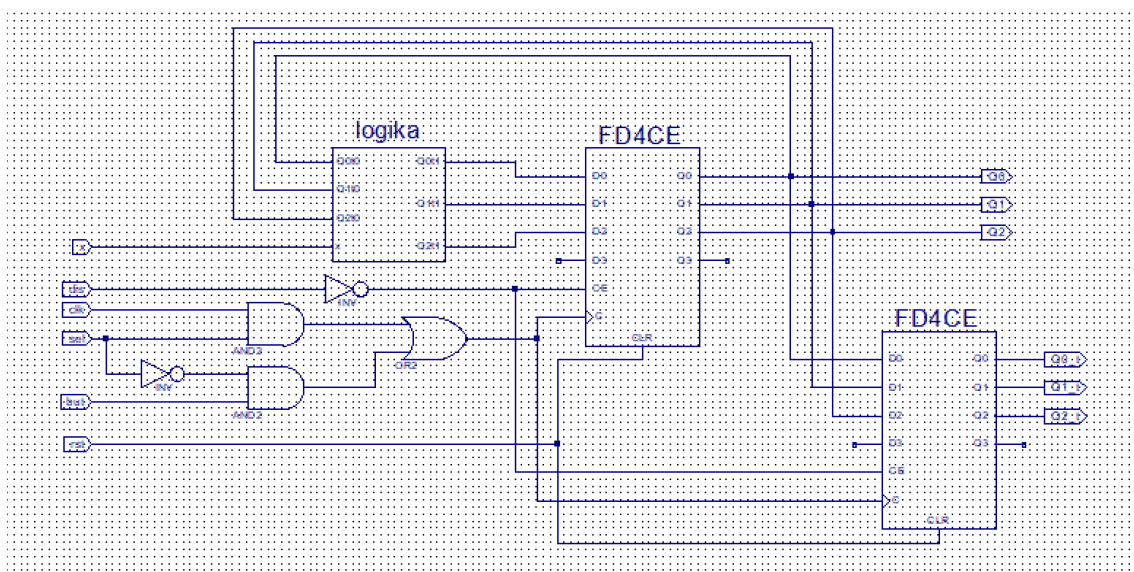
$Q_2Q_1Q_0$	$B_2B_1B_0$
000	101
001	111
011	001
010	000
100	000
101	000
111	000
110	000

- Symulacja w programie modelsim

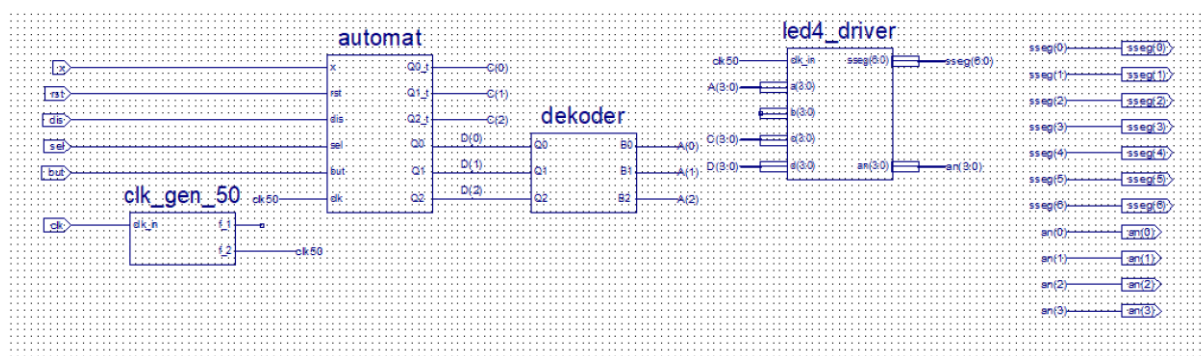


Wyniki na wyjściach są zgodne z oczekiwanymi dla dekodera.

10. Wykonanie automatu



11. Implementacja / testowanie prototypu



- Interfejs testowanego urządzenia (wg schematu):

Port urządzenia testowanego	Sygnal płyty prototypowej
x	SW7
but	BTN0
sel	SW0
dis	SW1
clk	Zegar 50Hz
rst	BTN3
sseg(0)	CA
sseg(1)	CB
sseg(2)	CC
sseg(3)	CD
sseg(4)	CE
sseg(5)	CF
sseg(6)	CG
an(0)	AN0
an(1)	AN1
an(2)	AN2
an(3)	AN3

Testowanie polega na podaniu na wejścia Q_0, Q_1, Q_2, x bloku logiki i wejścia Q_0, Q_1, Q_2 bloku dekodera sekwencji 4-bitowych i 3-bitowych i obserwacji zachowania układu przy pomocy wyświetlacza 7-segmentowego. Wyświetlacz znajduje się bezpośrednio na płytce. Częstotliwość zegara licznika (wejście clk dla automatu) wynosi $\sim 1\text{kHz}$.

- Pinout Report

	Pin Number	gn an	Pin Usage	Pin Name	Direction	IO Standard	IO Bank Number	Drive (mA)	Slew Rate	Termination	IOB Delay	Voltage	Constraint	IO Register	Signal Integrity
1	F17	an<0>	IOB	IO_L19N_1	OUTPUT	LVC MOS...	1	12	SL...	NONE**			LOCATED	NO	NONE
2	H17	an<1>	IOB	IO_L16N_1/A0	OUTPUT	LVC MOS...	1	12	SL...	NONE**			LOCATED	NO	NONE
3	C18	an<2>	IOB	IO_L24P_1/LDC1	OUTPUT	LVC MOS...	1	12	SL...	NONE**			LOCATED	NO	NONE
4	F15	an<3>	IOB	IO_L21P_1	OUTPUT	LVC MOS...	1	12	SL...	NONE**			LOCATED	NO	NONE
5	B18	but	IBUF	IP	INPUT	LVC MOS...	1				NONE		LOCATED	NO	NONE
6	B8	clk	IBUF	IP_L13P_0/GCLK8	INPUT	LVC MOS...	0				NONE		LOCATED	NO	NONE
7	H18	dis	IBUF	IP/VREF_1	INPUT	LVC MOS...	1				NONE		LOCATED	NO	NONE
8	H13	rst	IBUF	IP	INPUT	LVC MOS...	1				NONE		LOCATED	NO	NONE
9	G18	sel	IBUF	IP	INPUT	LVC MOS...	1				NONE		LOCATED	NO	NONE
10	L18	sseg<...	IOB	IO_L10P_1	OUTPUT	LVC MOS...	1	12	SL...	NONE**			LOCATED	NO	NONE
11	F18	sseg<...	IOB	IO_L19P_1	OUTPUT	LVC MOS...	1	12	SL...	NONE**			LOCATED	NO	NONE
12	D17	sseg<...	IOB	IO_L23P_1/HDC	OUTPUT	LVC MOS...	1	12	SL...	NONE**			LOCATED	NO	NONE
13	D16	sseg<...	IOB	IO_L23N_1/LDC0	OUTPUT	LVC MOS...	1	12	SL...	NONE**			LOCATED	NO	NONE
14	G14	sseg<...	IOB	IO_L20P_1	OUTPUT	LVC MOS...	1	12	SL...	NONE**			LOCATED	NO	NONE
15	J17	sseg<...	IOB	IO_L13P_1/A6/RHCLK4/IR...	OUTPUT	LVC MOS...	1	12	SL...	NONE**			LOCATED	NO	NONE
16	H14	sseg<...	IOB	IO_L17P_1	OUTPUT	LVC MOS...	1	12	SL...	NONE**			LOCATED	NO	NONE
17	R17	x	IBUF	IP	INPUT	LVC MOS...	1				NONE		LOCATED	NO	NONE