Laboratorium Elektroniki Cyfrowej		
Ćwiczenie nr: 5 Temat zajęć: **Licznik**		Data wykonania: **14.04.2018** Data uruchomienia: **19.04.2018**
Kierunek/semestr: **AiR / 4**	Grupa: **CZW_1145**	
Wykonali: **Katarzyna Kowalska 132079, Eryk Miśkiewicz 132100**		

Zadanie A:

1. Cel zadania / wymagania projektowe

- Zapoznanie się ze sposobem projektowania układów sekwencyjnych synchronicznych.
- Badanie liczników równoległych binarnych.

2. Tabela licznika 3-bitowego

$Q_2^t Q_1^t Q_0^t$	$Q_2^{t+1} Q_1^{t+1} Q_0^{t+1}$
000	001
001	010
010	011
011	100
100	101
101	110
110	111
111	000

3. Minimalizacja licznika 3-bitowego w oparciu o tablicę prawdy

Tabela dla Q_0^{t+1}

Q_2^t \ $Q_1^t Q_0^t$	***00***	***01***	***11***	***10***
0	***1***	***0***	***0***	***1***
1	***1***	***0***	***0***	***1***

$$Q_0^{t+1} = \overline{Q_0^t}$$

Tabela dla Q_1^{t+1}

Q_2^t \ $Q_1^t Q_0^t$	***00***	***01***	***11***	***10***
0	***0***	***1***	***0***	***1***
1	***0***	***1***	***0***	***1***

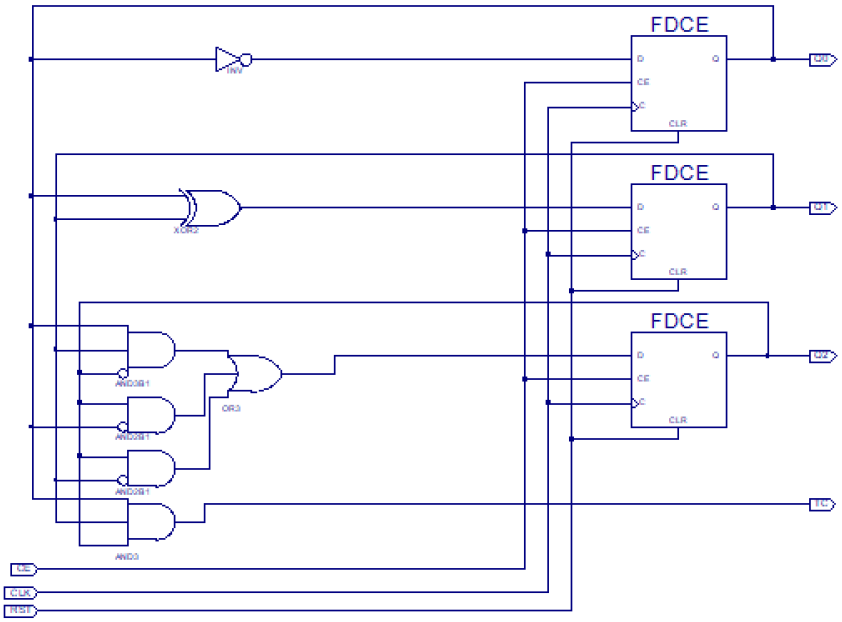
$$Q_1^{t+1} = Q_1^t \overline{Q_0^t} + \overline{Q_1^t} Q_0^t = Q_1 \oplus Q_0$$

Tabela dla Q_2^{t+1}

Q_2^t \ $Q_1^t Q_0^t$	***00***	***01***	***11***	***10***
0	***0***	***0***	***1***	***0***
1	***1***	***1***	***0***	***1***

$$Q_2^{t+1} = \overline{Q_2^t} Q_1^t Q_0^t + Q_2^t \overline{Q_0^t} + Q_2^t \overline{Q_1^t}$$

4. *Synteza licznika 3-bitowego*

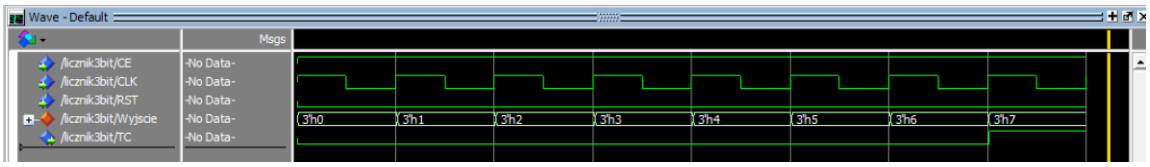


5. *Symulacja działania licznika*

- Wymuszenia zdefiniowano zgodnie z poniższym skryptem Tcl:

force -freeze sim:/licznik3bit/CLK 0 0, 1 {2500 ps} -r 5ns
force -freeze sim:/licznik3bit/RST 0 0
force -freeze sim:/licznik3bit/CE 1 0

- Symulacja w programie modelsim



Wyniki na wyjściach są zgodne z oczekiwanymi dla licznika.

6. *Tabela licznika L1 wg generatora zadań dla numeru indeksu 132100:*

licznik L1

cykl	wyj	BIN
0	1	0001
1	4	0100
2	6	0110
3	8	1000
4	10	1010
5	11	1011
6	12	1100
7	14	1110

$Q_2Q_1Q_0$	$B_3B_2B_1B_0$
000	0001
001	0100
010	0110
011	1000
100	1010
101	1011
110	1100
111	1110

7. *Minimalizacja licznika L1 w oparciu o tablicę prawdy*

Tabela dla B_0

Q_2 \ Q_1Q_0	*00*	*01*	*11*	*10*
0	***1***	***0***	***0***	***0***
1	***1***	***1***	***0***	***0***

$$B_0 = \overline{Q_2}\,\overline{Q_1}\,\overline{Q_0} + Q_2\,\overline{Q_1}\,Q_0$$

Tabela dla B_1

Q_2 \ Q_1Q_0	*00*	*01*	*11*	*10*
0	***0***	***0***	***0***	***1***
1	***1***	***1***	***1***	***0***

$$B_1 = Q_2\,\overline{Q_1} + Q_2\,Q_0 + \overline{Q_2}\,Q_1\,\overline{Q_0}$$

Tabela dla B_2

Q_2 \ Q_1Q_0	*00*	*01*	*11*	*10*
0	***0***	***1***	***0***	***1***
1	***0***	***0***	***1***	***1***

$$B_2 = \overline{Q_2}\,\overline{Q_1}\,Q_0 + \overline{Q_2}\,Q_1\overline{Q_0} + Q_2\,Q_1 = \overline{Q_2}\,(Q_0 \oplus Q_1) + Q_2\,Q_1$$

Q_2 \ Q_1Q_0	*00*	*01*	*11*	*10*
0	***0***	***1***	***0***	***1***
1	***0***	***0***	***1***	***1***

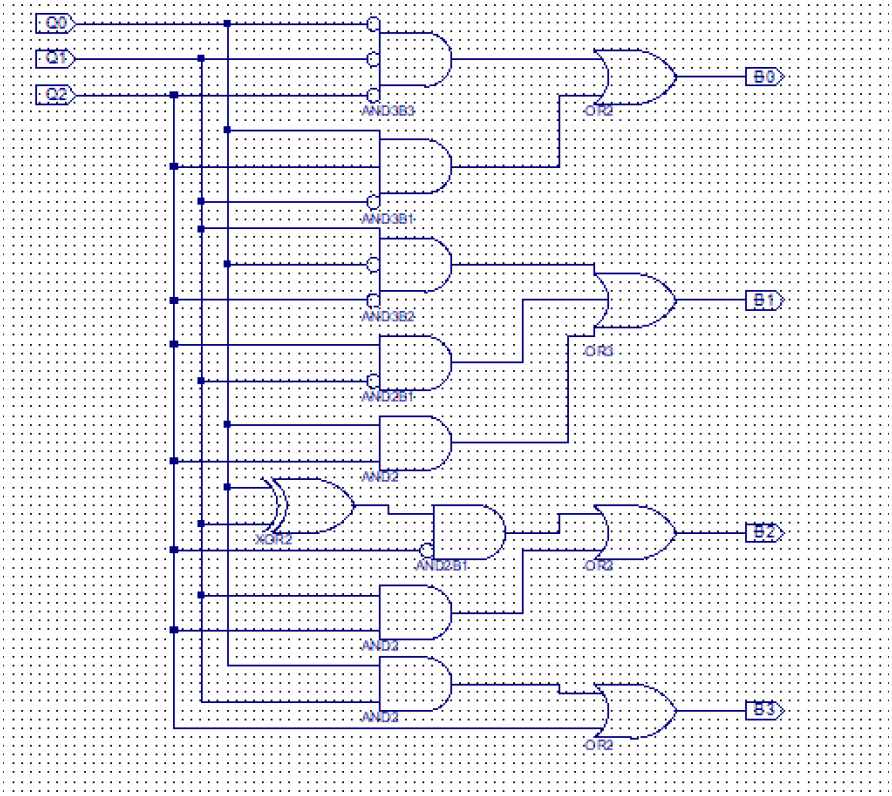
$$B_2 = \overline{Q_2}\,\overline{Q_1}\,Q_0 + Q_1\overline{Q_0} + Q_2\,Q_1$$

Tabela dla B_3

Q_2 \ Q_1Q_0	00	01	11	10
0	0	0	1	0
1	1	1	1	1

$$B_3 = Q_1Q_0 + Q_2$$

8. Wykonanie dekodera D1

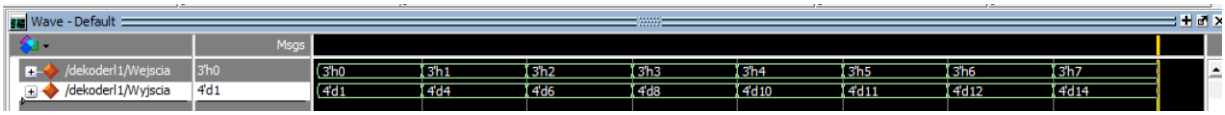


9. Symulacja działania dekodera D1

- Wymuszenia zdefiniowano zgodnie z poniższym skryptem Tcl:

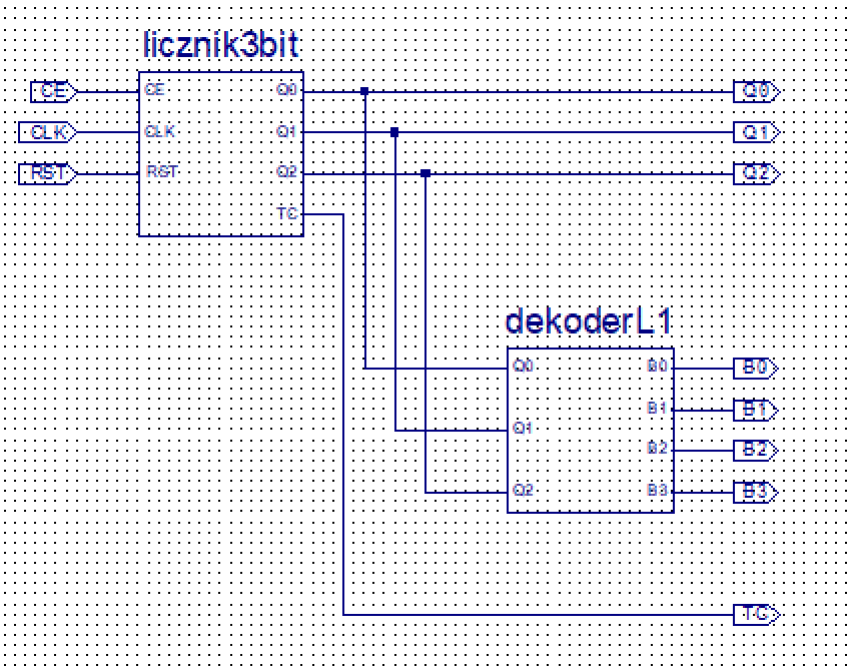
```
force -freeze sim:/dekoderl1/Q0 0 0, 1 {5000 ps} -r 10ns
force -freeze sim:/dekoderl1/Q1 0 0, 1 {10000 ps} -r 20ns
force -freeze sim:/dekoderl1/Q2 0 0, 1 {20000 ps} -r 40ns
```

- Symulacja w programie modelsim



Wyniki na wyjściach są zgodne z oczekiwanymi dla dekodera.

10. Synteza licznika L1



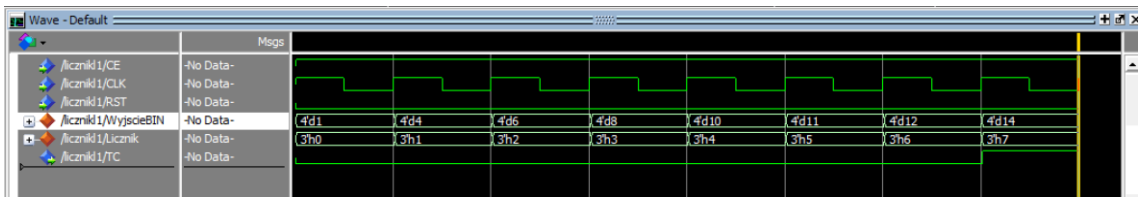
11. Symulacja działania licznika L1

- Wymuszenia zdefiniowano zgodnie z poniższym skryptem Tcl:
  force -freeze sim:/licznikl1/RST 0 0
  force -freeze sim:/licznikl1/CE 1 0
  force -freeze sim:/licznikl1/CLK 1 0, 0 {2500 ps} -r 5ns

- Tablica licznika

$Q_2Q_1Q_0$	$B_3B_2B_1B_0$
000	0001
001	0100
010	0110
011	1000
100	1010
101	1011
110	1100
111	1110

- Symulacja w programie modelsim



Wyniki na wyjściach są zgodne z oczekiwanymi dla licznika.

12. Tabela licznika L2 wg generatora zadań dla numeru indeksu 132100

licznik L2

cykl	wyj	BIN
0	2	0010
1	5	0101
2	7	0111
3	9	1001
4	11	1011
5	12	1100
6	13	1101
7	15	1111

$Q_2Q_1Q_0$	$B_3B_2B_1B_0$
000	0010
001	0101
010	0111
011	1001
100	1011
101	1100
110	1101
111	1111

13. Minimalizacja licznika L2 w oparciu o tablicę prawdy

Tabela dla B_0

Q_2 \ Q_1Q_0	*00*	*01*	*11*	*10*
0	*0*	*1*	*1*	*1*
1	*1*	*0*	*1*	*1*

$$B_0 = Q_1 + \overline{Q_2}\,Q_0 + Q_2\,\overline{Q_0} = Q_1 + (Q_0 \oplus Q_2)$$

Tabela dla B_1

Q_2 \ Q_1Q_0	*00*	*01*	*11*	*10*
0	*1*	*0*	*0*	*1*
1	*1*	*0*	*1*	*0*

$$B_1 = Q_2\,Q_1Q_0 + \overline{Q_1}\;\overline{Q_0} + \overline{Q_2}\,\overline{Q_0}$$

Tabela dla B_2

Q_2 \ Q_1Q_0	***00***	***01***	***11***	***10***
0	***0***	***1***	***0***	***1***
1	***0***	***1***	***1***	***1***

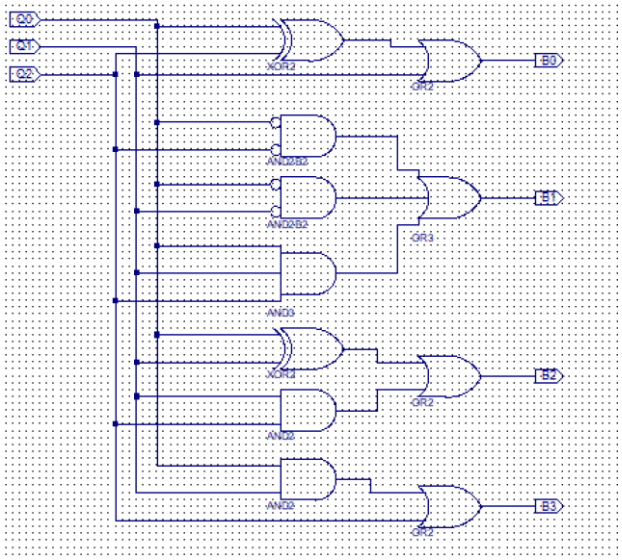
$$B_2 = \overline{Q_1}\, Q_0 + Q_1\, \overline{Q_0}\, + Q_2\, Q_1 = Q_2\, Q_1 + Q_1 \oplus Q_0$$

Tabela dla B_3

Q_2 \ Q_1Q_0	***00***	***01***	***11***	***10***
0	***0***	***0***	***1***	***0***
1	***1***	***1***	***1***	***1***

$$B_3 = Q_1 Q_0 + Q_2$$

14. Wykonanie dekodera D2

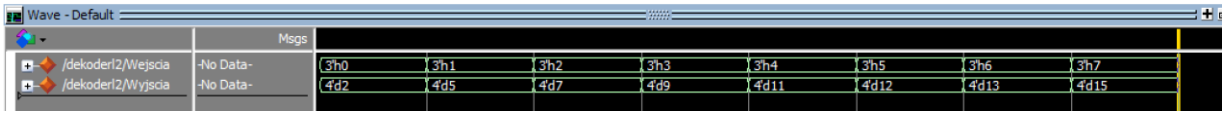


15. Symulacja działania dekodera D2

- Wymuszenia zdefiniowano zgodnie z poniższym skryptem Tcl:

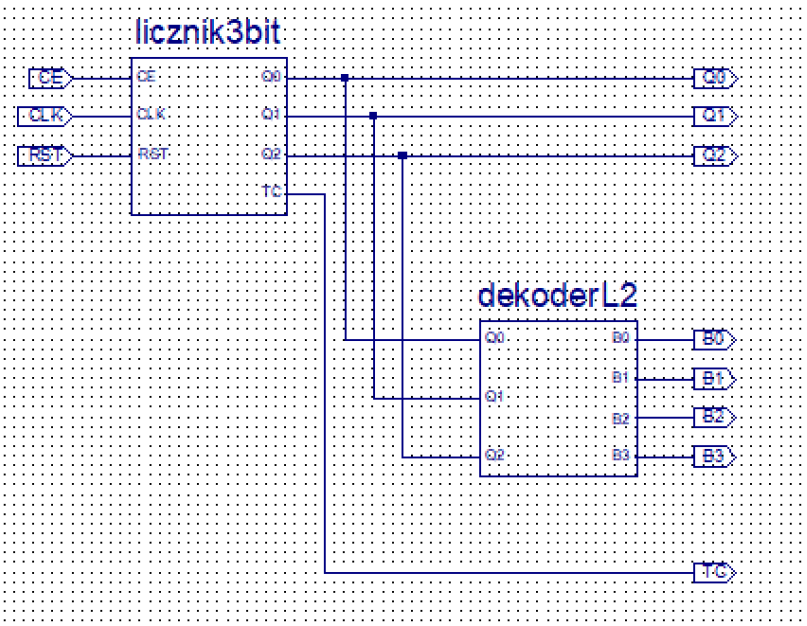
force -freeze sim:/dekoderl2/Q0 0 0, 1 {5000 ps} -r 10ns
force -freeze sim:/dekoderl2/Q1 0 0, 1 {10000 ps} -r 20ns
force -freeze sim:/dekoderl2/Q2 0 0, 1 {20000 ps} -r 40ns

- Symulacja w programie modelsim



Wyniki na wyjściach są zgodne z oczekiwanymi dla dekodera.

16. Wykonanie licznika L2



17. Symulacja działania licznika L2

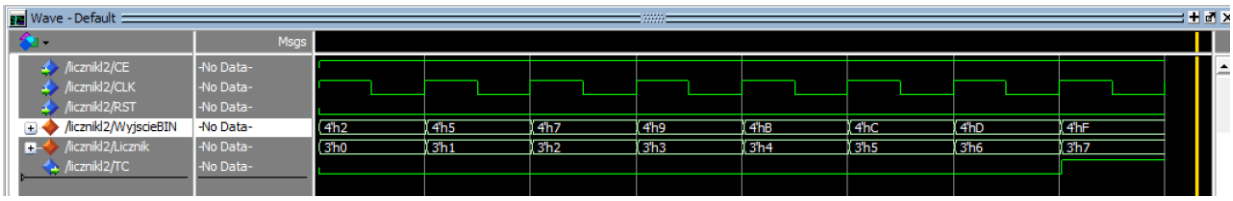
- Wymuszenia zdefiniowano zgodnie z poniższym skryptem Tcl:

force -freeze sim:/licznikl2/RST 0 0
force -freeze sim:/licznikl2/CE 1 0
force -freeze sim:/licznikl2/CLK 1 0, 0 {2500 ps} -r 5ns

- Tablica licznika

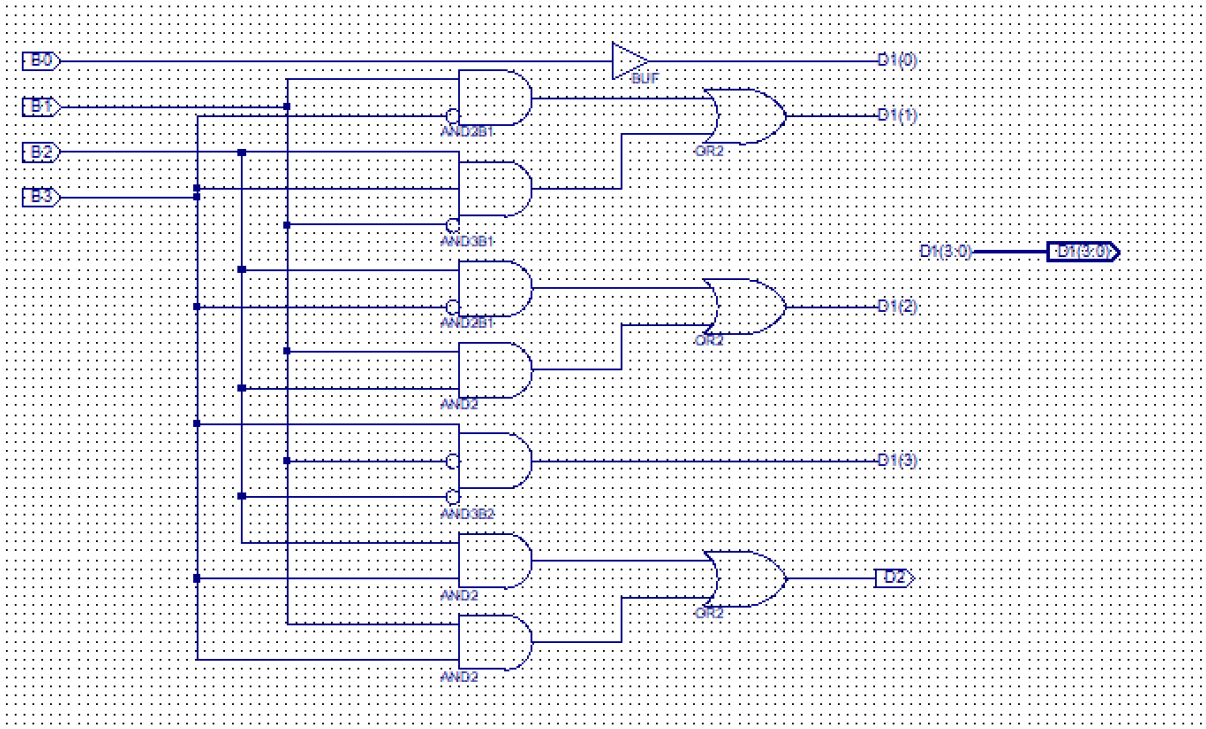
$Q_2Q_1Q_0$	$B_3B_2B_1B_0$
000	0010
001	0101
010	0111
011	1001
100	1011
101	1100
110	1101
111	1111

- Symulacja w programie modelsim



Wyniki na wyjściach są zgodne z oczekiwanymi dla licznika.

18. Synteza 4-bitowego konwertera przekształcającego kod BIN na kod BCD

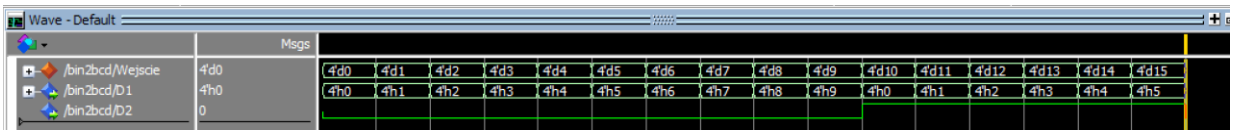


19. Symulacja działania konwertera

- Wymuszenia zdefiniowano zgodnie z poniższym skryptem Tcl:

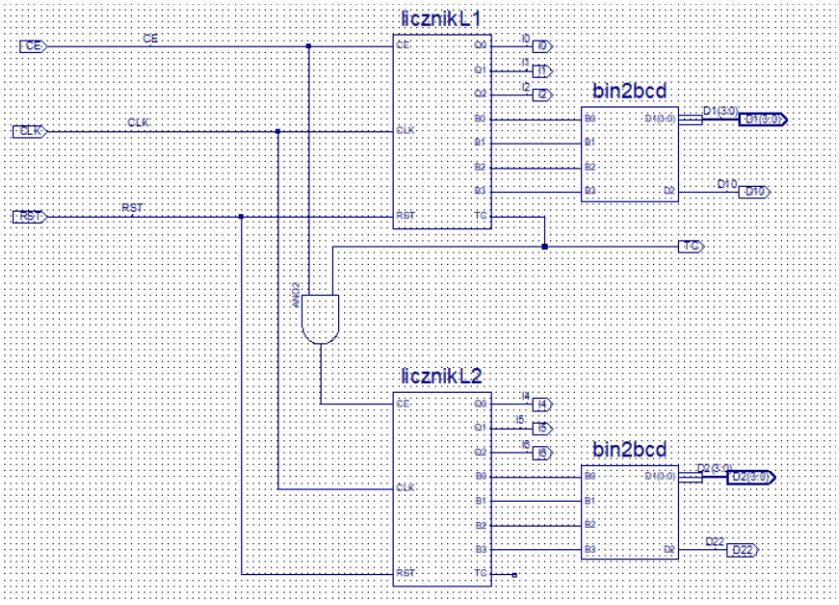
```
force -freeze sim:/bin2bcd/B0 0 0, 1 {5000 ps} -r 10ns
force -freeze sim:/bin2bcd/B1 0 0, 1 {10000 ps} -r 20ns
force -freeze sim:/bin2bcd/B2 0 0, 1 {20000 ps} -r 40ns
force -freeze sim:/bin2bcd/B3 0 0, 1 {40000 ps} -r 80ns
```

- Symulacja w programie modelsim



Wyniki na wyjściach są zgodne z oczekiwanymi dla konwertera.

20. Implementacja kaskadowego połączenia licznika L1 i licznika L2 do symulacji



21. Symulacja kaskadowego połączenia licznika L1 i licznika L2

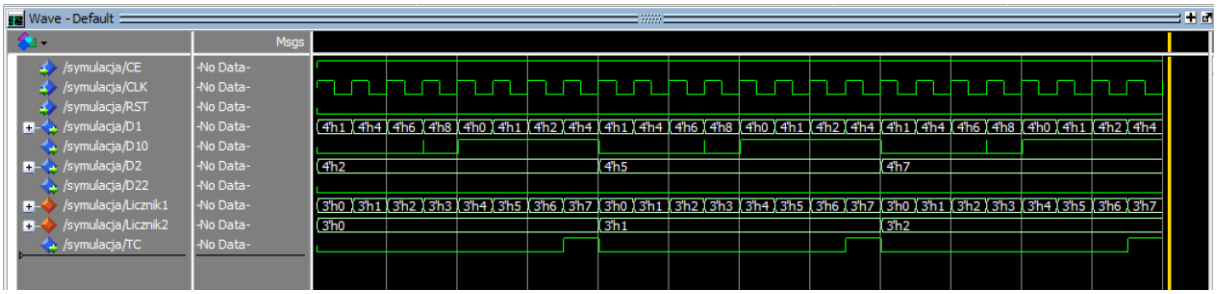
- Wymuszenia zdefiniowano zgodnie z poniższym skryptem Tcl:

```
force -freeze sim:/symulacja/CLK 1 0, 0 {5000 ps} -r 10ns
force -freeze sim:/symulacja/RST 0 0
force -freeze sim:/symulacja/CE 1 0
```

Licznik 1		
$Q_2Q_1Q_0$	$B_3B_2B_1B_0$	DEC
000	0001	1
001	0100	4
010	0110	6
011	1000	8
100	1010	10
101	1011	11
110	1100	12
111	1110	14

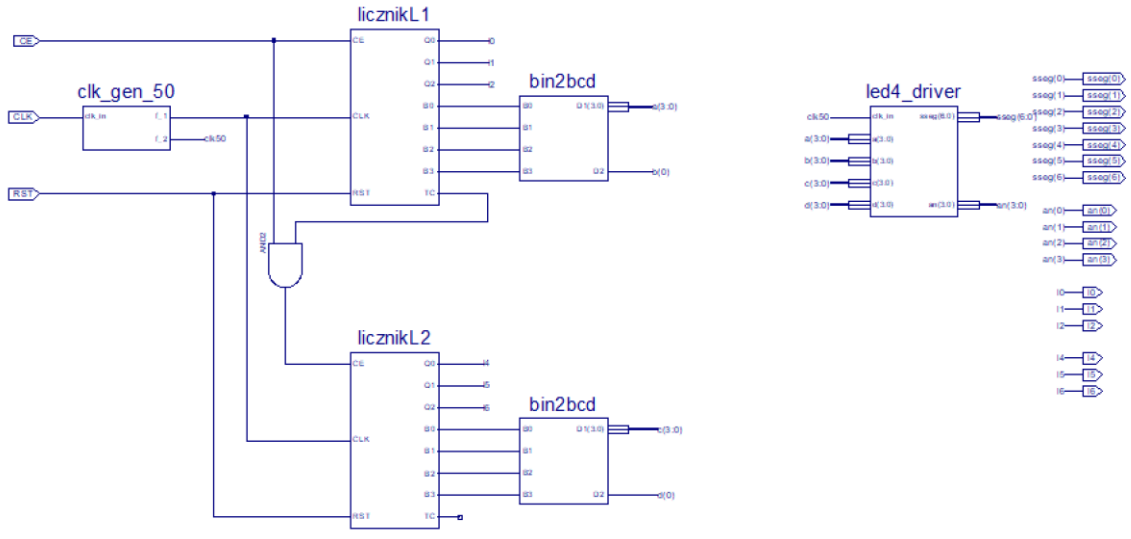
Licznik 2		
$Q_2Q_1Q_0$	$B_3B_2B_1B_0$	DEC
000	0010	2
001	0101	5
010	0111	7
011	1001	9
100	1011	11
101	1100	12
110	1101	13
111	1111	15

- Symulacja w programie modelsim



Wyniki na wyjściach są zgodne z oczekiwanymi dla kaskadowego połączenia liczników.

22. Implementacja kaskadowego połączenia licznika L1 i licznika L2 / testowanie prototypu



- Interfejs testowanego urządzenia (wg schematu):

Port urządzenia testowanego	Sygnał płyty prototypowej
CE	SW0
CLK	Zegar 50MHz
RST	BTN0
sseg(0)	CA
sseg(1)	CB
sseg(2)	CC
sseg(3)	CD
sseg(4)	CE
sseg(5)	CF
sseg(6)	CG
an(0)	AN0
an(1)	AN1
an(2)	AN2
an(3)	AN3
ld0	LD7
ld1	LD6
ld2	LD5
ld4	LD3
ld5	LD2
ld6	LD1

Testowanie polega na podaniu sygnału zegara na bloki liczników i wyświetlanie aktualnego stanu liczników na wyświetlaczu 7-seg.

- Pinout Report

	Pin Number	gn an	Pin Usage	Pin Name	Direction	IO Standard	IO Bank Number	Drive (mA)	Slew Rate	Termination	IOB Delay	Voltage	Constraint	IO Register	Signal Integrity
1	G18	CE	IBUF	IP	INPUT	LVCMOS...	1				NONE		LOCATED	NO	NONE
2	B8	CLK	IBUF	IP_L13P_0/GCLK8	INPUT	LVCMOS...	0				NONE		LOCATED	NO	NONE
3	B18	RST	IBUF	IP	INPUT	LVCMOS...	1				NONE		LOCATED	NO	NONE
4	F17	an<0>	IOB	IO_L19N_1	OUTPUT	LVCMOS...	1	12	SL...	NONE**			LOCATED	NO	NONE
5	H17	an<1>	IOB	IO_L16N_1/A0	OUTPUT	LVCMOS...	1	12	SL...	NONE**			LOCATED	NO	NONE
6	C18	an<2>	IOB	IO_L24P_1/LDC1	OUTPUT	LVCMOS...	1	12	SL...	NONE**			LOCATED	NO	NONE
7	F15	an<3>	IOB	IO_L21P_1	OUTPUT	LVCMOS...	1	12	SL...	NONE**			LOCATED	NO	NONE
8	R4	I0	IOB	IO/VREF_3	OUTPUT	LVCMOS...	3	12	SL...	NONE**			LOCATED	NO	NONE
9	F4	I1	IOB	IO	OUTPUT	LVCMOS...	3	12	SL...	NONE**			LOCATED	NO	NONE
10	P15	I2	IOB	IO	OUTPUT	LVCMOS...	1	12	SL...	NONE**			LOCATED	NO	NONE
11	K14	I4	IOB	IO_L12N_1/A7/RHCLK3/T...	OUTPUT	LVCMOS...	1	12	SL...	NONE**			LOCATED	NO	NONE
12	K15	I5	IOB	IO_L12P_1/A8/RHCLK2	OUTPUT	LVCMOS...	1	12	SL...	NONE**			LOCATED	NO	NONE
13	J15	I6	IOB	IO_L14P_1/A4/RHCLK6	OUTPUT	LVCMOS...	1	12	SL...	NONE**			LOCATED	NO	NONE
14	L18	sseg<...	IOB	IO_L10P_1	OUTPUT	LVCMOS...	1	12	SL...	NONE**			LOCATED	NO	NONE
15	F18	sseg<...	IOB	IO_L19P_1	OUTPUT	LVCMOS...	1	12	SL...	NONE**			LOCATED	NO	NONE
16	D17	sseg<...	IOB	IO_L23P_1/HDC	OUTPUT	LVCMOS...	1	12	SL...	NONE**			LOCATED	NO	NONE
17	D16	sseg<...	IOB	IO_L23N_1/LDC0	OUTPUT	LVCMOS...	1	12	SL...	NONE**			LOCATED	NO	NONE
18	G14	sseg<...	IOB	IO_L20P_1	OUTPUT	LVCMOS...	1	12	SL...	NONE**			LOCATED	NO	NONE
19	J17	sseg<...	IOB	IO_L13P_1/A6/RHCLK4/IR...	OUTPUT	LVCMOS...	1	12	SL...	NONE**			LOCATED	NO	NONE
20	H14	sseg<...	IOB	IO_L17P_1	OUTPUT	LVCMOS...	1	12	SL...	NONE**			LOCATED	NO	NONE