

## Odbiornik UART

rx – szeregowe wejście danych

clk – sygnał zegarowy 50MHz

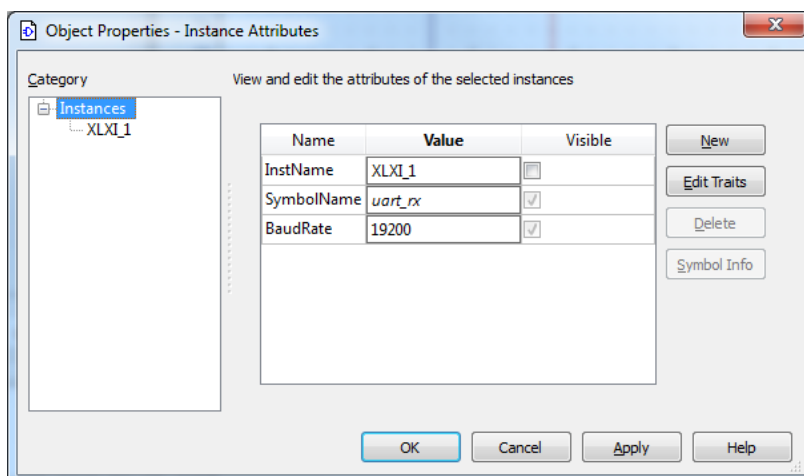
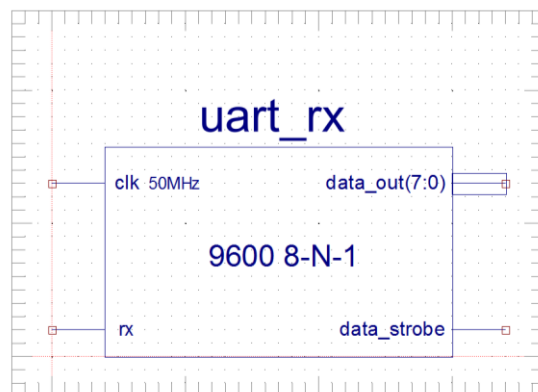
data\_out – równoległe wyjście danych

data\_strobe – znacznik obecności poprawnych danych w buforze transmisji

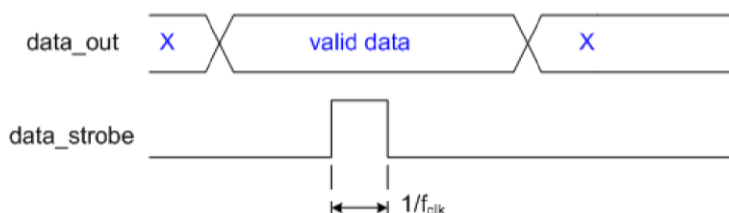
### Dane dla programu terminala:

- konfigurowalna prędkość transmisji: 9600 b/s (domyślnie)
- bity danych: 8,
- bity parzystości: brak,
- bity stopu: 1,
- sterowanie przepływem: brak

Moduł umożliwia odbiór danych transmitowanych szeregowo przez standardowy port RS232. Prędkość transmisji jest konfigurowana atrybutem BaudRate (patrz rys.), wyliczana na podstawie sygnału synchronizującego 50MHz, stąd konieczność dołączenia takiej właśnie częstotliwości do interfejsu implementowanego modułu.



W przypadku odebrania danych wyjście data\_strobe ustawiane jest w stan wysoki na jeden okres sygnału synchronizującego ( $1/f_{clk}$  – w omawianym przypadku 20ns). Wyjście data\_strobe należy traktować jak sygnał clock\_enable dla układów (np. rejestrów) pobierających dane z modułu uart\_rx.



### Pliki:

uart\_rx.sym – symbol dla edytora schematów

uart\_rx.vhd – model do symulacji i implementacji

uart\_testbench.vhd – otoczenie symulacyjne do testowania projektów, w których użyto uart\_rx.vhd

Uwaga: moduł wymaga przypisania linii rx do odpowiedniej nóżki układu scalonego (użycie atrybutu 'LOC'; dla płyty Nexys2 LOC = U6 w przypadku podłączenia przez złącze J6)