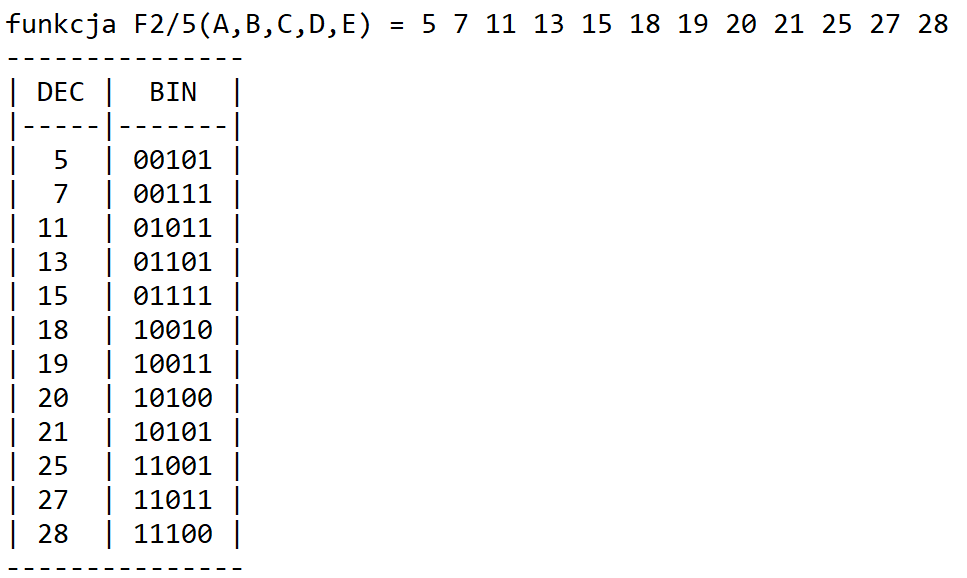
|  |  |  |
| --- | --- | --- |
| L a b o r a t o r i u m E l e k t r o n i k i C y f r o w e j | | |
| Ćwiczenie nr: **1**  Temat zajęć: **Multiplekser** | | Data wykonania:  **27.03.2018**  Data uruchomienia: **29.03.2018** |
| Kierunek/semestr: **AiR / 4** | Grupa: **CZW\_1145** |
| Wykonali: **Katarzyna Kowalska 132079, Eryk Miśkiewicz 132100** | |

***Zadanie A:***

1. ***Cel zadania / wymagania projektowe***
   * znalezienie postaci minimalnej funkcji **F2/5** (metoda dowolna) i wyznaczenie współczynnika nieokreśloności zmiennych.
   * przy pomocy układu **M8\_1E** zbudowanie układu realizującego funkcję **F2/5**.
   * przygotowanie schematu do testowania wykorzystującego generator wymuszeń i podłączenie analizatora stanów (wg przykładu z lab0),
   * dokonanie symulacji behawioralnej zaprojektowanego urządzenia.

Tabela funkcji **F2/5** wg generatora zadań dla numeru indeksu 132100:



|  |  |
| --- | --- |
| DEC | BIN |
| 5 | 00101 |
| 7 | 00111 |
| 11 | 01011 |
| 13 | 01101 |
| 15 | 01111 |
| 18 | 10010 |
| 19 | 10011 |
| 20 | 10100 |
| 21 | 10101 |
| 25 | 11001 |
| 27 | 11011 |
| 28 | 11100 |

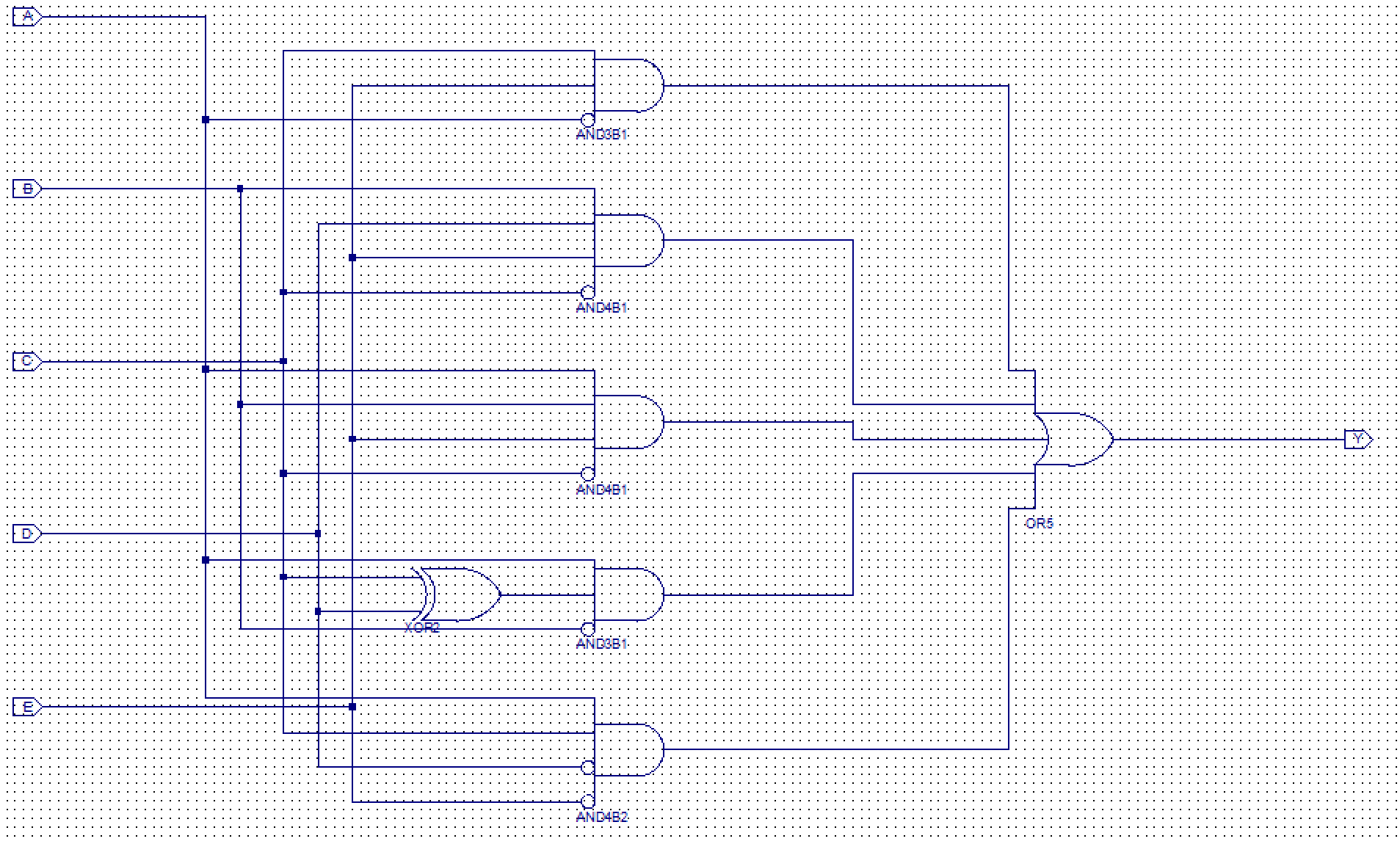
1. ***Synteza układu / tablice Karnaugha dla realizowanej funkcji***

|  |  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- | --- |
|  | 000 | 001 | 011 | 010 | 110 | 111 | 101 | 100 |
| 00 | 0 | 0 | 0 | 0 | 0 | 1 | 1 | 0 |
| 01 | 0 | 0 | 1 | 0 | 0 | 1 | 1 | 0 |
| 11 | 0 | 1 | 1 | 0 | 0 | 0 | 0 | 1 |
| 10 | 0 | 0 | 1 | 1 | 0 | 0 | 1 | 1 |

1. ***Współczynnik nieokreśloności***

|  |  |
| --- | --- |
| **A** | 5 |
| **B** | 4 |
| **C** | 6 |
| **D** | 4 |
| **E** | 4 |

1. ***Realizacja przy pomocy bramek z biblioteki Xilinx Spartan3***

******

1. ***Weryfikacja poprawności projektu / wyniki symulacji***

* Wymuszenia zdefiniowano zgodnie z poniższym skryptem Tcl:

force A 0 0ps, 1 160ps -repeat 320ps

force B 0 0ps, 1 80ps -repeat 160ps

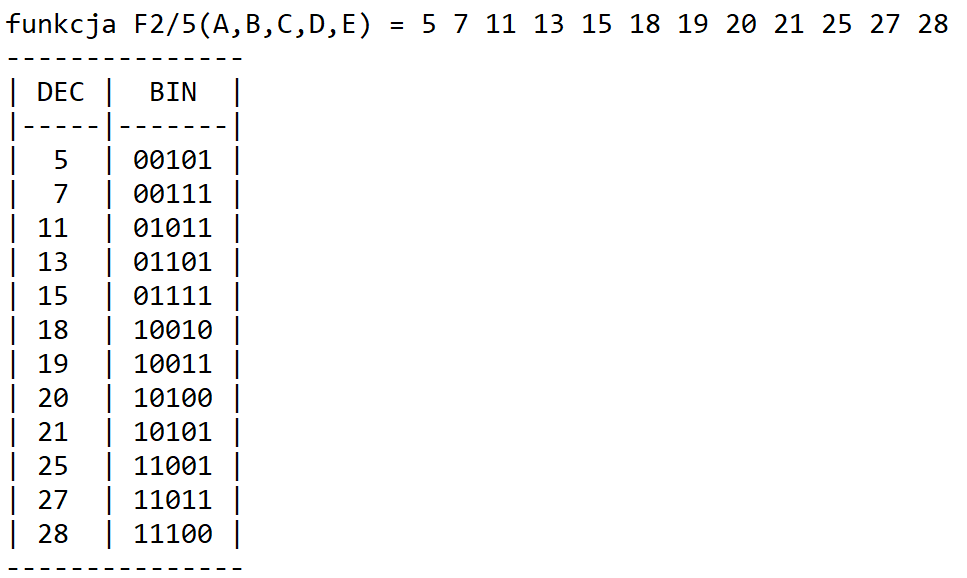
force C 0 0ps, 1 40ps -repeat 80ps

force D 0 0ps, 1 20ps -repeat 40ps

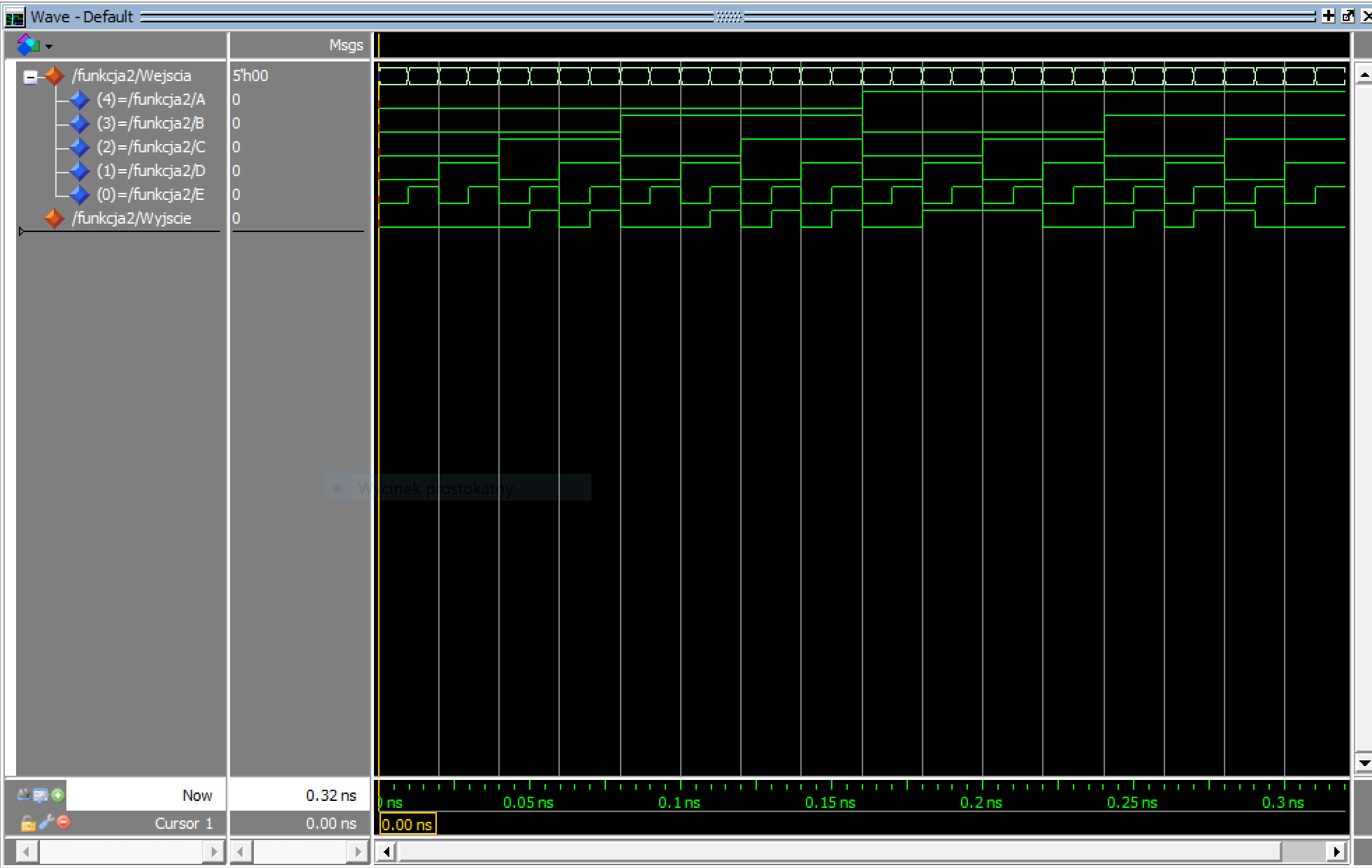
force E 0 0ps, 1 10ps -repeat 20ps

run 320ps

* + Tablica prawdy weryfikowanej funkcji



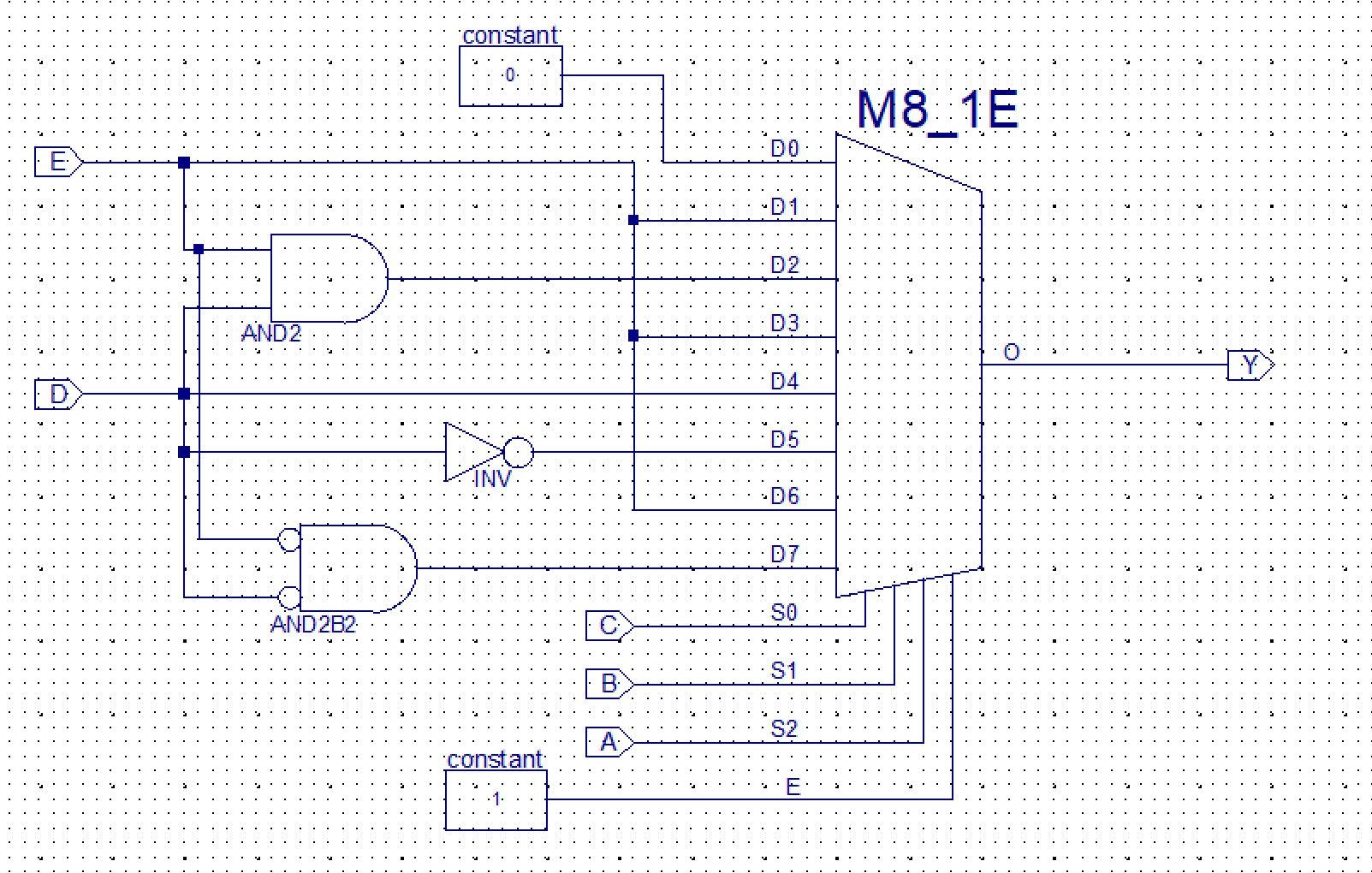
* + Symulacja w programie modelsim



Wyniki symulacji behawioralnej potwierdzają poprawność wykonania modelu strukturalnego urządzenia. Pojawianie się na wyjściu stanu wysokiego jest zgodne z zawartością tablicy prawdy dla funkcji F2/5.

1. ***Realizacja przy pomocy multipleksera i bramek z biblioteki Xilinx Spartan3***

W oparciu o współczynnik nieokreśloności do sterowania multiplekserem zostały użyte wejścia **A,B,C**.



1. ***Weryfikacja poprawności projektu / wyniki symulacji***

* Wymuszenia zdefiniowano zgodnie z poniższym skryptem Tcl:

force A 0 0ps, 1 160ps -repeat 320ps

force B 0 0ps, 1 80ps -repeat 160ps

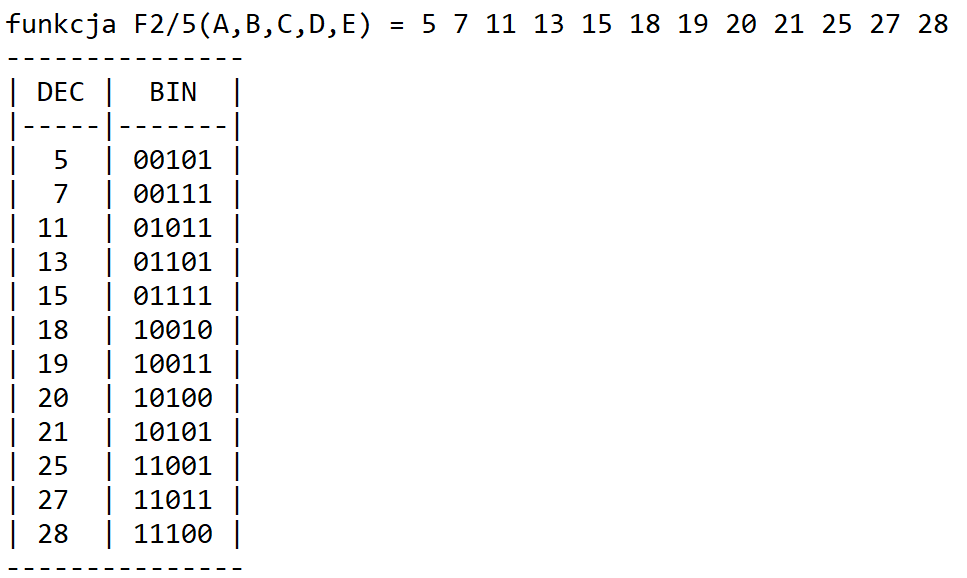
force C 0 0ps, 1 40ps -repeat 80ps

force D 0 0ps, 1 20ps -repeat 40ps

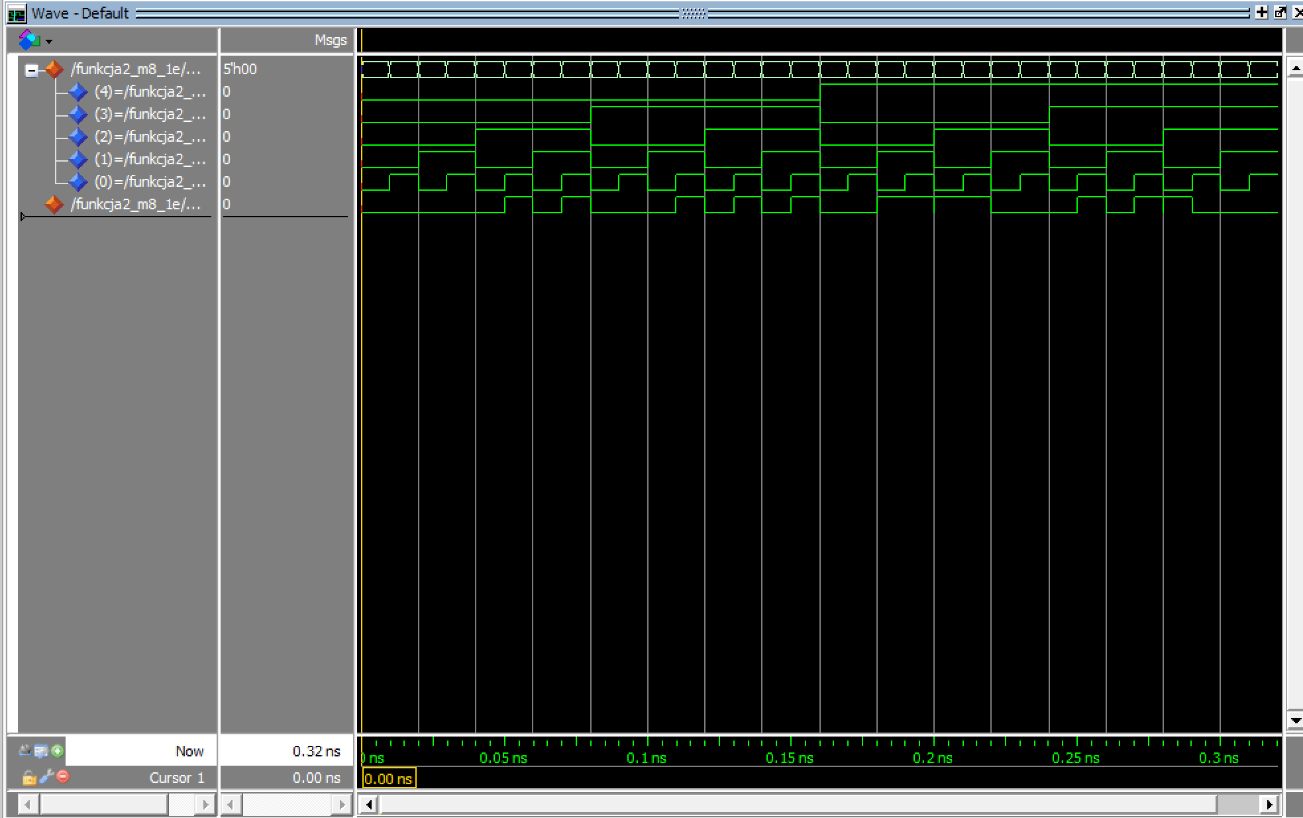
force E 0 0ps, 1 10ps -repeat 20ps

run 320ps

* + Tablica prawdy weryfikowanej funkcji

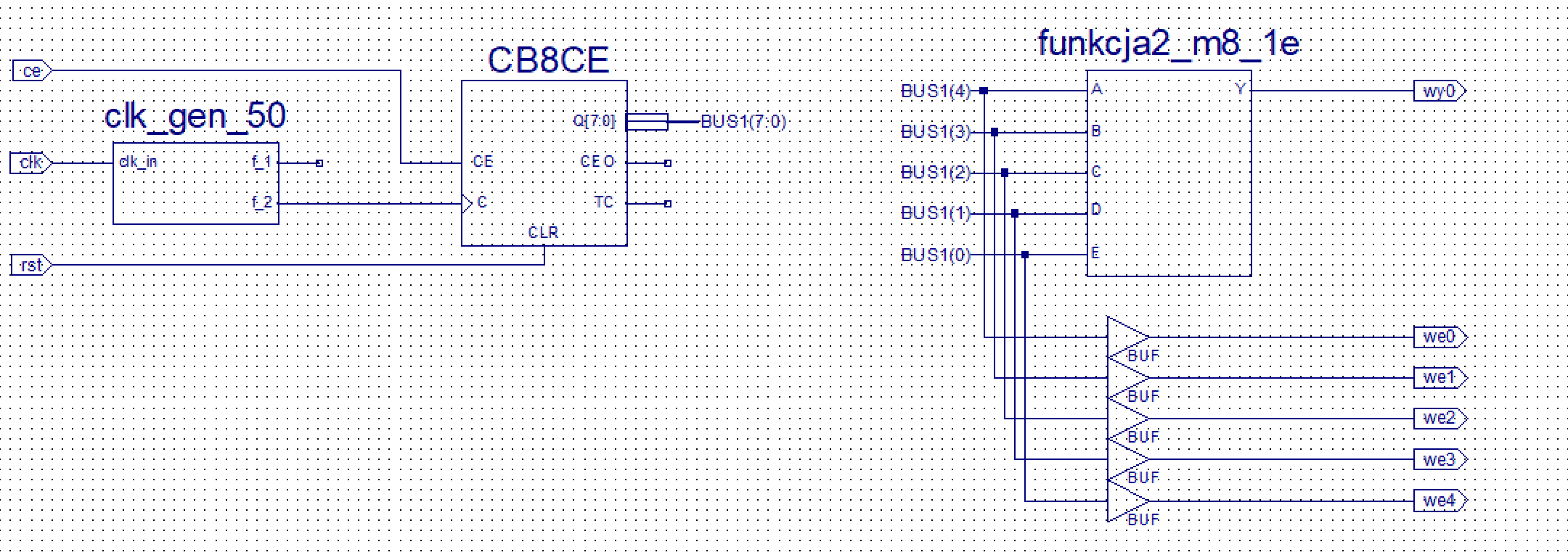


* + Symulacja w programie modelsim



Wyniki symulacji behawioralnej potwierdzają poprawność wykonania modelu strukturalnego urządzenia. Pojawianie się na wyjściu stanu wysokiego jest zgodne z zawartością tablicy prawdy dla funkcji F2/5.

1. ***Implementacja / testowanie prototypu***

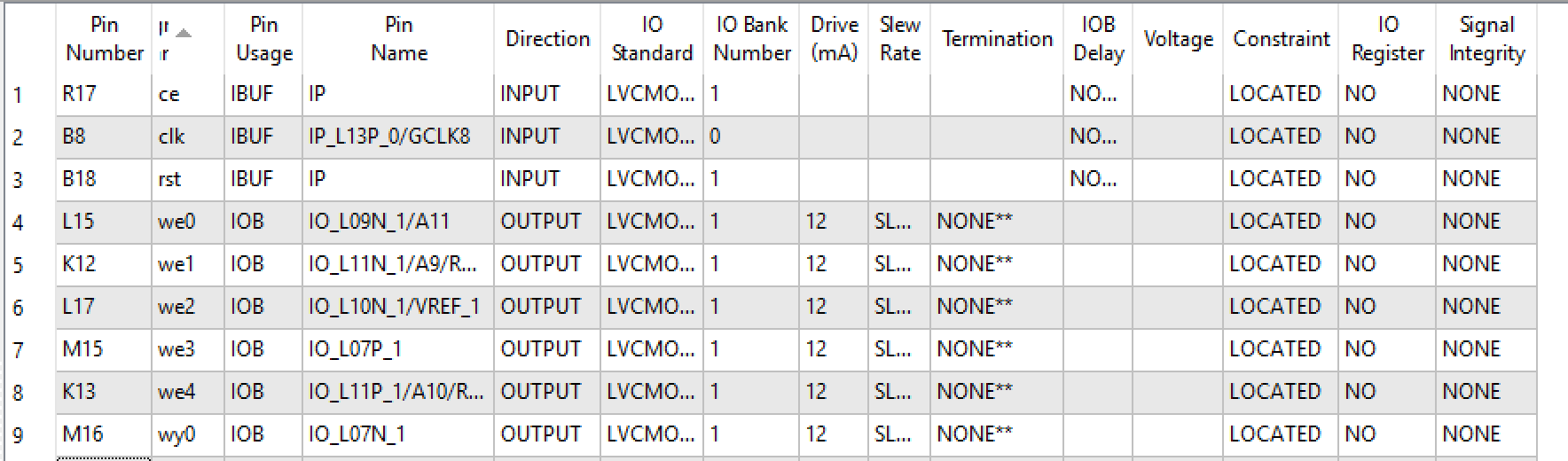


* Interfejs testowanego urządzenia (wg schematu):

|  |  |  |
| --- | --- | --- |
| Port urządzenia testowanego | Sygnał płyty prototypowej | Kanał analizatora stanów |
|  | Pmod JA1 | CH0 |
| **B** | Pmod JA2 | CH1 |
| **C** | Pmod JA3 | CH2 |
| **D** | Pmod JA4 | CH3 |
| **E** | Pmod JA7 | CH4 |
| **Y** | Pmod JA10 | CH7 |
| CE | SW7 | - |
| RST | SW6 | - |
| CLK | Zegar 50MHz | - |

Testowanie polega na podaniu na wejścia A,B,C,D,E bloku F2\_5 sekwencji 8-bitowych w kodzie NKB  
i obserwacji zachowania układu przy pomocy analizatora stanów logicznych. Analizator podłączony do układu poprzez port Pmod\_JA. Procedura testowania wykorzystuje wewnętrzny licznik binarny   
8-bitowy (najmłodszy bit licznika podany na wejście E urządzenia testowanego). Częstotliwość zegara licznika (wejście C dla CB4CE) wynosi ~1kHz.

* Pinout Report

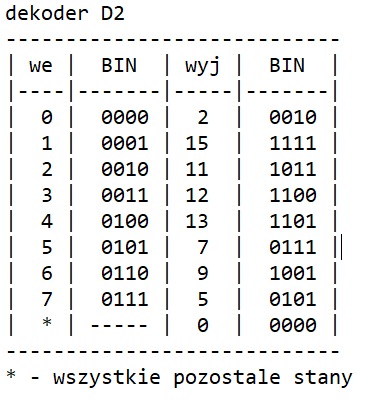


***Zadanie B:***

1. ***Cel zadania / wymagania projektowe***

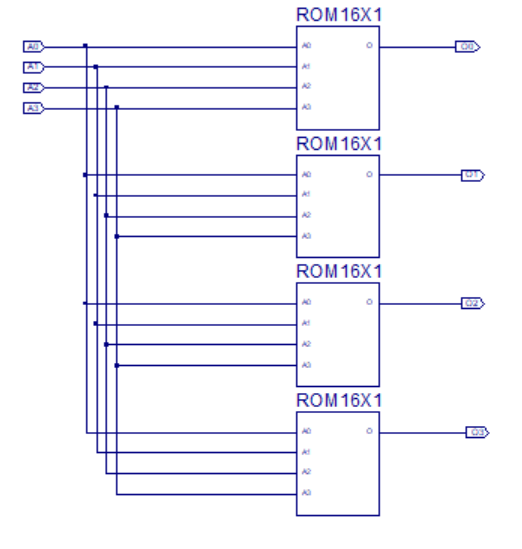
* przy pomocy układu **ROM16X1** zbudowanie układu realizującego funkcję kodera   
  wg tablicy **D2**,
* w przypadku zastosowania pamięci ROM wykorzystanie parametru INIT do inicjalizacji zawartości pamięci na etapie generacji pliku bitowego,
* przygotowanie schematu do testowania wykorzystującego generator wymuszeń   
  i podłączenie analizatora stanów (wg przykładu z lab0),
* dokonanie symulacji behawioralnej zaprojektowanego urządzenia

Tablica **D2** wg generatora zadań dla numeru indeksu 132100:



|  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- |
| wejścia | | | | wyjścia | | | |
|  |  |  |  |  |  |  |  |
| 0 | 0 | 0 | 0 | 0 | 0 | 1 | 0 |
| 0 | 0 | 0 | 1 | 1 | 1 | 1 | 1 |
| 0 | 0 | 1 | 0 | 1 | 0 | 1 | 1 |
| 0 | 0 | 1 | 1 | 1 | 1 | 0 | 0 |
| 0 | 1 | 0 | 0 | 1 | 1 | 0 | 1 |
| 0 | 1 | 0 | 1 | 0 | 1 | 1 | 1 |
| 0 | 1 | 1 | 0 | 1 | 0 | 0 | 1 |
| 0 | 1 | 1 | 1 | 0 | 1 | 0 | 1 |
| 1 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| 1 | 0 | 0 | 1 | 0 | 0 | 0 | 0 |
| 1 | 0 | 1 | 0 | 0 | 0 | 0 | 0 |
| 1 | 0 | 1 | 1 | 0 | 0 | 0 | 0 |
| 1 | 1 | 0 | 0 | 0 | 0 | 0 | 0 |
| 1 | 1 | 0 | 1 | 0 | 0 | 0 | 0 |
| 1 | 1 | 1 | 0 | 0 | 0 | 0 | 0 |
| 1 | 1 | 1 | 1 | 0 | 0 | 0 | 0 |

1. ***Realizacja przy pomocy układu ROM16X1 z biblioteki Xilinx Spartan3***

******

* Inicjalizacja pamięci ROM
  + O0 - ROM16X1 = 00f6
  + O1 - ROM16X1 = 0027
  + O2 - ROM16X1 = 00ba
  + O3 - ROM16X1 = 005e

1. ***Weryfikacja poprawności projektu / wyniki symulacji***

* Wymuszenia zdefiniowano zgodnie z poniższym skryptem Tcl:

force A0 0 0ns, 1 10ns -repeat 20ns

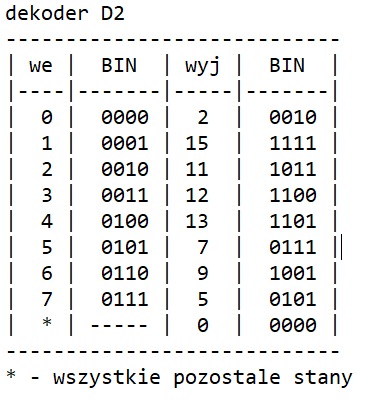
force A1 0 0ns, 1 20ns -repeat 40ns

force A2 0 0ns, 1 40ns -repeat 80ns

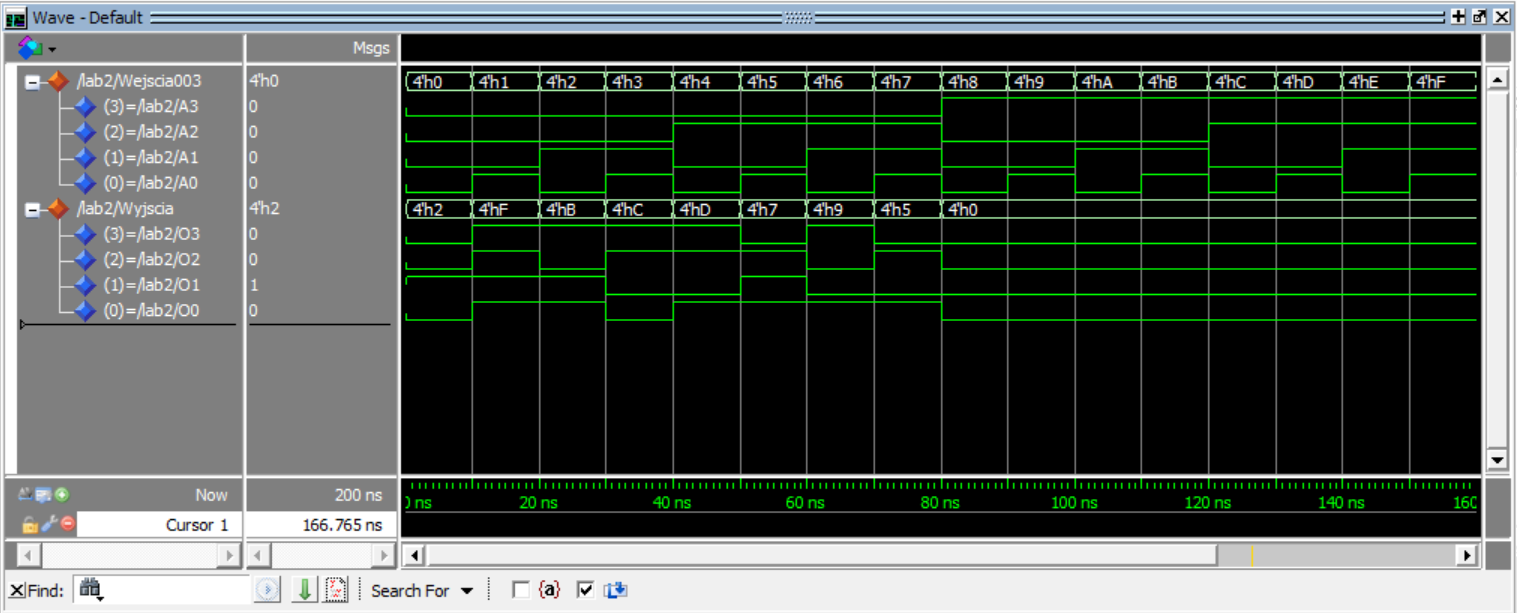
force A3 0 0ns, 1 80ns -repeat 160ns

run 200ns

* Tablica prawdy weryfikowanej funkcji:

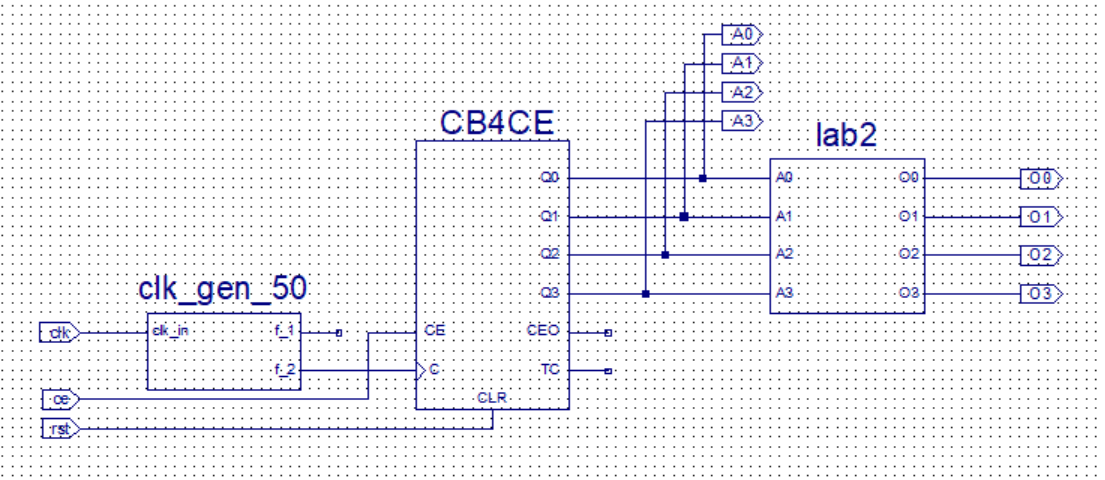


* Symulacja w programie ModelSim:



Wyniki symulacji behawioralnej potwierdzają poprawność wykonania modelu strukturalnego urządzenia. Pojawianie się na wyjściu stanu wysokiego jest zgodne z zawartością tablicy dekodera D2.

1. ***Implementacja / testowanie prototypu***



* Interfejs testowanego urządzenia (wg schematu):

|  |  |  |
| --- | --- | --- |
| Port urządzenia testowanego | Sygnał płyty prototypowej | Kanał analizatora stanów |
|  | Pmod JA1 | CH0 |
|  | Pmod JA2 | CH1 |
|  | Pmod JA3 | CH2 |
|  | Pmod JA4 | CH3 |
|  | Pmod JA7 | CH8 |
|  | Pmod JA8 | CH9 |
|  | Pmod JA9 | CH10 |
|  | Pmod JA10 | CH11 |
| CE | SW7 | - |
| RST | SW6 | - |
| CLK | Zegar 50MHz | - |

Testowanie polega na podaniu na wejścia bloku lab2 sekwencji 4-bitowych   
w kodzie NKB i obserwacji zachowania układu przy pomocy analizatora stanów logicznych. Analizator podłączony do układu poprzez port Pmod\_JA. Procedura testowania wykorzystuje wewnętrzny licznik binarny 4-bitowy (najstarszy bit licznika podany na wejście urządzenia testowanego). Częstotliwość zegara licznika (wejście C dla CB4CE) wynosi ~1kHz.

* Pinout Report

