

Universidad de Buenos Aires

Facultad de ingeniería

66.17 - Sistemas digitales

Trabajo práctico Nro. 2

Voltímetro digital con salida VGA

Lucas Simonelli

Buenos Aires - 24 de octubre de 2013

Contacto: lucasp.simonelli@gmail.com

Índice

1. Objetivo

En el presente trabajo práctico se detallará el diseño, desarrollo e implementación en FPGA de un sistema digital para un voltímetro digital con salida VGA.

2. Diagramas en bloques

2.1. Diagrama general

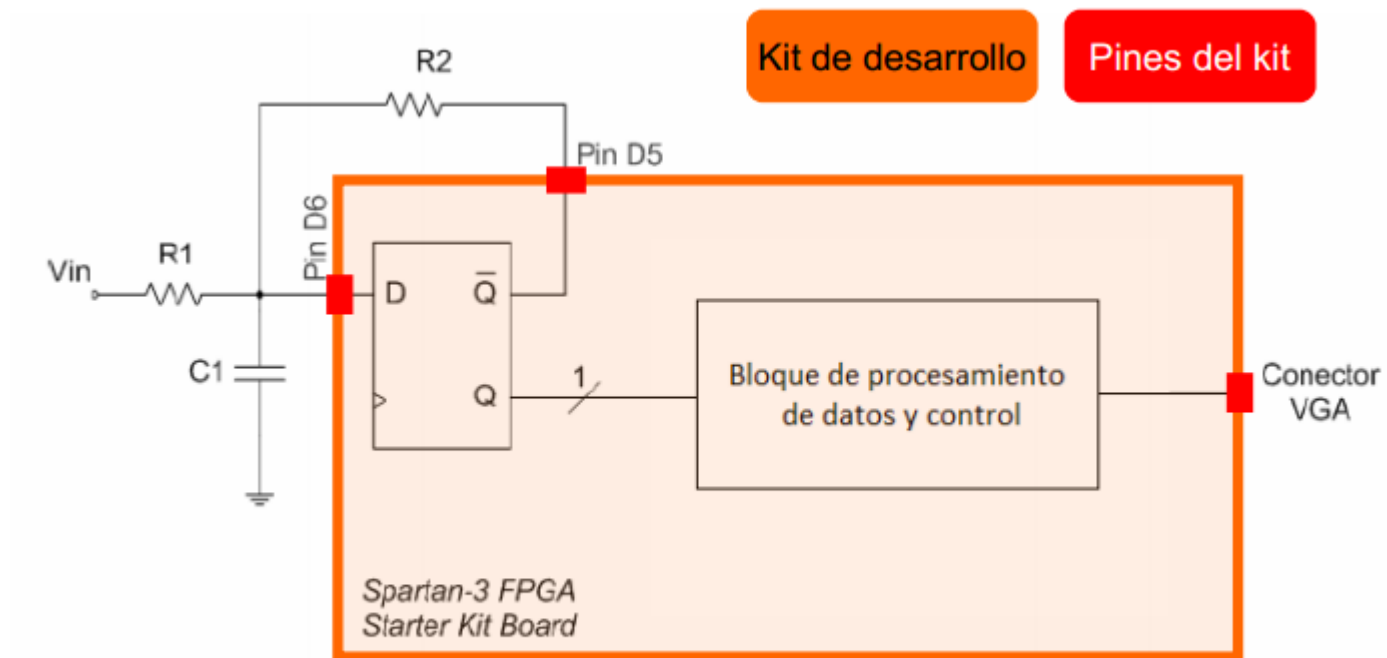


Figura 1: Diagrama en bloques de la arquitectura propuesta por el enunciado.

2.2. Diagrama bloque procesamiento de datos y control

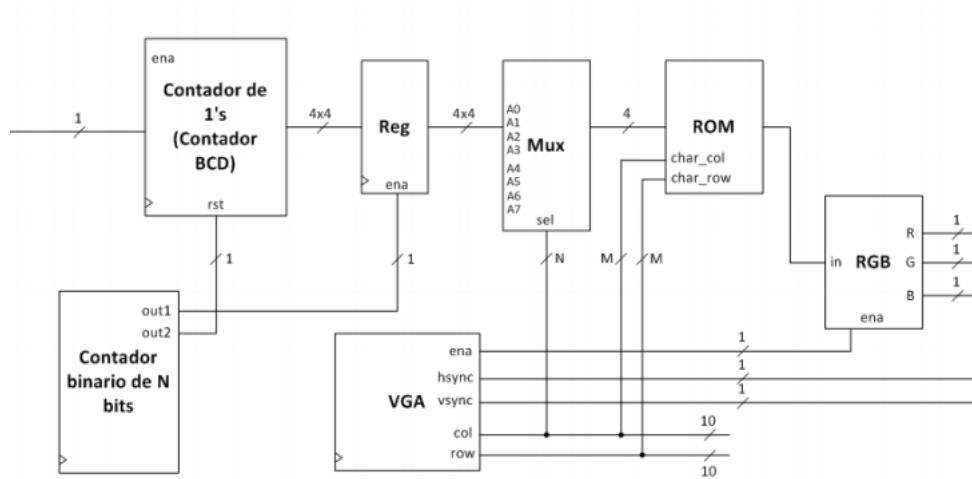


Figura 2: Diagrama del bloque de procesamiento.

3. Conversión A/D

Se utilizó un conversor A/D mediante modulación Sigma/Delta, basado en el siguiente esquema:

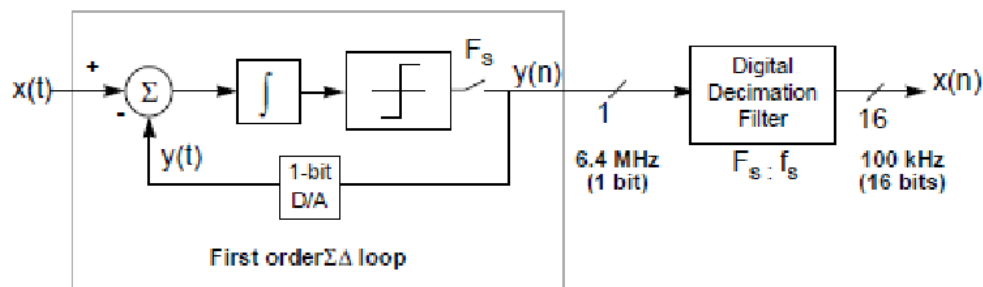


Figura 3: Conversor sigma/delta

El circuito se implementó con dos resistencias y un capacitor, como puede verse en la figura ??.

4. Descripción de los componentes

4.1. Contador BCD

El contador BCD de 0000 a 9999 se tomó del trabajo práctico anterior. Está implementado con 4 contadores binarios de 4 bits.

4.2. Contador binario de N bits

Este contador se implementó mediante el generador de enable utilizado en el trábajo práctico 1. Luego de N ciclos activa el registro, y en el ciclo N+1 resetea el contador BCD y desactiva el enable del registro.

4.3. Multiplexor

El multiplexor se implementó mediante un process en el controlador VGA; en base a la posición actual en pantalla y el valor de la cuenta BCD almacenada en el registro, se elige el índice que corresponde al dígito almacenado en la memoria ROM.

4.4. Controlador VGA - ROM

Estos controladores se tomaron de la página de la materia; se agregaron los caracteres necesarios en la memoria y se modificó la integración VGA-ROM para poder mostrar varios dígitos en posiciones distintas.

5. Tests realizadas

Los componentes tomados del trabajo N 1 ya habían sido probados en éste. Respecto de los componentes de este trabajo, sólo se tuvo que agregar un registro, que se probó fácilmente:

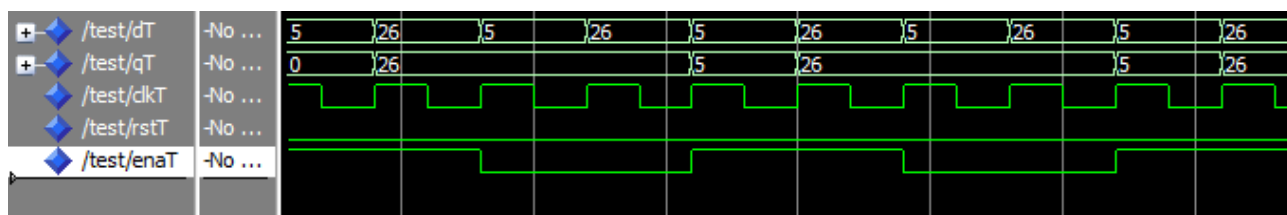


Figura 4: Captura de pantalla del test del registro.

La integración de los bloques con el controlador VGA y la memoria ROM se testeó directamente por la pantalla.

6. Conclusiones

En el presente trabajo se consolidaron los conocimientos aprendidos en el TP anterior. Se aprendió a manejar la salida VGA del FPGA y a interactuar con la memoria ROM.

7. Resumen del output de la sintetización

Board_Top Project Status (10/22/2013 - 13:31:34)			
Project File:	testXilinx.xise	Parser Errors:	No Errors
Module Name:	aplicVGA	Implementation State:	Placed and Routed
Target Device:	xc3s500e-4fg320	• Errors:	No Errors
Product Version:	ISE 14.2	• Warnings:	50 Warnings (0 new)
Design Goal:	Balanced	• Routing Results:	All Signals Completely Routed
Design Strategy:	Xilinx Default (unlocked)	• Timing Constraints:	All Constraints Met
Environment:	System Settings	• Final Timing Score:	0 (Timing Report)

Device Utilization Summary				[-]
Logic Utilization	Used	Available	Utilization	Note(s)
Total Number Slice Registers	104	9,312	1%	
Number used as Flip Flops	85			
Number used as Latches	19			
Number of 4 input LUTs	228	9,312	2%	
Number of occupied Slices	166	4,656	3%	
Number of Slices containing only related logic	166	166	100%	
Number of Slices containing unrelated logic	0	166	0%	
Total Number of 4 input LUTs	284	9,312	3%	
Number used as logic	228			
Number used as a route-thru	56			
Number of bonded IOBs	12	232	5%	
Number of BUFGMUXs	1	24	4%	
Average Fanout of Non-Clock Nets	3.21			

Performance Summary				[-]
Final Timing Score:	0 (Setup: 0, Hold: 0)	Pinout Data:	Pinout Report	
Routing Results:	All Signals Completely Routed	Clock Data:	Clock Report	
Timing Constraints:	All Constraints Met			

Detailed Reports						[-]
Report Name	Status	Generated	Errors	Warnings	Infos	
Synthesis Report	Current	Tue Oct 22	0	46 Warnings (0	6 Infos (0 new)	

		13:31:09 2013		new)	
Translation Report	Current	Tue Oct 22 13:31:13 2013	0	0	0
Map Report	Current	Tue Oct 22 13:31:16 2013	0	3 Warnings (0 new)	4 Infos (0 new)
Place and Route Report	Current	Tue Oct 22 13:31:30 2013	0	1 Warning (0 new)	2 Infos (0 new)
Power Report					
Post-PAR Static Timing Report	Current	Tue Oct 22 13:31:32 2013	0	0	6 Infos (0 new)
Bitgen Report	Out of Date	Tue Oct 22 13:21:20 2013	0	3 Warnings (0 new)	0

Secondary Reports			[-]
Report Name	Status	Generated	
WebTalk Report	Out of Date	Tue Oct 22 13:21:20 2013	
WebTalk Log File	Out of Date	Tue Oct 22 13:21:41 2013	

Date Generated: 10/22/2013 - 13:31:34