

UNIVERSIDAD DE BUENOS AIRES

FACULTAD DE INGENIERÍA

66.17 SISTEMAS DIGITALES

---

# Trabajo Práctico 1

---

Federico QUEVEDO - 93159



26 de Septiembre de 2013

# Índice

<b>1. Objetivos</b>	<b>2</b>
1.1. Diagrama en bloques . . . . .	2
<b>2. Contadores</b>	<b>2</b>
<b>3. Controlador de display</b>	<b>3</b>
<b>4. Contador 9999</b>	<b>4</b>
<b>5. Conclusion</b>	<b>4</b>

# 1. Objetivos

El presente Trabajo Práctico consta en especificar, diseñar, describir una arquitectura, simular, sintetizar e implementar en FPGA un sistema digital para un contador BCD de 4 dígitos con salida a un display de 7 segmentos.

## 1.1. Diagrama en bloques

Se seguira la siguiente arquitectura:

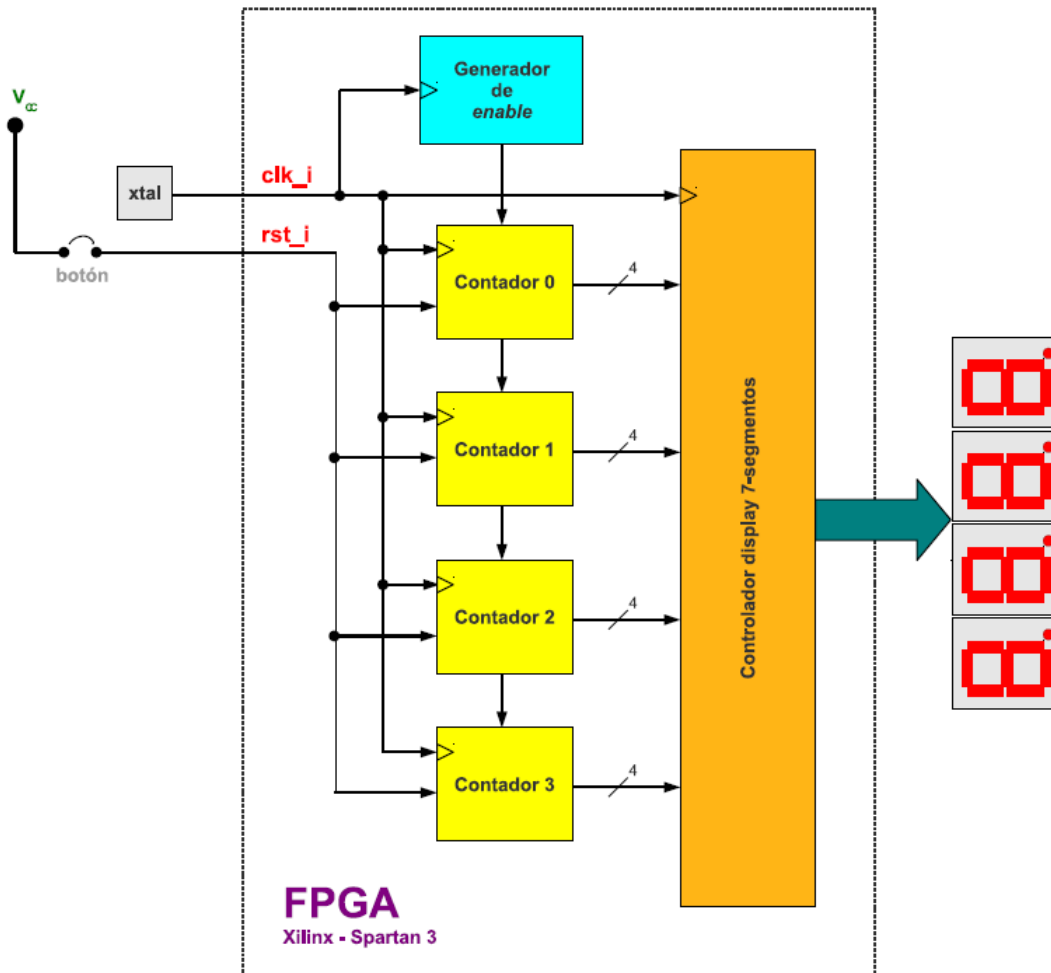


Figura 1: Diagrama en bloques de la arquitectura propuesta.

## 2. Contadores

Los contadores de 2 y 4 bits se usan flip-flops D, ya que su diseño no era muy complejo. En cambio, para el contador de enable, por ejemplo, se uso un process. Por su simpleza el contador de décadas se realizo usando un contador de 4 bits al que se le habilita el reset en el momento que este llega a 10.

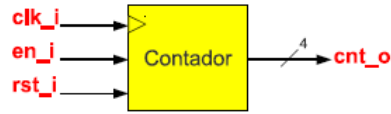


Figura 2: Contador BCD

### 3. Controlador de display

El controlador de display se implemento con una serie de ifs que habilitaban las salidas correspondientes según la entrada del contador.

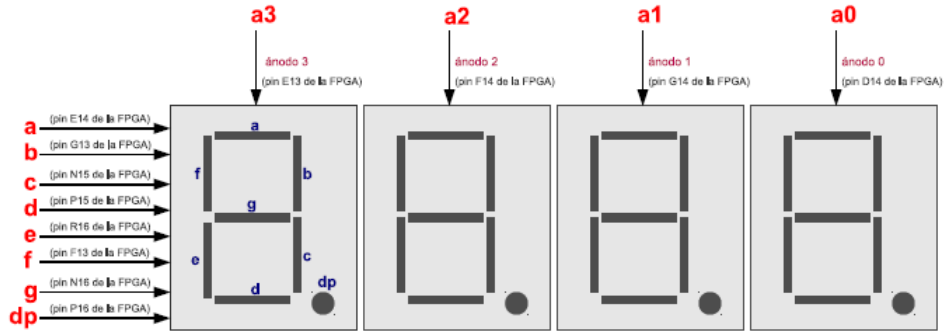


Figura 3: Conexion entre las entradas y salidas de la FPGA y el display.

Este controlador se conecta al contador que se debe mostrar y estos van cambiando según el generador de enable, este generador cuenta hasta 50,000, es decir, tiene una frecuencia de  $1Khz$  si la frecuencia del micro es de  $50Mhz$ .

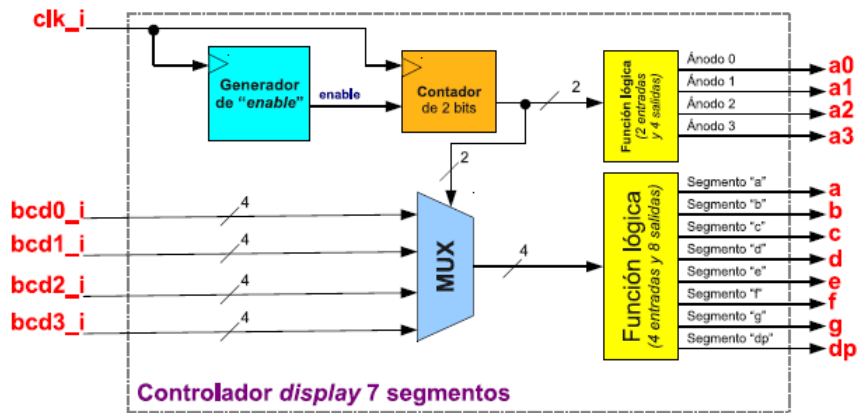


Figura 4: Arquitectura para el controlador display 7 segmentos.

## 4. Contador 9999

Para juntar los 4 contadores y que cada uno vaya sumando correctamente se hizo que al llegar un dígito al valor 9 se le habilita el enable al siguiente numero, que este al comenzar en 0 pasa a 1 justo cuando el 9 paso al 0, esto se implemento para los 4 dígitos y se logro contar desde 0000 hasta 9999.

## 5. Conclusion

El presente trabajo sirvió para aprender tanto el lenguaje *hdl* como para sintetizar el código desarrollado en él en un kit FPGA.