

Universidad de Buenos Aires

Facultad de ingeniería

66.17 - Sistemas digitales

Trabajo práctico Nro. 1

Contador BCD de 4 dígitos con salida a display 7 segmentos

Lucas Simonelli

Buenos Aires - 21 de septiembre de 2013

Contacto: lucasp.simonelli@gmail.com

Índice

1. Objetivo	3
2. Diagramas en bloques	3
2.1. Diagrama General	3
2.1.1. Contadores BCD	3
2.1.2. Generador de enable	3
2.2. Controlador display	4
2.2.1. Generador de enable	4
2.2.2. Multiplexor	4
2.2.3. Lógica display	4
3. Conclusiones	4

1. Objetivo

En el presente trabajo práctico se detallará el desarrollo de un sistema digital para un contador BCD de 4 dígitos con salida a un display de 7 segmentos, para FPGA.

2. Diagramas en bloques

2.1. Diagrama General

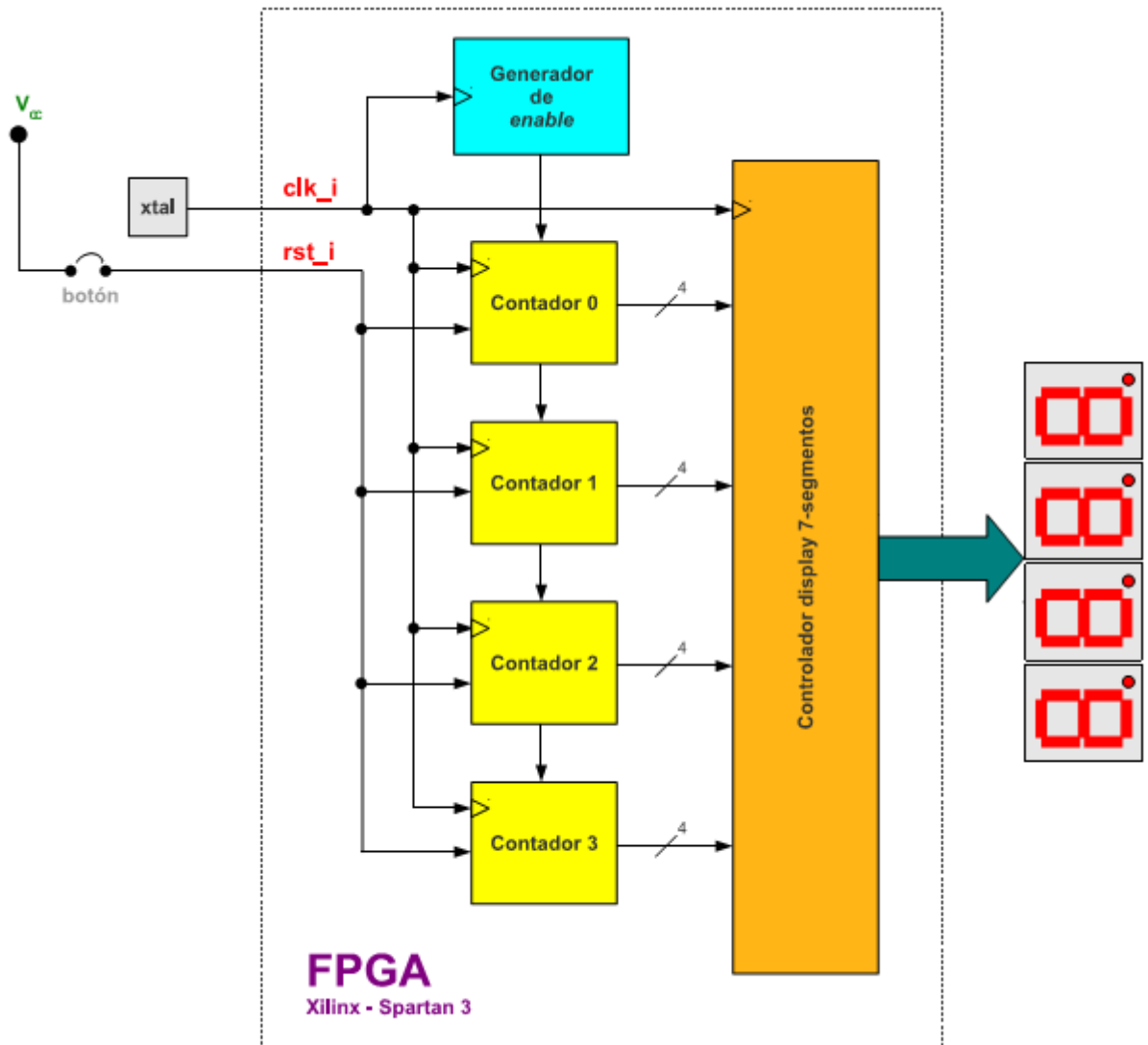


Figura 1: Diagrama en bloques de la arquitectura propuesta por el enunciado.

2.1.1. Contadores BCD

Los contadores BCD serán implementados en base a flip flops D. Se utilizará como base un contador de cuatro bits que se reseteará a 0 cuando la cuenta avance de 9 a 10.

Luego se conectarán en cascada para lograr que cuenten de 0 a 9999.

2.1.2. Generador de enable

Se implementará con un contador que devolverá un 1 cuando se llegue a 33554432 (2^{26}) ciclos del reloj (aprox. cada un segundo).

2.2. Controlador display

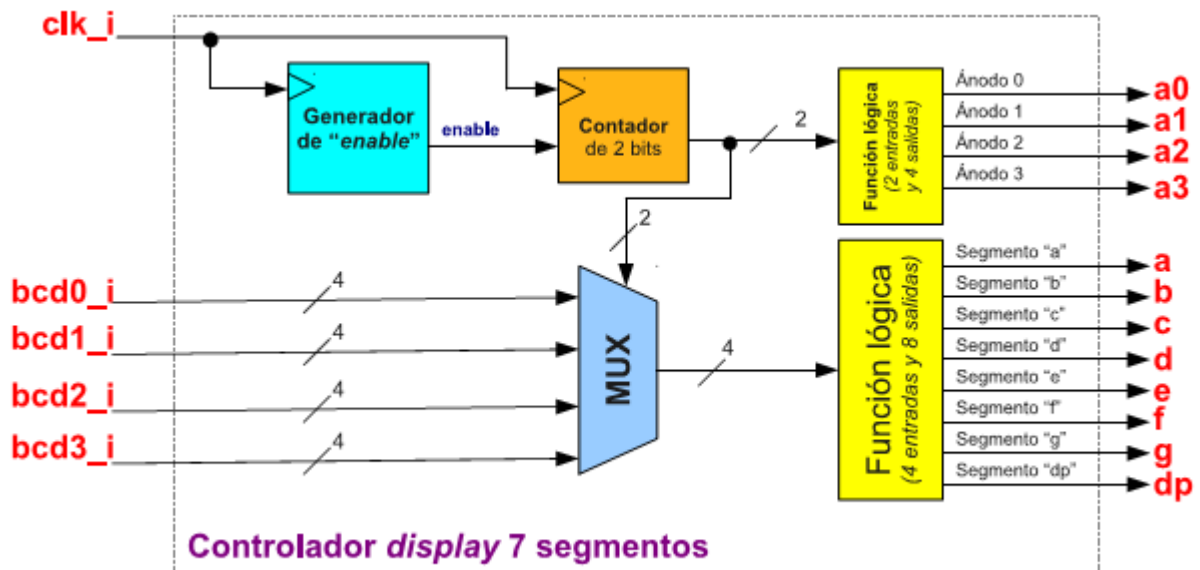


Figura 2: Diagrama en bloques del controlador del display.

2.2.1. Generador de enable

Este generador se implementará de la misma forma que el de la sección 2.1.2, pero cambiando el valor hasta el que se cuenta para que los dígitos roten a 1kHz.

2.2.2. Multiplexor

El multiplexor no se implementó por separado, sino que se realizó dentro de un process al momento de integrar los componentes.

2.2.3. Lógica display

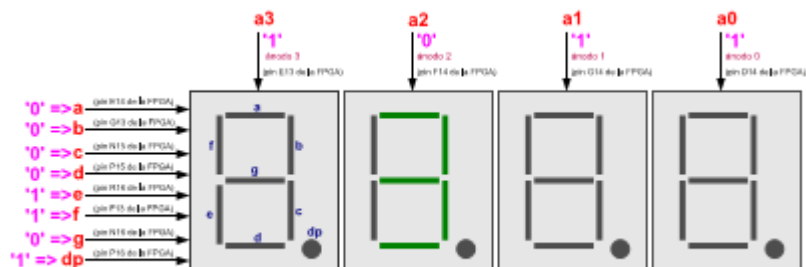


Figura 3: Conexión de los I/O del FPGA y el display.

Se implementó una función lógica que, dada la entrada del contador correspondiente, prende los segmentos necesarios del display para que éste se muestre en la pantalla.

3. Conclusiones

El presente trabajo sirvió para aprender a utilizar vhdl en un nivel básico. Además, se vio como sintetizar el código y subirlo al FPGA.