

# **Trabajo Práctico N°1**

Contador BCD de 4 dígitos con salida a display 7 segmentos

Tomás Boccardo, *Padrón Nro. 93637*  
tomasboccardo@gmail.com

2do. Cuatrimestre de 2013

66.17 Sistemas Digitales  
Facultad de Ingeniería, Universidad de Buenos Aires

26 de septiembre de 2013

# Índice

<b>1. Introducción</b>	<b>3</b>
<b>2. Diseño</b>	<b>3</b>
2.1. Generador de Enable . . . . .	3
2.2. Controlador del display de 7 segmentos . . . . .	3
2.2.1. Multiplexor . . . . .	4
2.2.2. Función lógica de 4 entradas y 8 salidas . . . . .	4
2.2.3. Función lógica de 2 entradas y 4 salidas . . . . .	4
2.2.4. Contador de 2 bits . . . . .	4
2.2.5. Generador de enable . . . . .	4
2.3. Contador . . . . .	4
<b>3. Simulación</b>	<b>4</b>
3.1. Simulación del Generador de Enable . . . . .	4
3.2. Simulación del Controlado de Display . . . . .	5
3.3. Simulación del contador BCD de 4 dígitos . . . . .	5
<b>4. Implementación</b>	<b>5</b>

# 1. Introducción

El trabajo práctico consiste en diseñar, desarrollar, simular e implementar un contador BCD de 4 dígitos con salida a un display de 7 segmentos. En este informe se describirán los distintos pasos llevados a cabo para realización de el trabajo, así como las herramientas utilizadas para este fin.

# 2. Diseño

El siguiente diagrama de bloques fue diseñado basándose en el propuesto por la cátedra. La modificación que se introdujo fue reemplazar los 4 contadores BCD de un solo dígito por un solo bloque con una salida de 4 bits por cada dígito. Con esto se buscó encapsular mejor la implementación del contador, y así permitiendo abstraernos de su desarrollo.

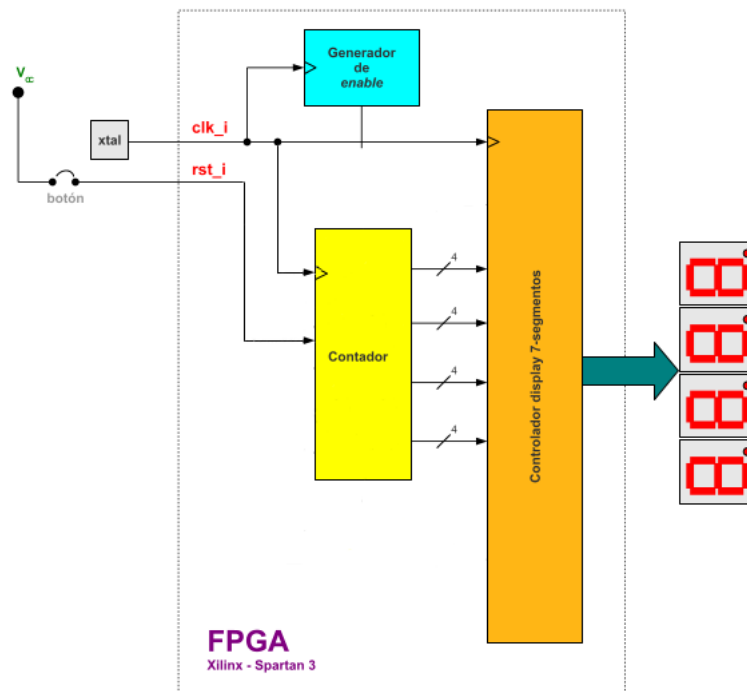


Figura 1: Diagrama de bloque de la arquitectura utilizada

Como vemos, la arquitectura esta compuesta por tres bloques. A continuación se describirá cada uno con mayor detalle.

## 2.1. Generador de Enable

La función del generador de enable es la de dividir los pulsos del clock para enviar una señal a la entrada 'enable' del contador cada una dada cantidad de tiempo. Así se logra que el contador se incremente cada vez que se le envía un pulso.

Para cumplir con la función, implementaremos un contador que cuente determinada cantidad de pulsos del clock y llegada esa cantidad envíe un pulso de salida. Para hacerlo más genérico y fácil de testear, se decidió utilizar un genérico para poder variar la cantidad de pulsos a contar. Así mismo, como veremos en el diseño del controlador del display de 7 segmentos, también sera necesaria la utilización de un generador de enable por lo que, al hacerlo genérico se podrá reutilizar el ya desarrollado.

## 2.2. Controlador del display de 7 segmentos

La función del controlador del display de 7 segmentos es procesar la entrada de 4 dígitos representados en código binario y obtener una salida que alterne la selección del dígito del display y prenda los segmentos necesarios para representar el dígito en cuestión. Para esto se utilizara la arquitectura propuesta por la cátedra.

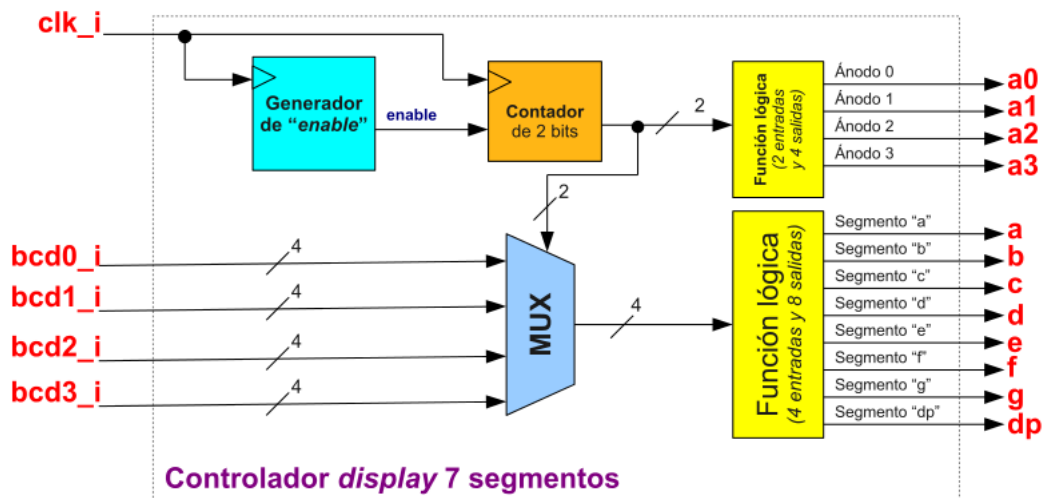


Figura 2: Diagrama de bloque de la arquitectura utilizada para el controlador de display

Como vemos en el diagrama, la arquitectura esta compuesta por 5 componentes.

#### 2.2.1. Multiplexor

Su función es seleccionar cual de los dígitos de entrada (en formato BCD) se imprimirá en el display seleccionado.

#### 2.2.2. Función lógica de 4 entradas y 8 salidas

Se encarga de mapear el dígito de entrada a los segmentos correspondientes para su representación.

#### 2.2.3. Función lógica de 2 entradas y 4 salidas

Es la encargada de seleccionar cual de los dígitos del display debe estar encendido según el valor del contador en ese momento.

#### 2.2.4. Contador de 2 bits

Es el encargado de ir conmutando en ánodo para mantener los cuatro caracteres del display encendidos.

#### 2.2.5. Generador de enable

Genera una señal de enable para que la conmutación de ánodos no sea muy rápida. (aprox. 1kHz). Se utiliza el generador descrito en el primer item de esta sección.

### 2.3. Contador

El contador se incrementa en cada pulso del generador de enable. Contará en formato BCD y tendrá una salida de 4 bits por cada dígito.

## 3. Simulación

A continuación se mostraran algunas pantallas que resultaron de la simulación de los bloques propuestos. Las simulaciones fueron realizadas utilizando el programa ModelSIM.

### 3.1. Simulación del Generador de Enable

Para observar fácilmente los resultados, la prueba del generador se realizo utilizando 2 valores a contar. Se configuro un generador para que cada 5 pulsos de reloj mande un pulso de enable y otro para que lo haga cada 10. Se observó la siguiente simulación:

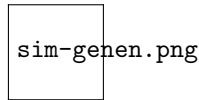


Figura 3: Captura de pantalla realizada para la simulación del generador de enable

### 3.2. Simulación del Controlado de Display

Las pruebas para este componente fueron las mas complejas, debido a la amplia variedad de entradas y salidas que se presentan. Por un lado, se tuvieron en cuenta las salidas que habilitan que display se encenderá, observando su normal comportamiento. Por otro lado, se planteo la siguiente tabla para corroborar que las salidas de los segmentos sea correcta:

0	00000011
1	10011111
2	00100101
3	00001101
4	10011001
5	01001001
6	11000001
7	00011111
8	00000001
9	00011001

En la primera simulación, poniendo atención en el selector de dígito, se obtuvo el siguiente resultado:

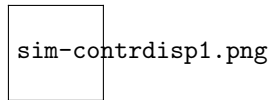


Figura 4: Captura de pantalla realizada para la primera simulación de el controlador de display

Como se puede ver, la salida va variando cada 5 ciclos de reloj, haciendo que se seleccionen en cada variación un dígito distinto. Para la segunda simulación, poniendo atención en la salida a los segmentos del display, obtuvimos el siguiente resultado.

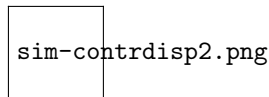


Figura 5: Captura de pantalla realizada para la segunda simulación de el controlador de display

Aquí se ve como reacciona el circuito siempre que cambia el primer dígito de entrada, haciendo que el mapeo de segmentos coincida con la señal indicada en la tabla

### 3.3. Simulación del contador BCD de 4 dígitos

Esta simulación es la más simple de todas y en ella se ve con claridad el correcto funcionamiento del componente.

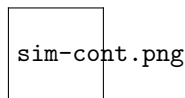


Figura 6: Captura de pantalla realizada para la segunda simulación de el controlador de display

## 4. Implementación

La implementación del trabajo práctico se realizo utilizando el kit Spartan 3E-500 FG320 de Xilinx. A continuación se muestra el resumen de la síntesis.