

CARTÃO DE CIDADÃO
CITIZEN CARD

PORTUGAL

REPÚBLICA PORTUGUESA | PORTUGUESE REPUBLIC

APELIDO[S] SURNAME

CANCELAS MATOS

NOME[S] GIVEN NAME

DÁRIO ALEXANDRE

SEXO
SEX

ALTURA
HEIGHT

NACIONALIDADE
NATIONALITY

DATA DE NASCIMENTO
DATE OF BIRTH

M

1,76

PRT

29 09 1999

N.º DOCUMENTO DOCUMENT No.

DATA DE VALIDADE
EXPIRY DATE

N.º ID CIVIL | CIVIL ID No.

15606975 0 ZY4 13 09 2023

ASSINATURA DO TITULAR HOLDER'S SIGNATURE

Dário Matos



Parte 1

$$\begin{array}{r|l}
 3674 & 16 \\
 \hline
 47 & 229 \\
 154 & 69 \\
 10 & 5 \\
 & 14
 \end{array}
 \begin{array}{r|l}
 16 \\
 \hline
 16 \\
 16 \\
 16 \\
 16
 \end{array}$$

$$3674_{10} = E5A_{16}$$

$$\begin{array}{r|l}
 5932 & 16 \\
 \hline
 113 & 370 \\
 12 & 50 \\
 12 & 23 \\
 & 1
 \end{array}
 \begin{array}{r|l}
 16 \\
 \hline
 16 \\
 16 \\
 16
 \end{array}$$

$$5932_{10} = 172C_{16}$$

32-bit address \rightarrow 8 dígitos (hexadecimal)

0000E5A₁₆

0000172C₁₆

32-bit operando \rightarrow 4 byte operand

(último byte = 0, 4, 8 ou C)

Sendo que o operando ocupa 4 bytes, o endereço da memória incapaz de representá-lo de forma alinhada é o primeiro, 3674₁₀. Isto porque conclui-se que endereços capazes de o fazer têm como algarismo menos significativo em 0, 4, 8, ou C, de forma a representarem múltiplos de 4 bytes, e apenas o segundo endereço tem essa característica.

$$2) \text{ speedup}_{\text{overall}} = \frac{1}{(1-P) + \frac{P}{N}}$$

P \rightarrow fração otimizada

N \rightarrow N° de processadores

A lei representada é a Lei de Amdahl. Diz-se que esta é uma lei de "diminishing returns" visto que o aumento gradual do número de processadores resulta num aumento cada vez menor no valor do speedup. Assim, a diferença do speedup ^{foram} será maior no caso de aumentar N de 1 para 2, do que o caso de aumentar de 9, para 10, por exemplo, ~~num crescimento~~ resultando num crescimento logarítmico.

Parte 2

3) Uma implementação pipeline apresenta uma taxa de processamento de instruções superior à de uma implementação não-pipeline devido ~~ao paralelismo~~ ^{às} ~~instâncias~~ ^{instâncias} facto de ser capaz de realizar paralelismo de instâncias. Isto ~~permite~~ ^{possibilita} que mais instâncias sejam lançadas, visto que podem iniciar antes que algumas instâncias prévias sejam concluídas, sendo processadas por componentes

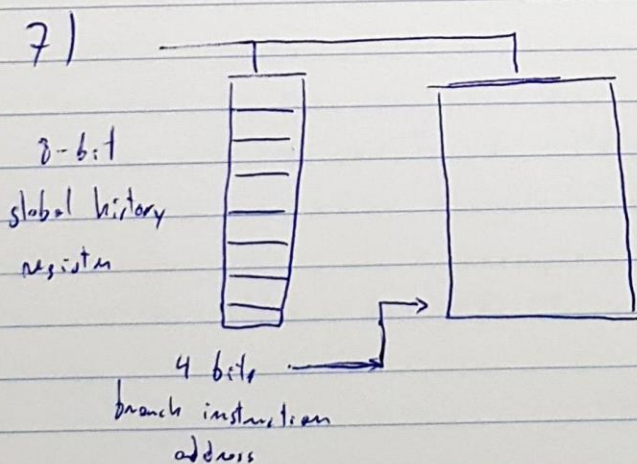
5) (continuação) set associative, permitindo dividir a memória cache ^{em} ~~em~~ vários sets, sendo estes conjuntos de espaços ~~atrasados~~ onde armazena blocos.

6) i) A escolha de 3 caches representa ~~um compromisso entre~~ ^{uma} organização que ~~melhor~~ ^{efetua} ~~efetua~~ ^{efetua} um compromisso da utilização de recursos para uma rapidez no acesso aos dados. Isto acontece porque ^{caso} ~~seja~~ apenas 1 cache fosse utilizada, vários mistos aconteceriam ou, para evitar, a dimensão do cache seria muito elevada, indo contra o conceito de cache. Por outro lado, caso demasiados caches fossem utilizados, o processo de acesso ~~seria~~ seria mais demorado pois poderia ter que acessar a caches em níveis mais elevados, resultando na ~~movimentação~~ ^{movimentação} movimentação para caches mais "próximas", aumentando a demora do processo também.

ii) Esta divisão acontece de forma a não criar um bottleneck na comunicação, devido ao acesso à memória para instrução, do ~~do~~ ^{do} load/store em conjunto com acesso à memória para obter a próxima instrução. ~~Esta~~ ^{Esta} solução evita assim hazards estruturais, sendo que aumenta a largura de banda dos canais de comunicação.

iii) A política de write-back é implementada no cache L3 e a write-through é aplicado no cache L1 e L2.

Parte 4



O tamanho total do branch predictor buffer é dado por:

$$2^8 \cdot 2 \cdot 2^4 = 2^{13} = 8 \cdot 2^{10} = 8 \cdot 1024$$

Aproximadamente 8000 bits. (8Kb)

8) (~~Para o algoritmo apresentado~~) ~~as~~ Os hazards RAW (~~Estes~~) são resolvidos visto que o algoritmo de Tomomito admite que a execução de uma instrução só é efetuada quando os seus operandos estão disponíveis. São assim evitados. Por outro lado, os hazards WAR e WAW são resolvidos através da renomeação de registos, característica deste algoritmo também, que altera os nomes, fazendo ~~certamente~~ com que escritas por-~~de~~-ordem não afetem instruções ainda não acabadas.

Parte 5

9) Considerando que uma GPU utilize vários SIMD em simultâneo para processamento de dados e visto que o canal de ~~comunicação~~ comunicação com outros componentes do sistema é único, considere-se que uma GPU é SIMD based, visto que várias instruções são realizadas em simultâneo e uniformemente.

