**01\_绪论**

**数字波形的两种类型**（a）归零型（b）非归零型

**比特率：**数据速率，每秒钟转输数据的位数

**周期性和非周期性**（a）周期性（b）非周期性

**占空比：**脉冲宽度占整个周期的百分比。

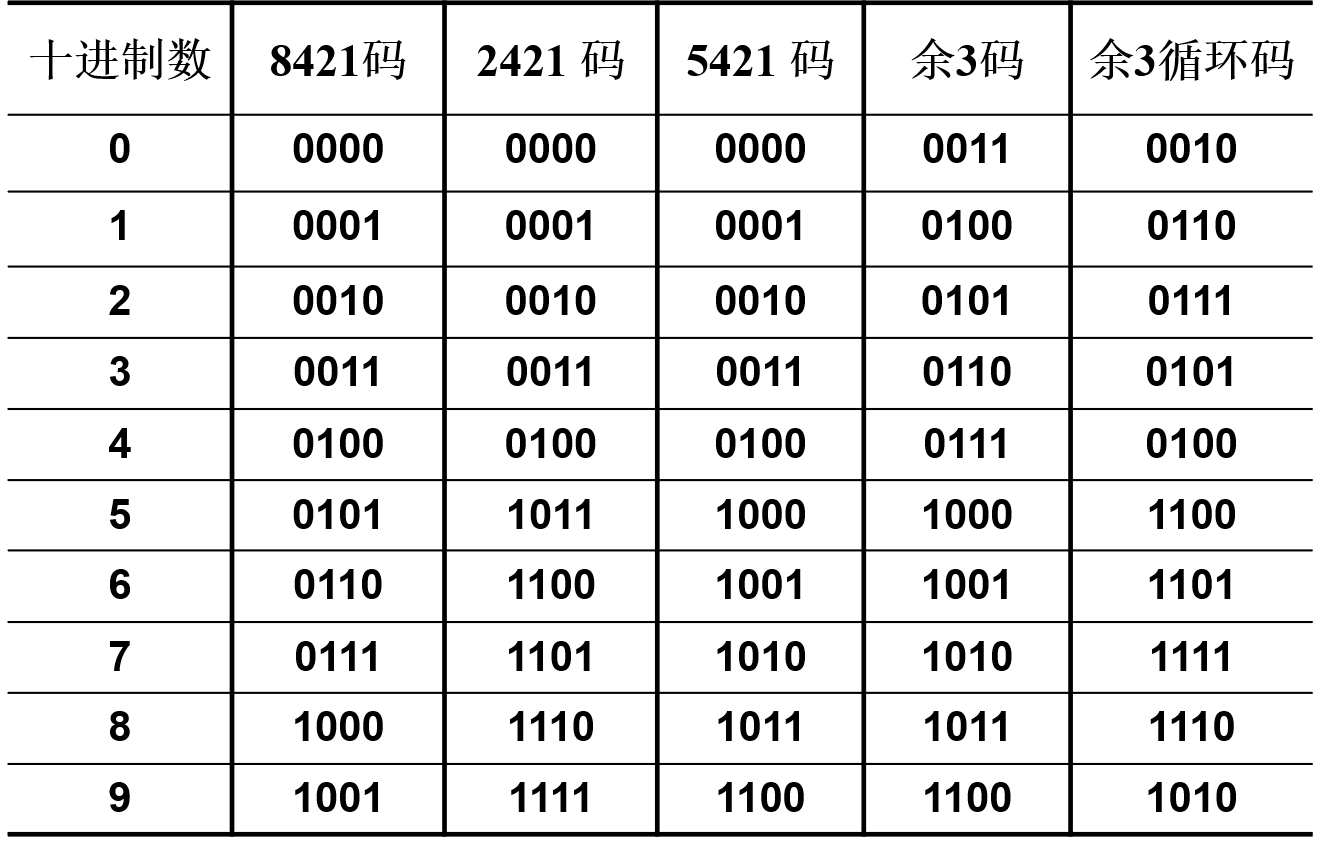
**幅值**，从10%到90%**上升时间**，**下降时间**，50%到50%**脉冲宽度**

**02\_数制与代码**

**n位二进制补码表示范围：**。**溢出判别：**最高位进位和次高位进位相同，则未溢出；不相同，则溢出。**无符号数补码：**基数为R，位数为n的原码N其补码为

**格雷码：**0000-0001-0011-0010-0110-0111-0101-0100-1100-1101-1111-1110-1010-1011-1001-1000。**二进制码转格雷码：**最高位相同，从左到右逐一将二进制码相邻的两位相加（舍去进位）作为格雷码的下一位。**格雷码转二进制码：**最高位相同，将产生的每一位二进制码与相邻的下一位格雷码相加作为二进制码的下一位。

**常用BCD码：**

**2421BCD码**的后5个码以中心对称取反，这样的码称为自反代码。2421BCD码的特点是：编码方案不唯一；0－9、1－8、2－7等数字编码互为按位取反结果。**5421BCD码**的后5个码在前5个码的基础上加1000构成，前5个码和后5个码一一对应相同，仅高位不同。**余3码**作十进制加法运算时，若两数之和为10，正好等于二进制数的16，余3码为8421码+3获得。**余3循环码**将格雷码首尾3个去掉。

**03\_逻辑代数基础(1)**

**逻辑代数基本定律：分配律**A(B+C)=AB+AC，A+BC=(A+B)(A+C)；**吸收律**A+AB=A，A(A+B)=A；A(/A+B)=AB，A+/AB=A+B

**逻辑代数基本规则——代入规则，反演规则，对偶规则：**对于任一逻辑表达式Y ，若将其中所有运算符和常量作如下变换：\*+互变，01互变，则所得的逻辑表达式称为Y的对偶式，记作Y′。**对偶规则：**若两个逻辑表达式相等，则它们的对偶式也相等。

**04\_逻辑代数基础(2)**

**逻辑函数式的常见形式：**与或，或与，与非-与非，或非-或非，与或非。

**逻辑函数标准式：标准与或式：**逻辑函数表示成最小项之和形式，又称最小项表达式。**标准或与式：**逻辑函数表示成最大项之积形式，又称最大项表达式。

**最小项编号方法：原变量**和反变量分别取**1**和0构成的二进制数对应的十进制数（注意变量排列次序）。**最小项性质：**对于任意一个最小项有且仅有一组变量取值使其为1；对于任意一组变量取值有且仅有一个最小项为1，全体最小项的和恒为1，任意两个不同最小项乘积均为0。**最大项编号方法：原变量**和反变量分别取**0**和1构成的二进制数对应的十进制数（注意变量排列次序）。**最大项性质：**对于任意一个最大项有且仅有一组变量取值使其为0；对于任意一组变量取值有且仅有一个最大项为0，全体最大项的积恒为0，任意两个不同最大项的和均为1。**最小项与最大项的关系：**

**逻辑函数不同最简形式变换：**卡诺图圈1——与或；与或——两次取反摩根展开一次——与非与非；卡诺图圈0——或与；或与——两次取反摩根展开一次——或非或非；或与——两次取反摩根全部展开——与或非。

**05\_组合逻辑电路(1)**

**组合逻辑电路分析：**根据已知逻辑电路图，确定其逻辑功能。**一般步骤：**按照逻辑图结构，写出逻辑函数式；化简和变换逻辑函数式；列出真值表；由真值表，概括电路的逻辑功能。

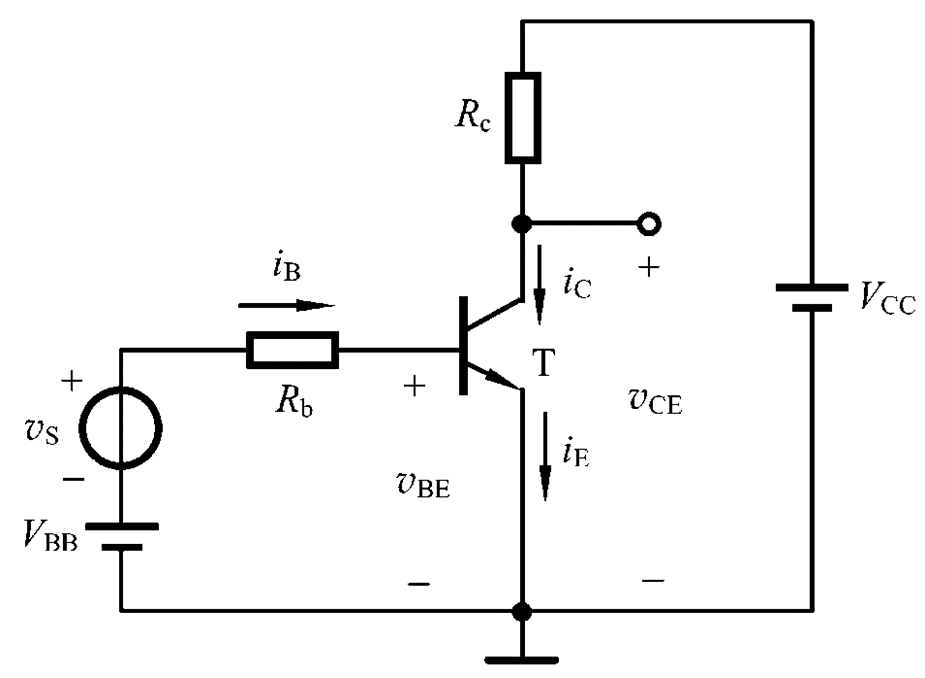
**组合逻辑电路设计：**根据实际逻辑问题，求出实现所要求逻辑功能的最简逻辑电路。**设计步骤：**分析实际逻辑问题的因果关系，确定输入/输出变量，定义逻辑状态含义，列出真值表；由真值表写出逻辑函数式；根据选用器件类型，化简和变换逻辑函数式；画出逻辑电路图。

**06\_组合逻辑电路(2)**

**8线-3线优先编码器74x148：**对8个输入信号按优先级编码，输出3位代码。通过多片级联，对多于8个输入信号进行编码。**：**待编码输入信号，低电平有效，优先级递减，即 优先级最高，最低。**：**二进制负有效输出。**：**扩展输出。**：**使能输出。**：**使能输入。

**译码器实现组合逻辑函数。**

**双2线–4线译码器74x139：**简称2-4译码器。**：**使能输入，低电平有效。**：**译码输出，低电平有效。

**3线–8线译码器74x138：**简称3-8译码器。**：**待译码输入信号。**：**译码输出信号，低电平有效，最多只有一个有效。**：**使能输入信号，同时有效时才译码，E3高电平有效，E1、E2低电平有效。

**二-十进制译码器74x42：**将8421BCD码译成10个状态输出。

**七段显示译码器：**将BCD代码翻译成数码管所需的驱动信号。常见有74x48，74x248，74x4511等。

**07\_组合逻辑电路(3)**

**译码器实现数据分配器：**按照通道地址A2A1A0的取值，将输入数据D从相应的输出通道Yi输出，其他输出通道保持高电平。

**数据选择器实现组合逻辑函数。**

**08\_组合逻辑电路(4)**

**四位数值比较器74x85：**工作原理和两位数值比较器相同。提供附加输入端**IA<B、IA=B和IA>B**，便于扩展应用。从高位组比起，若不等，出结果，否则还需比较次高位组。

**1位半加器：**S=A xor B，Co=AB

**1位全加器：**将两个1位数与来自低位的进位相加，产生1位的和，以及向高位的进位。S=A xor B xor Ci，Co=AB+(A xor B)Ci。

**串行进位加法器：**用1位全加器构造4位加法器。**优点：**简单，易于扩展；**缺点：**速度慢。

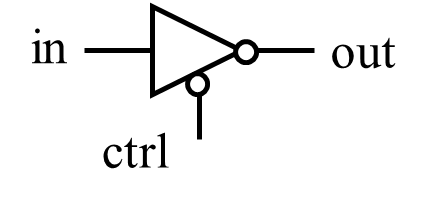
**超前进位加法器：基本原理：**Ci-1是Ai-1~A0和Bi-1~B0的函数；设计每位进位信号产生电路：根据输入加数和被加数，同时获得该位全加的进位信号，无需等待最低位的进位信号。**优点：**速度快；**缺点：**电路复杂。**4位超前进位加法器74x283。**

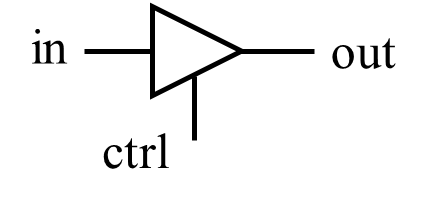
**09\_Verilog HDL(1)**

**关键字：**其中的字母都是小写。**标识符：**以字母或下划线“\_”开始，字母、下划线、数字、$等的组合；字母大小敏感。

**组合逻辑电路的门级描述：**使用内置的基本门级元件描述；**组合逻辑电路的数据流描述：**使用连续赋值assign语句描述；**组合逻辑电路的行为级描述：**使用always结构描述。

**多输入门和多输出门：多输入门：**允许多个输入，但只有一个输出，and，or，xor，nand，nor，xnor，and A1(out, in1, in2,…);；**多输出门：**允许有多个输出，但只有一个输入，not，buf，not B1(out1, out2, …, in);。

**三态门：**一个输出、一个数据输入和一个控制输入，notif0，notif1，bufif0，bufif1，bufif1 B1(out, in, ctrl); notif0 N1(out, in, ctrl);

****

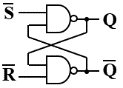
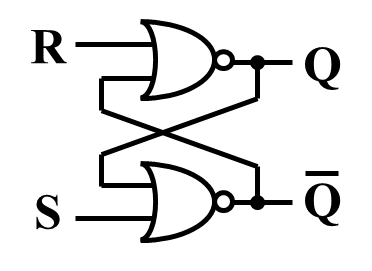
**10\_PLD(1)**

**可编程逻辑器件（Programmable Logic Device，简称PLD）**是一种可以由用户定义和设置逻辑功能的器件，与中小规模通用逻辑器件相比，具有集成度高、速度快、功耗低、可靠性高等优点。与其他专用集成电路相比，具有产品开发周期短、用户投资风险小、小批量生产成本低等优势。**按集成度PLD可分为**低密度PLD：PROM、PLA、PAL、GAL；高密度PLD：CPLD、FPGA。

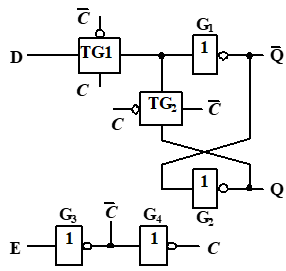
**低密度PLD的与、或阵列结构：PROM**与阵列固定或阵列可编程，**PLA**与阵列可编程或阵列可编程，**PAL和GAL**与阵列可编程或阵列固定。

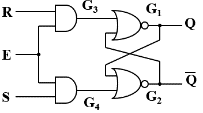
**11\_锁存器和触发器 (1)**

**时序逻辑电路：**任意时刻电路的输出不仅与该时刻的输入有关，还与之前的输入有关。**时序电路结构特点：**含有记忆电路和反馈路径。**记忆单元电路：**锁存器和触发器。

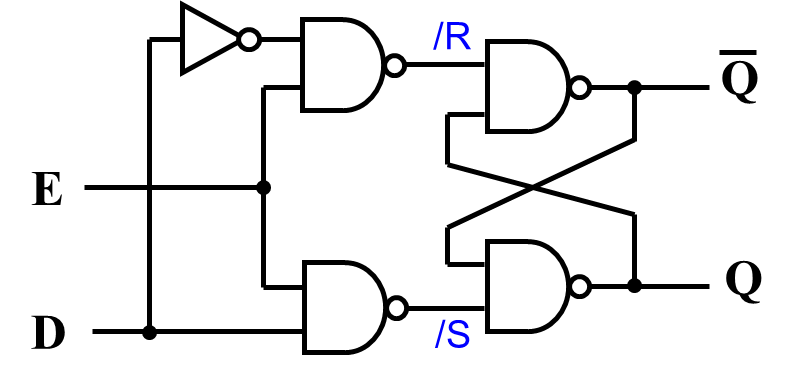
**基本SR锁存器(Latch)：**

**特性表：以左为例：当R=S=1时**，Qn+1 = /Qn+1 = 0；当R、S**同时回到0后**，锁存器最终状态不能确定，该状态应被禁止。**R=S=0**保持。**R=1、S=0**清零。**R=0、S=1**置1。

**门控SR锁存器：**

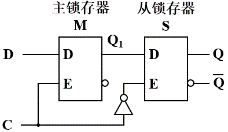


**D锁存器：**



**12\_锁存器和触发器(2)**

**D触发器(Flip-Flop)：**Qn+1=D

**D触发器─主从结构：**

图片包含 物体

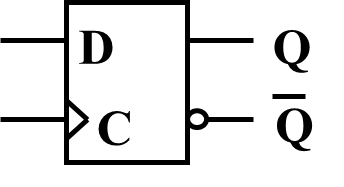
自动生成的说明

**主从结构SR触发器：**主锁存器可能翻转多次，但从锁存器只能翻转一次

**图片包含 物体, 时钟

自动生成的说明**

**维持阻塞结构D触发器：当C=0时**，Q2=1，Q3=1，Q、/Q保持；Q4=/D，Q1=D，触发器为状态更新作好准备。**C由0变为1时**，若Q4=1，Q1=0，即D=0，则Q3=0, Q2=1，Q3=0将Q置0，封锁G4，随后D的变化不影响Q；若Q4=0，Q1=1，即D=1，则Q3=1, Q2=0，Q2=0将Q置1，封锁G1、G3 ，维持Q，阻止随后D的变化影响Q。

****

**T触发器：**T=0保持，T=1翻转。Qn+1=T xor Qn

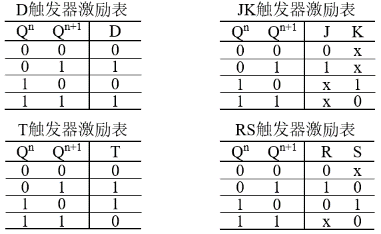
**JK触发器：**J=K=0保持，J=0 K=1清零，J=1 K=0置1，J=K=1翻转。Qn+1=J/Qn+/KQn

**锁存器和触发器的动态特性：保证锁存器和触发器可靠地更新状态，输入信号与时钟信号之间的时间要求：建立时间tsu (setup) ：**要求输入信号在时钟有效边沿到来之前，提前一段时间做好准备。**保持时间th (hold)：**在时钟有效边沿到达后，需要输入信号再保持一段时间。**锁存器和触发器输出信号对时钟信号响应的延迟时间：**传输延迟时间tpd (propagation delay)。

**13\_时序逻辑电路(1)**

**米利 (Mealy)型：**输出是输入和状态的函数。**穆尔 (Moore)型：**输出仅是状态的函数。

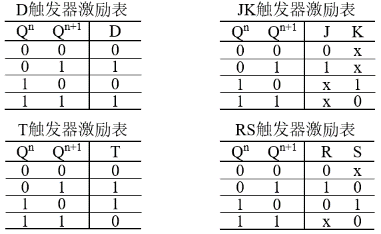
**时序电路的描述方式：**逻辑方程（激励方程，状态方程，输出方程）、状态转换表（状态表） 、状态转换图（状态图）、时序波形图（时序图）、HDL描述

**同步时序电路的分析：**根据逻辑图，写出逻辑方程：输出方程；激励方程：每个触发器的输入驱动方程；状态方程：将激励方程代入触发器特性方程得到。列出状态表、画出状态图或时序图。确定电路的逻辑功能。

**14\_时序逻辑电路(2)**

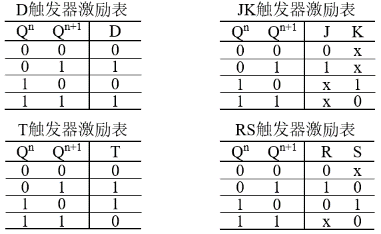
**同步时序电路的设计：**建立原始状态图和原始状态表，状态化简，状态编码，求状态方程和输出方程，检查自启动，选择触发器类型，求激励方程，画出逻辑图。

**利用激励表和状态表求各触发器的激励方程：**

**15\_Verilog HDL(2)**

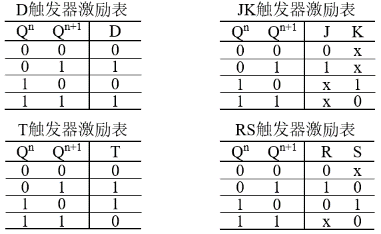
**FSM描述方式：一段式：**用一个时序过程描述CS和OUT，不推荐使用。**两段式：**用一个时序过程描述CS，另一个组合过程描述NS和OUT。**三段式：**用两个时序过程分别描述CS和OUT，一个组合过程描述NS。

**16\_时序逻辑电路(3)**



**寄存器：**若干触发器的集合，每个触发器具有相同的外围电路结构，所有触发器共享时钟和控制信号。**控制信号选项：**异步复位，输入使能，输出使能。

**74x273：**带异步清零八位寄存器。**74x374：**带三态输出八位寄存器。**74x377：**带输入使能八位寄存器。

**移位寄存器：按移位方向分类：**单向、双向移位寄存器。**按输入输出方式分类：**串入—串出，串入—并出，并入—串出，并入—并出。

**74x194：**四位双向通用移位寄存器。**实现序列检测。**

**17\_时序逻辑电路(4)**

**Nexys-4基本输入/输出：7段数码管**AN=0使能相应数位，CA~CG：字形码，0显示相应段(共阳极)。**3色LED**，R/G/B=1时点亮。

**按键/开关去抖动：**若In≠Ol，则Cnt计数，否则清零；若Cnt=N，则Ol=in，Cnt=0；若Cnt=N且In=1，则Op=1；若Op=1，则Op=0。抖动持续时间一般在5～10ms

图片包含 物体

自动生成的说明

**数字系统结构：数字系统：**由若干逻辑功能部件构成，按一定顺序处理数字信号的电路，从结构上划分为数据通路和控制单元两部分。**数据通路(Data Path)：**数据在被处理过程中经过的路径。**控制单元 (Control Unit)：**控制数据通路中数据的流动方向和次序。

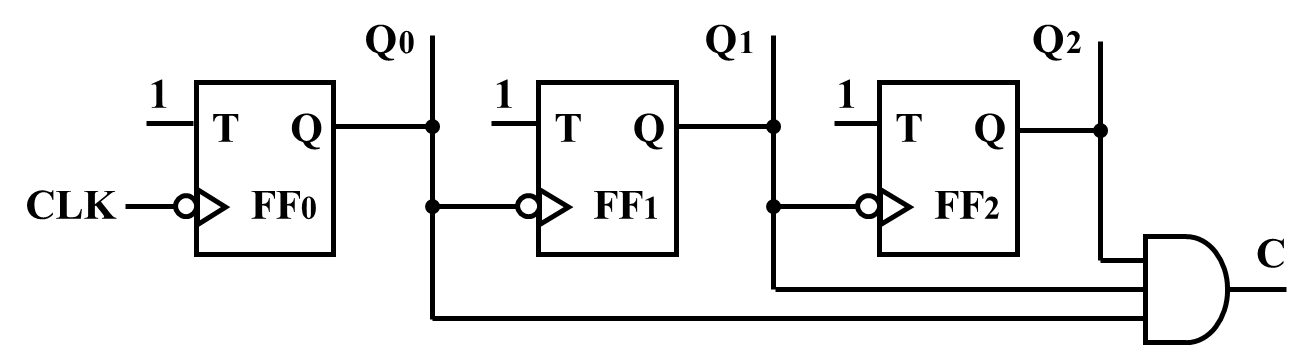
**寄存器传送：**每个寄存器的数据输入处配置多路数据选择器(MUX)，每个寄存器的输出数据连接到所有MUX，灵活实现多个数据同时传送。**总线BUS：**多个部件共享用于传输数据的导线，每次只能传送一个数据。

**寄存器组**也称寄存器堆，或者寄存器文件(Register File)。例如，有3个读写端口的2^m个n位寄存器，其中：D端口供写：DA：寄存器地址，D：写入数据，WE：写使能。A、B端口供读：AA、BA：寄存器地址。A、B：读出数据。

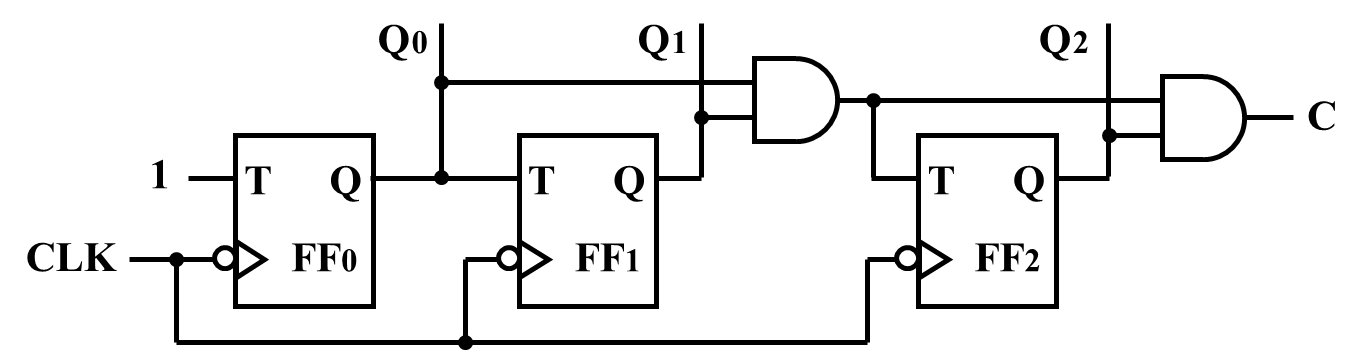
**ALU算术逻辑单元(Arithmetic Logic Unit)。**

**18\_时序逻辑电路(5)**

**计数器：**累计时钟脉冲个数，也可用于分频、定时、产生节拍脉冲等。**分类：**按时钟分：同步、异步计数器。按功能分：递增、递减和可逆计数器。按编码分：二进制码、BCD码和循环码计数器等。**计数器的模 (Modulo)：**计数器循环遍历的有效状态数，用M表示。对于M=n的计数器，称为模n计数器或n进制计数器。

**异步二进制递增计数器：**Q0在每个时钟都翻转一次，Q1在Q0由1向0变化时翻转，Q2在Q1由1向0变化时翻转，当Q2~Q0全为1时，进位为1。**优点：**电路简单，易于扩展。**缺点：输出信号质量差，工作速度低**

**同步二进制递增计数器：**



**74x161：**带使能、异步清零、同步置数四位同步二进制计数器。**Q3~Q0:** 计数输出，Q0为最低位。**TC:** 进位输出。**CEP, CET:** 计数使能。**/CR:** 异步清零。**/PE:** 同步置数。**D3~D0:** 置数输入，D0为最低位。

**74x160：**带使能、异步清零、同步置数四位同步十进制计数器。逻辑符号和功能表与74x161相同，但输出只有0000 ~ 1001十个稳定状态。

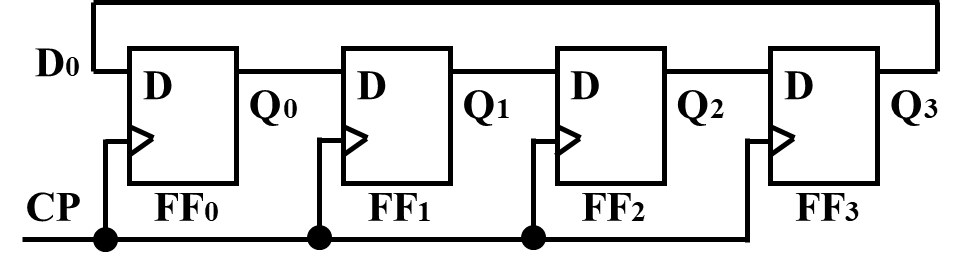
**19\_时序逻辑电路(6)**

**任意进制计数器构成方法：**用N进制计数器构成M进制计数器，若M < N ，可在计数过程中设法跳过N-M个多余状态：反馈清零法，简称清零法；反馈置数法，简称置数法。若M > N，用多片N进制计数器级连，配合清零/置数法构成。**同步法：**在最后一个状态的下一个时钟到来时置数或清零。**异步法：**在最后一个状态的下一个状态经逻辑判定，经过一个很短的时间后清零或置数。

**异步清零法的改进：**使用RS锁存器，将原本很短暂的复位脉冲展至半个时钟宽。

**移位寄存器型计数器：**在移位寄存器的基础上加反馈逻辑电路而构成的具有特殊编码的同步计数器。

**环形计数器：**将移位寄存器的串行输出与串行输入直接相连。**优点：**无需附加译码电路即可输出顺序脉冲，称之为顺序或节拍脉冲发生器。**缺点：**状态利用率低，n 个触发器构成的环形计数器仅有n 个有效状态（取1000-0100-0010-0001），有2^n-n个无效状态。



图片包含 文字

自动生成的说明**扭环形计数器：**也称约翰逊计数器，**在上图的基础上使D0=/Q3。有效循环：**每次状态转换，只有一位发生改变（0000-1000-1100-1110-1111-0111-0011-0001），有效状态数是环形计数器的两倍。**另8个状态构成另一个循环，无法自启动。**修改为D0=/Q3+Q1/Q2。

**20\_PLD(2)**

**GAL结构：**Generic Array Logic，通用阵列逻辑。GAL由可编程的与阵列和固定的或阵列构成。相较PAL器件，用可编程的输出逻辑宏单元（OLMC）代替固定的或阵列。可实现多种形式的输出。**OLMC （Output Logic Macro Cell）组成：**或门：与其他OLMC中的或门构成或门阵列。异或门：控制输出信号的极性。D触发器：适合设计时序电路。4个多路选择：OMUX：根据AC0和AC1(n)决定OLMC是组合输出还是寄存器输出模式。AC0、AC1(n)及XOR(n)均为GAL器件片内控制字中的结构控制位。结构控制字共有82位，不同的控制内容，可使OLMC被配置成不同的功能组态。控制字的内容是在编程时由编程器根据用户定义的管脚及实现的函数自动写入的。

**高密度PLD：CPLD，复杂可编程逻辑器件：**基于与或阵列和宏单元结构，采用EEPROM存储技术，具有非易失性、互连通路延时可预测等优点，适于实现大规模组合逻辑。**FPGA，现场可编程门阵列器件：**多采用查找表LUT技术，SRAM存储技术，具有集成度高、触发器资源丰富等优点，易于实现时序逻辑。**FPGA器件含有丰富的触发器资源，易于实现时序逻辑**，如果要求实现较复杂的组合电路则需要几个CLB结合起来实现。**CPLD基于与或阵列结构，适于实现大规模的组合功能**，但触发器资源相对较少。**FPGA为细粒度结构，CPLD为粗粒度结构**。**FPGA内部有丰富连线资源，CLB分块较小，芯片的利用率较高**。CPLD的宏单元的与或阵列较大，通常不能完全被应用，且宏单元之间主要通过高速数据通道连接，其容量有限，限制了器件的灵活布线，因此**CPLD利用率较FPGA器件低**。F**PGA为非连续式布线，CPLD为连续式布线**。FPGA器件在每次编程时实现的逻辑功能一样，但走的路线不同，因此**延时不易控制**，要求开发软件允许工程师对关键的路线给予限制。**CPLD每次布线路径一样**，CPLD的连续式互连结构利用具有同样长度的一些金属线实现逻辑单元之间的互连。连续式互连结构消除了分段式互连结构在定时上的差异，并在逻辑单元之间提供快速且具有固定延时的通路。

**CPLD结构：逻辑阵列块LAB；可编程连线阵列PIA：**在各个逻辑宏单元之间以及逻辑宏单元与I/O单元之间提供信号连接的网络。CPLD中一般采用固定长度的线段来进行连接，因此信号传输的延时是固定的，使得时间性能容易预测。**可编程的I/O单元：**可配置为输入、输出、双向、集电极开路和三态等形式，能提供适当的驱动电流，能兼容TTL和CMOS多种接口和电压标准，支持多种接口电压（降低功耗）。

**FPGA结构：**可编程开关矩阵PSM。可编程逻辑块CLB：FPGA的基本结构单元。可编程输入输出模块IOB：提供器件引脚和内部逻辑阵列之间的连接。可编程内部连线PI：将各个CLB之间和CLB与IOB之间互相连接起来，构成各种复杂功能。**CLB通过查找表实现逻辑函数。**查找表是将一个逻辑函数表存放在静态存储器(SRAM)中，通过查找该表中的函数值来实现逻辑运算。逻辑运算是通过地址线（输入变量的取值）查找相应存储单元的信息内容（即函数值）来实现的。

**21\_存储器**

**半导体存储器**：能够保存大量二值信息的半导体器件。存储容量 = 字数×位数/字。每个字具有唯一的编号，称为地址。

**半导体存储器分类：只读存储器ROM：**正常工作状态只是读出信息，断电后信息不会丢失，常用于存放固定信息(如程序、常数等)。**随机存储器RAM：**在运行状态可以随时进行读出或写入操作，存储信息必须有电源供应才能保存，一旦掉电，信息全部丢失。

**ROM：MROM**掩模ROM，不可改写；**PROM**可离线编程一次；**EPROM**紫外线可擦除可离线编程ROM；**EEPROM**电可擦除可在线编程ROM；**Flash memory**闪存，在线编程，一种特殊的EEPROM。

**掩模ROM：**出厂时已经固定，不能更改，适合大量生产；简单，便宜，非易失性。存储矩列4行x4列，行和列的每个交叉点是一个存储单元 。存储单元存储一位信息，**有二极管相当存1，无二极管相当存0**。地址译码选择存储阵列中的一行。输出缓冲，当OE=0时输出选中行，否则呈高阻状态。

**地址二维译码：**高位地址译码选择一行(字)，低位地址译码从选中的行选择一列(位)。字线与位线的交点都是一个存储单元。**有MOS管相当于存0，无MOS管相当于存1**。

**RAM：**SRAM，静态RAM；DRAM，动态RAM。**刷新：**保证存储信息不丢失的措施。**SRAM**不刷新，速度快，控制简单，集成度低，价格昂贵，功耗高。**DRAM**刷新，速度慢，控制复杂，集成度高，价格便宜，功耗低。

**SRAM芯片：**地址引脚数决定存储字数，数据引脚数决定存储字长，控制引脚**WE:** 写允许(Write Enable)，**OE:** 输出允许(Output Enable)，**CS:** 片选(Chip Select)，**未被片选或读写不许输出高阻**。存储容量 = 2^m x n (位)。

**SRAM存储单元：Xi =1，**T5、T6导通，存储单元与位线接通；**Yj =1，**T7 、T8导通，存储单元与数据线接通通过数据线读取该单元数据。

**DRAM芯片：**地址: 决定存储字数，为减少引脚数，地址分两次输入；数据: 存储字宽度；控制**WE:** 写允许，**RAS:** 行地址选通(Row Address Strobe)，**CAS:** 列地址选通(Column Address Strobe)。存储容量=2^2m × n (位)

**DRAM存储单元：**由1个三极管和1个电容组成，根据电容是否充有电荷来存储一位信息，T用于控制读写。**读写过程：写：** B上设置待写数据；W设置成有效。**读：**W设置成有效；B上出现读出数据。

**22\_二极管**

**半导体：**常温下导电能力介于导体与绝缘体之间的材料 ，常用的有：硅、锗、砷化镓等。**半导体特性：**受热或光照，其导电能力显著提高；纯净半导体中加入微量杂质后，其导电能力急剧增强，利用这些特性可制造热敏电阻、光敏电阻、二极管、三极管等器件。

**本征半导体：**完全纯净、结构完整的半导体。**本征激发：**本征半导体因受外部激发（如受热或光照），产生自由电子和空穴的现象。**载流子：**能够起导电作用的带电粒子。存在两种载流子：自由电子，空穴。

**杂质半导体：**在本征半导体中掺入微量的杂质元素后所形成的半导体。根据掺杂的不同，杂质半导体分为**N型半导体 ：**掺入五价杂质元素（如磷、砷、锑等）；**P型半导体 ：**掺入三价杂质元素（如硼、铝和铟等）。

**N型半导体：**自由电子是多数载流子，简称多子；每个杂质原子产生一个自由电子；浓度较掺杂前高得多。空穴是少数载流子，简称少子；由热激发产生；浓度较掺杂前低得多。五价杂质原子也称为施主杂质。**P型半导体：**空穴是多子；每个杂质原子产生一个空穴；浓度较掺杂前高得多。自由电子是少子；由热激发产生；浓度较掺杂前低得多。三价杂质也称为受主杂质。

**PN结的形成：PN结：**在紧邻制作的P型半导体和N型半导体的交界面，由于载流子的扩散运动和漂移运动所形成的空间电荷区。**扩散运动：**因浓度差引起的载流子的运动。**漂移运动：**在电场作用下引起的载流子的运动。在浓度差的作用下，两边多子互相扩散。在P区和N区交界面上，形成了一层不能移动的正、负离子，称为空间电荷区，也称耗尽区，势垒区，即PN结。空间电荷区形成的内电场一方面阻碍多子的扩散，另一方面加速少子的漂移，最终达到动态平衡。

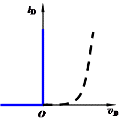
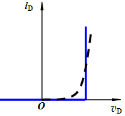
 图片包含 时钟, 物体

自动生成的说明

**PN结单向导电性：加正向电压(正偏)：**P +，N –；具有较大的**正向扩散电流**，呈现低电阻，导通。**加反向电压(反偏)：**P – ，N +；具有很小的**反向漂移电流**，呈现高电阻，截止。PN结内部有N->P方向的电场。当正向偏压时，P边的空穴受电场驱动向PN结移动，中和一部分在界面左边的负电量；N边的电子向PN结移动，中和一部分界面右边的正电量，因此整体的PN结宽度减小。更加容易导电，尤其是当电压大到PN结几乎消失之后，电阻急剧降低。反向电压加上后，PN结变大，电阻变大。**而当反向电压大到一定程度**，则可能发生雪崩击穿（和／或奇纳击穿：仅仅在掺杂浓度非常高的情况下），产生大量新的电子空穴对，增加导电能力。**雪崩和齐纳击穿均为电击穿，可恢复；而热击穿不可恢复。**

**二极管：**将PN结加上引线和封装，就构成了半导体二极管，简称二极管。**分类：**按制造材料：硅二极管和锗二极管；按用途：整流二极管、稳压二极管、开关二极管、发光/光电二极管等；按工艺结构：点接触型、面接触型、平面型等（**点接触不能通过较大电流，但结电容小，高频性能好，面接触则相反**）。

**二极管伏安特性：正向特性 (当v > 0)：死区：**v <Vth, i≈0；**导通区：**v >Vth, i≠0（**Vth：**称为死区电压或门坎电压**，硅二极管约为0.5V，锗二极管约为0.1V**）**反向特性 (当v < 0)：截止区：**|v|<VBR, i≈Is（**Is**：反向饱和电流，很小，且基本不随反向电压的变化而变化，受温度影响的少子漂移电流）；**击穿区：**|v|>VBR, i≠0； (**VBR：**称为击穿电压)。**二极管主要参数：最大整流电流IF：**长期运行所允许承受的最大正向平均电流；**最大反向工作电压VR：**为安全计，在实际工作时，VRM一般只按VBR的一半计算**；最高工作频率fM：**二极管工作在高频时，电流容易从结电容通过，使管子的单向导电性能变差，为此规定最高工作频率，结电容愈大，则fM愈低；**反向电流IR：**约为IS**；正向导通压降VF：**导通压降约为硅管0.6~0 .8V，锗管0.2~0.3V，**通常近似取硅管0.7，锗管0.2。**二极管的参数还有结电容及最高结温等。



**二极管简化模型：理想模型：**忽略死区和导通压降；i > 0，v = 0；v < 0，i = 0；**符号的二极管是实心涂黑。恒压降模型：**导通压降=死区电压≠0；i > 0，v = VF；v <VF，i = 0（VF硅二极管约为0.7V，锗二极管约为0.2V）。

**二极管小信号模型：恒压降直流通路：**二极管等效成理想+电源**；交流通路：**二极管等效成交流电阻**rd=26mV/ID(mA)，** ID是直流通路求出的静态工作点电流**。**

**稳压（齐纳）二极管：**正向特性与普通管类似，反向击穿特性很陡（**稳压管通常工作于反向电击穿状态**）。**主要参数：**稳定电压VZ，动态电阻rz，最大允许工作电流IZM，最大允许耗散功率PZM。**等效为VZ0的电源（正极是二极管的负端）和rz的电阻串联（VZ较大可以忽略rz）。**

**23\_三极管**

**三极管分类：按结构分类：双极结型三极管：**NPN,PNP。**场效应三极管：MOS型：N沟道：**增强型耗尽型；**P沟道：**增强型耗尽型；；**结型：**N沟道P沟道。

图片包含 物体

自动生成的说明**双极结型三极管：**内部结构特点：发射区掺杂浓度很高，基区很薄且掺杂浓度很低，集电区面积很大。

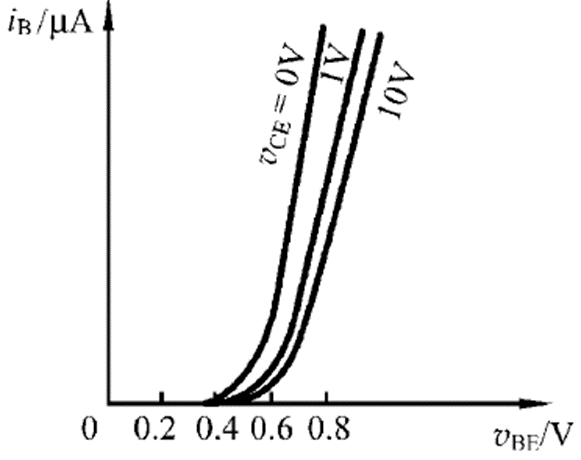
图片包含 物体

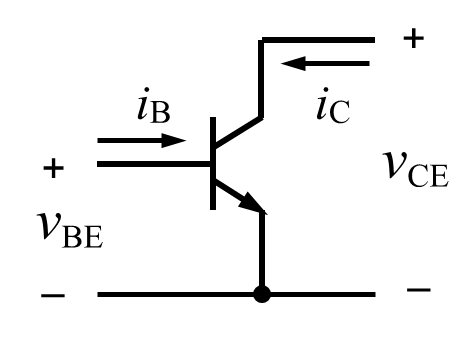
自动生成的说明

**BJT放大原理：**放大的本质：利用小的基极电流，控制大的发射极和集电极电流。**IC =β IB ，(β>> 1)；IE = (1+β) IB。放大的条件：**内部条件：内部独特的结构；外部条件：发射结正偏，集电结反偏。

**BJT电流分配关系（NPN）：**发射区多子电子向基区扩散形成电流IEN；在基区被复合的电子形成电流IBN；余下电子向集电区漂移形成电流ICN；基区多子空穴向发射区扩散形成电流IEP；集电结两侧少子形成漂移电流ICBO。α=ICN/IEN称为共基极电流放大系数接近于1，β=α/（1-α）称为共发射极电流放大系数。

**BJT连接方式：**共基极，共发射极，共集电极。**无论何种方式，要使BJT有放大作用，都必须保证：发射结正偏，集电结反偏**

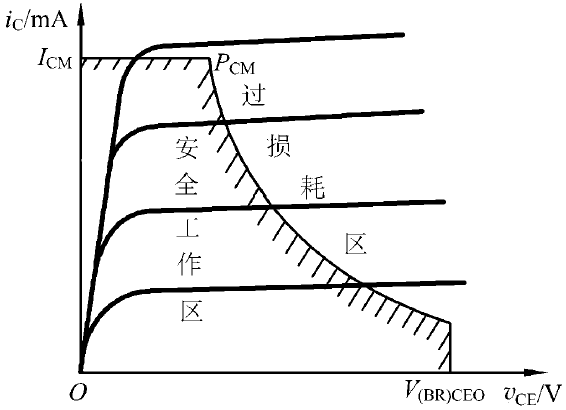
**BJT共射极特性曲线─输入特性：**iB = f(vBE)|vCE=常数，类似于PN结的正向特性。vCE增大，特性曲线右移；保持vBE不变，vCE从零逐渐增大，集电结从正偏进入反偏，集电极收集电子，基区复合减少，IB减小；当vCE≥1V时，特性曲线几乎重合在一起，即vCE对输入特性几乎无影响。



**BJT共射极特性曲线─输出特性：**iC = f(vCE)|iB=常数。**截止区：**发射结和集电结均为反偏，iB≈0， iC≈0；**饱和区：**发射结正偏集电结正或弱反偏（**vCE <= vBE**），iC 随vCE增大而增大，iC ＜βiB；**放大区：**发射结正偏，集电结反偏，iC 与vCE 几乎无关，iC =βiB。（发射结反偏、集电结正偏的非正常工作状态一般不考虑）

**BJT主要性能参数：直流电流放大系数≈交流电流放大系数=β；集电极最大允许电流ICM；集电极最大允许功耗PCM = VCE\*IC；反向击穿电压V(BR) CEO：**基极开路时，集电极和发射极间的击穿电压。

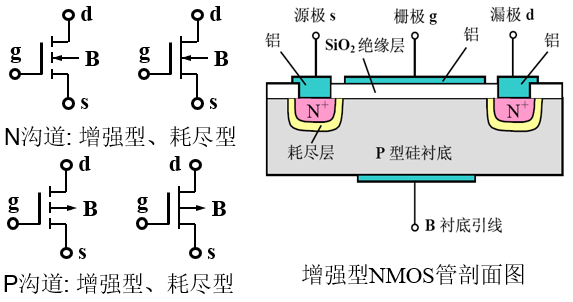
图片包含 文字

自动生成的说明



**场效应三极管：**FET，简称场效应管；利用输入电压产生的电场效应，控制输出电流，是一种电压控制电流型器件；由于起导电作用的是一种极性的多数载流子，又称单极型晶体管；具有输入阻抗高、功耗低、噪声低、热稳定好、工艺简单、易于大规模集成等特点。**按结构分类：**MOS型(MOSFET)和结型(JFET)。

**MOSFET结构和符号：**



**增强型NMOS管工作原理：VGS < VT (开启电压)：**d、s间没有形成导电沟道，即使施加电压，也无电流产生；称为夹断区或截止区。**VGS > VT：**d、s间形成导电沟道，施加电压后，将有电流产生；VGS增大，导电沟道增厚，电阻率减小；称为可变电阻区。**在导电沟道形成后，保持VGS 不变，增加VDS， ID随之增加，**在VDS作用下，导电沟道呈锥形分布；当VGD=VT时，沟道出现预夹断；**继续增加 VDS，夹断区延长，但ID不随之增加，**称为恒流区或饱和区。

**耗尽型NMOS管：**在管子制造过程中，在栅极下方的绝缘层中掺入大量的金属正离子，从而预置了导电沟道，因此，使用时无须加开启电压（VGS=0），只要加漏源电压，就会有漏极电流。当VGS＞0 时，将使ID进一步增加。VGS＜0时，随着VGS的减小ID 逐渐减小，直至 ID=0。对应ID=0 的 VGS 值为夹断电压 VP。

**24\_基本放大电路(1)**

**共射极放大电路 (1):**

**静态分析：**静态工作点Q：静态时，管子的电参量：**输入vBE =VBB－ iB Rb；输出vCE=VCC－iCRc；**在iB—vBE图上做vBE =VBB－ iB Rb直线，与曲线的交点为Q，得IBQ和IBEQ；在iC—vCE图上做vCE=VCC－iCRc直线，在iB=IBQ的那条上与直线的交点取Q点得ICQ和VCEQ。

**动态分析：** 输入曲线在Q的基础上加交流分量v得另两个工作点Q’和Q’’，得iB和vBE的波动。**画交流负载线，在交流负载线上**于iB在Q，Q’，Q’’三个工作点间波动得到交流。

**截止失真：**当放大器的工作点选得太低时，**输入回路首先产生失真**。

**饱和失真：**当放大器的工作点选得太高时，**输出回路产生失真**。

**放大电路的分析方法：**放大电路中直流电源和交流信号同时存在、共同作用；为简化分析，将它们的作用视为直流电源单独作用（静态分析）和在此基础上交流信号作用（动态分析）的叠加。

**静态分析：**静态：无交流输入信号(vi = 0)时，放大电路的工作状态，也称直流工作状态。直流通路：放大电路中直流电流流过的路径，**电容、电感分别相当于开路、短路。**静态工作点：静态时，管子的电参量。静态分析：通过直流通路求解管子的静态工作点，方法有图解法和**估算法**。

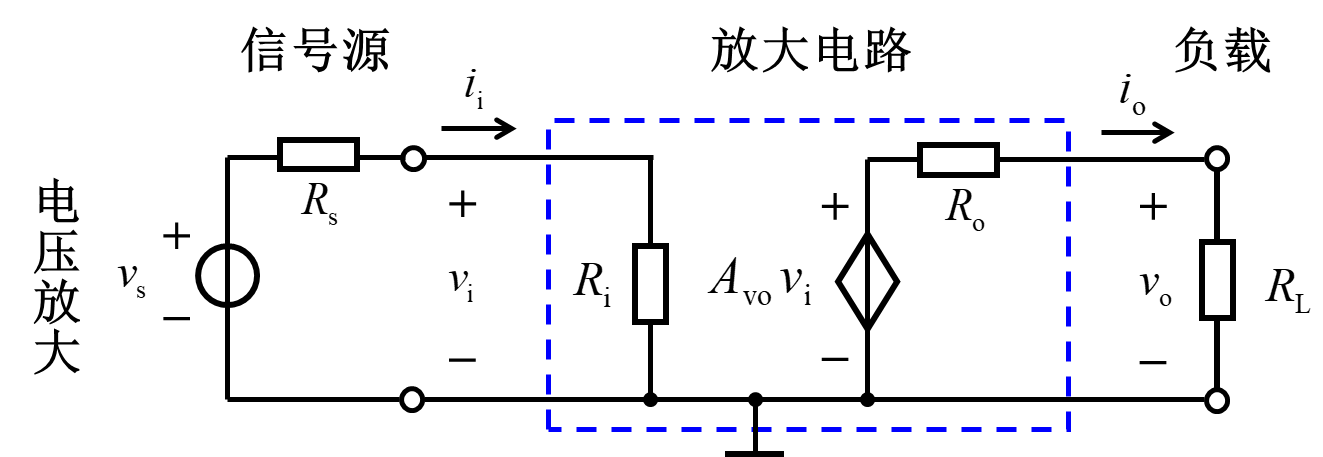
**估算法静态分析：硅管V\_BEQ=0.7 V，锗管0.2V**

**动态分析：**动态：在静态工作点附近，放大电路对于输入信号(vi ≠0)的响应，也称交流工作状态。交流通路：放大电路中交流电流流过的路径，**直流电源和耦合电容相当于短路，VCC=接地。**动态分析方法有图解法和**等效电路法**。**（图解法交流负载线和直流负载线的斜率经常不同！）**

**25\_基本放大电路(2)**

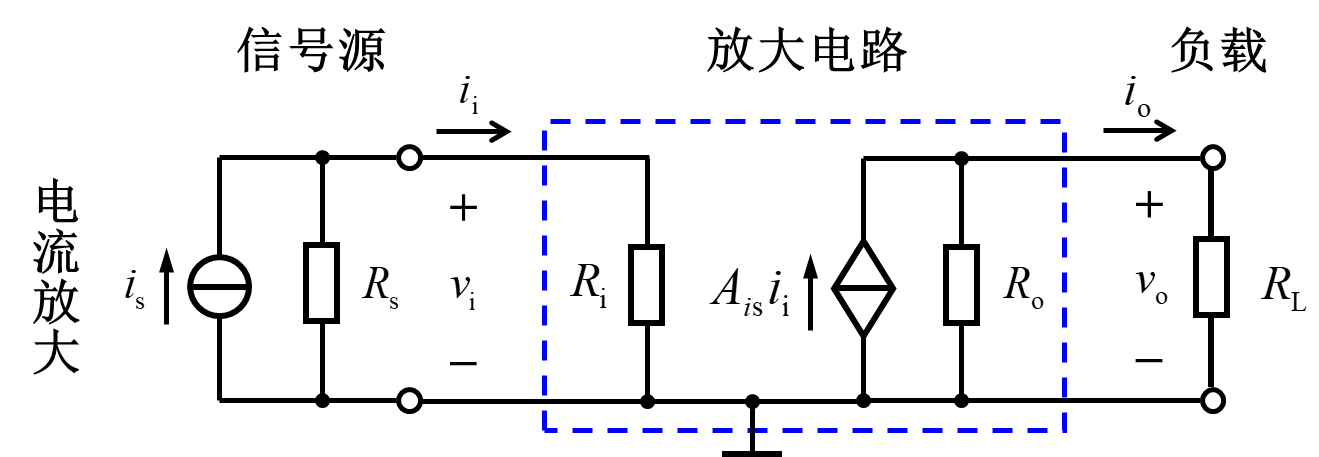
**放大电路：**增加电信号幅度或功率的电子电路。**放大的本质：**实现能量的控制；用能量比较小的输入信号来控制另一个能源，将其转换为能量比较大的信号输出。**主要性能指标：**增益(放大倍数) A；输入电阻 Ri；输出电阻 Ro；通频带 BW。

**放大电路模型：电压放大：**

****

**Rs**信号源内阻；**Ri**输入电阻；**Ro**输出电阻；**RL**负载电阻；**Avo**负载开路时的电压增益；**电压增益Av = vo / vi = Avo RL / (RL + Ro )**

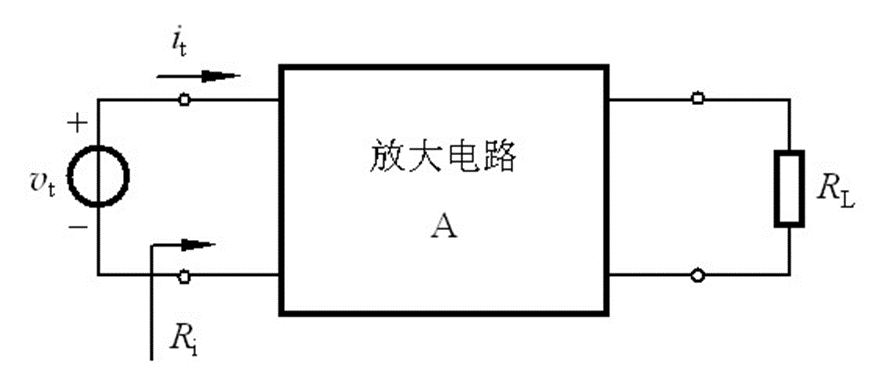
**电流放大：**

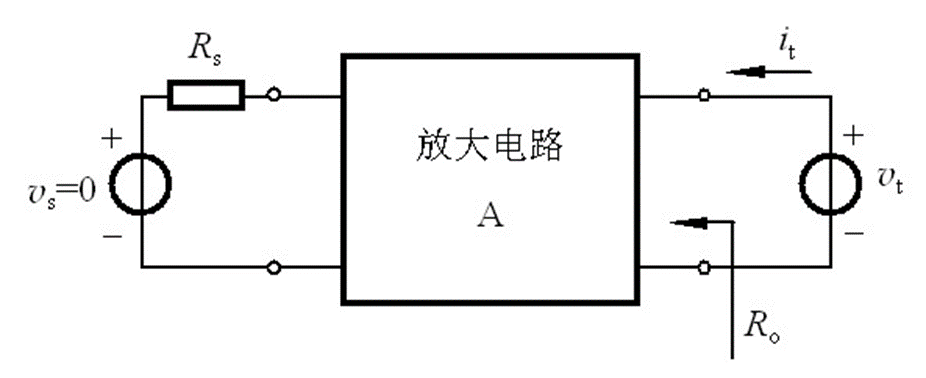
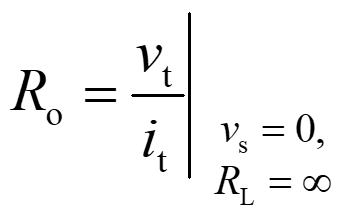
****

**Rs**信号源内阻；**Ri**输入电阻；**Ro**输出电阻；**RL**负载电阻；**Ais**负载短路时的电流增益；**电流增益Ai = io / ii = Ais Ro / (RL + Ro )**

**输入电阻：**反映放大电路从信号源提取信号的能力，对电压信号放大，Ri 越大越好，对电流信号放大，Ri 越小越好。**输出电阻：**反映放大电路带负载的能力（输出量对负载变化的适应能力），对于输出量为电压信号，Ro 越小，带负载能力越强，对于输出量为电流信号， Ro 越大，带负载能力越强。

**输入/输出电阻的测量：**

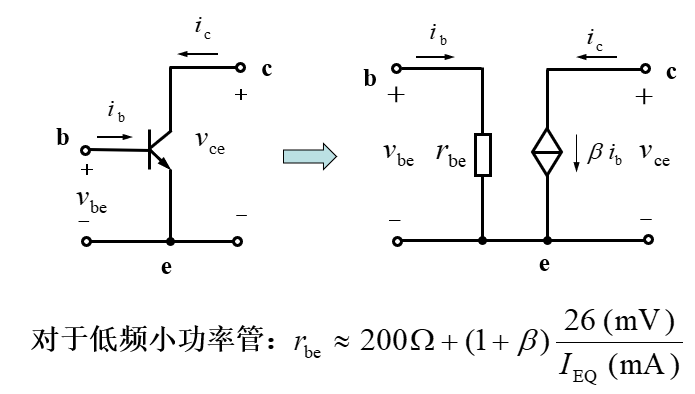
 

**通频带：**衡量放大电路对不同频率信号的适应能力。由于电容、电感及半导体器件极间电容的存在，使放大电路在信号频率**较低和较高**时电压放大倍数下降。当A(f)下降到中频电压放大倍数A0的 1/ sqrt（2）=**0.707倍**时，相应的频率**fL称为下限频率**，**fH称为上限频率**。

**BJT的简化小信号模型：**

对于低频小功率管：**rbe = 200Ω + ( 1+β)26mV / I\_EQ(mA)**



**共射极电路动态分析。**

**26\_集成运算放大器 (1)**

**分立电路：**由结构上各自独立的电阻、电容、晶体管等元器件，借助导线或印制电路板(PCB)连接而成的电路。**集成电路：**Integrated Circuit，简称IC或芯片，将构成电路所需的所有元器件以及它们之间的连接导线全部制作在一块半导体基片上，然后封装形成的电子器件。**集成电路分类：**模拟集成电路和数字集成电路。**模拟集成电路分类：**集成运算放大器、集成功率放大器、集成比较器、集成稳压器等。

**集成运算放大器：**一种具有很高放大倍数的多级直接耦合放大电路，因最初用于信号运算而得名，简称集成运放或运放。模拟集成电路中的典型组件，是发展最快、品种最多、应用最广的一种——信号运算、信号处理、信号发生、信号变换等。**集成运放电路组成：**输入级、中间级、输出级和偏置电路。

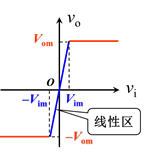
**差模信号和共模信号：差模信号：vd=vp – vn；共模信号 vc=(vp+vn)/2；vo=v\_od+v\_oc=A\_vd\*vd+A\_vc\*vc。差模电压增益：A\_vd=v\_od/vd，共模电压增益：A\_vc=v\_oc/vc**

图片包含 物体

自动生成的说明 图片包含 物体, 时钟, 手表

自动生成的说明

**理想集成运放的主要参数：**

开环差模电压增益**：**；差模输入电阻：；输出电阻：；共模抑制比：

**集成运放的电压传输特性：**

**线性区**：vo = A\_vd\*vi。线性区很窄，即V\_im很小。**饱和区** vo=±V\_om

**运放电路的分析方法：**将运放视为理想。**虚短：**，线性区开环差模电压增益 🡺 **。虚断：**输入电阻 ， **, 。放大倍数恒定：**

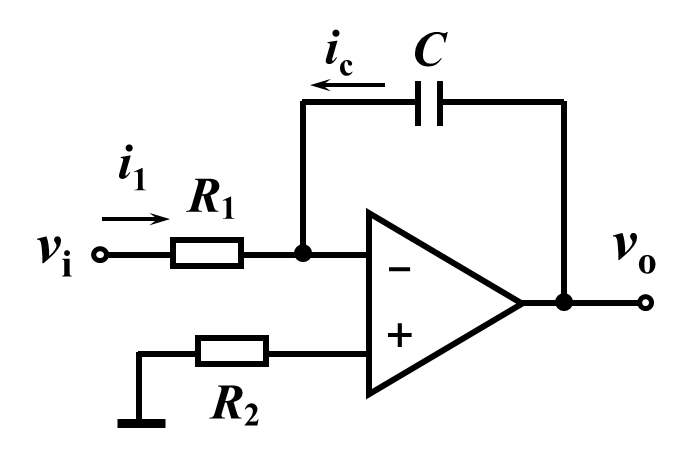
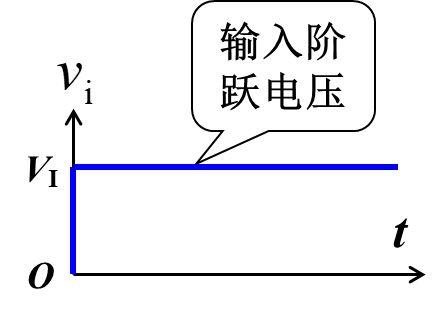
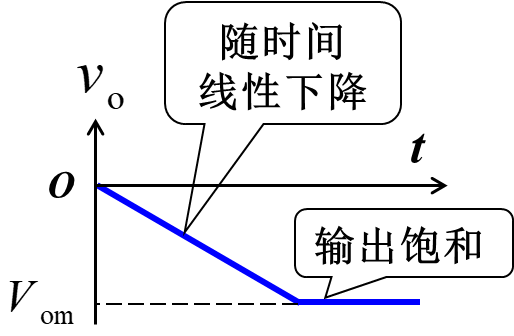
**运放工作在线性区的条件：**要使运放稳定工作在线性区，必须引入负反馈。在开环情况下，输入直接加到运放的输入端，由于Avo很大，使运放工作在线性区的输入范围很小，加上干扰的影响，因此很难实现。引入负反馈后，减少净输入电压𝑣\_+−𝑣\_−，使运放得以工作在线性区。

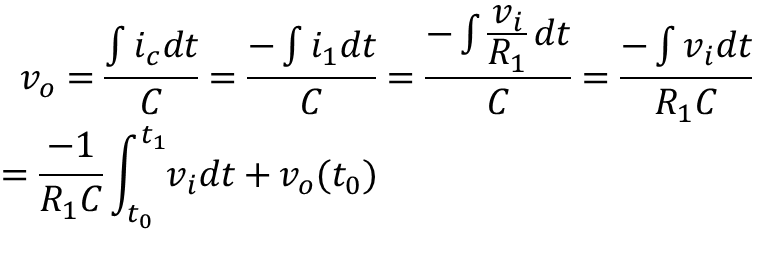
**放大电路中的反馈：**将放大电路输出信号的一部分或全部通过某种电路引回到输入回路，称为反馈。**反馈类型：**反馈使输出增加**正，**反馈使输出减小**负；**将输出电压短路，反馈为0**电压反馈（反馈电路直接从输出端引出），**反馈仍在**电流反馈（反馈电路从负载电阻靠“地”端引出）；**反馈与输出位置，同一电极**并联反馈，**两个电极**串联反馈；**何种通路存在反馈，直流通路**直流反馈**，交流通路**交流反馈。**

**27\_集成运算放大器 (2)**

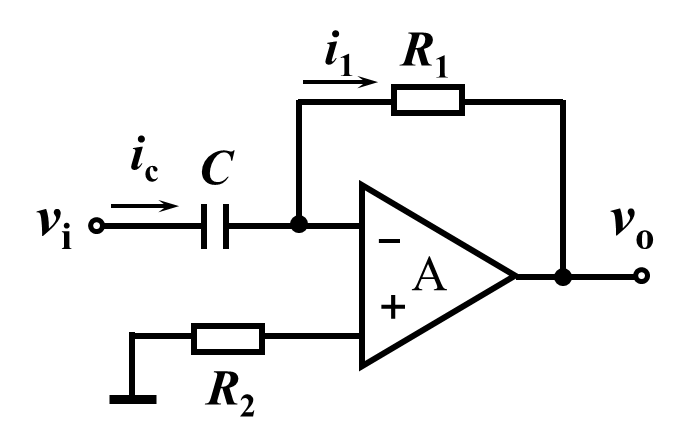
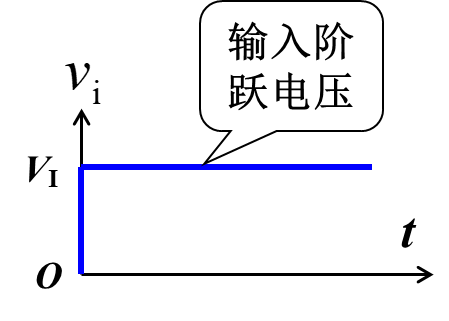
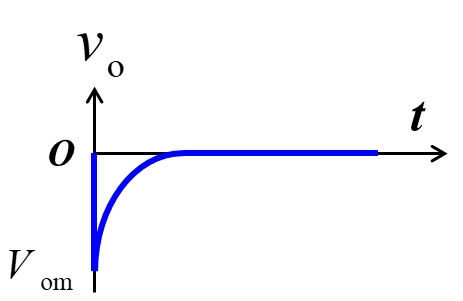
**集成运放的线性应用：**必须给运放引入负反馈。利用“虚短”和“虚断”进行电路分析；“虚短”，即 vp = vn ；“虚断”，即 in =0， ip = 0。

**积分运算电路：**

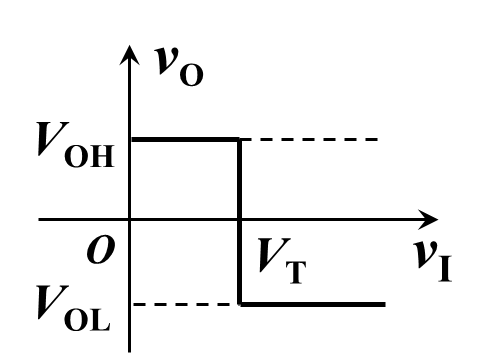


**微分运算电路：**

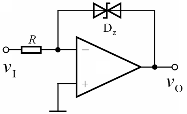
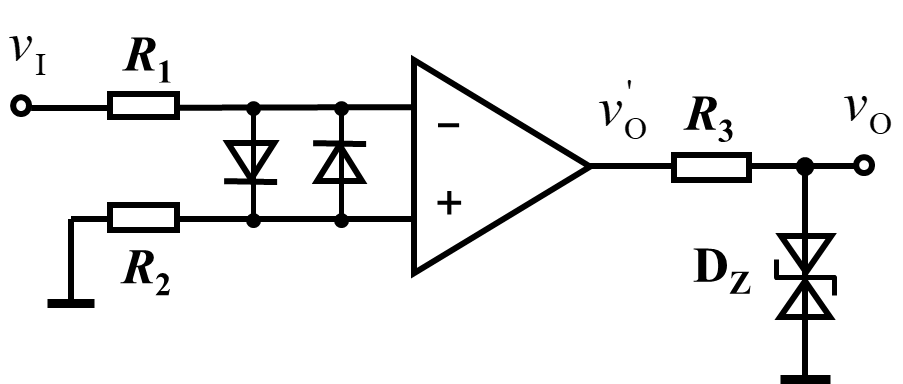
  

由于输入具有输出内阻，因此在阶跃信号边沿到达时，无法达到负无穷，只能达到约（瞬间相当于电容短路）; 当边沿过去后，相当于一个高通电路（时间常数为）的电流被放大

**集成运放的非线性应用：**运放以开环或正反馈方式工作，进入饱和区，**“虚断”仍然适用，**即 in =0， ip = 0；**“虚短”不再适用**即 vp ≠ vn。

**电压比较器：**功能：比较电压的大小。输入模拟信号，输出二值信号（高电平或低电平）；广泛用于各种报警电路，以及模拟与数字的接口电路。**电压传输特性的三个要素：**输出高/低电平：VOH和VOL；门限电压VT ：输出跳变时的输入电压，也称阈值电压；输出电压的跳变方向；**常用电压比较器：**单门限比较器，迟滞比较器。

**单门限比较器：输入限幅：**保护运放的输入级，提高运放响应速度。**输出限幅：**适应负载对电压幅值的要求。



**迟滞比较器：**由于运放引入了正反馈，其输出vO总是处于两种极端状态之一。与对应vO的两个值，vP有两个门限电压：上门限电压VT+，下门限电压VT−。

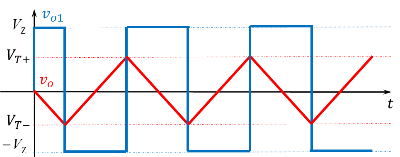
当vI＜VT-时，vN＜vP，vO＝VOH，vP＝ VT+，增大 vI，直至VT+，再增大，vO才从VOH跳变为VOL。

当vI＞VT+时，vN ＞vP ，vO＝VOL，vP＝ VT- ，减小vI，直至VT-，再减小，vO才从VOL跳变为VOH。

**方波和锯齿波产生电路：**

**（1）**A1同向输入端虚断：**(𝑣\_𝑜−𝑣\_𝑝1)/𝑅\_1 =(𝑣\_𝑝1−𝑣\_𝑜1)/𝑅\_2；𝑣\_𝑝1=𝑅\_1\*𝑣\_𝑜1/(𝑅\_1+𝑅\_2)+𝑅\_2 \*𝑣\_𝑜/(𝑅\_1+𝑅\_2) （2）**将𝑣\_𝑜视为迟滞比较器输入，𝑣\_𝑜1正常工作时的电压为±𝑉\_𝑍，则门限电压满足：**𝑅\_1\*(±𝑉\_𝑍)/(𝑅\_1+𝑅\_2)+𝑅\_2\*𝑣\_𝑇±/(𝑅\_1+𝑅\_2)=0；𝑣\_(𝑇±)=±𝑅\_1\*𝑉\_𝑍/𝑅\_2 （3）**上电之后，由于随机噪声，𝑣\_𝑝1 从0变大（或变小），由于A1是正反馈，𝑣\_𝑜1 迅速达到饱和+𝑉\_𝑍 （或-𝑉\_𝑍）**（4）**𝑣\_𝑜1开始通过𝑅\_6 对电容充电，使𝑣\_𝑜 从0开始下降，斜率为**𝑉\_𝑍/(-𝑅\_6\*𝐶)**，当到达门限电压𝑣\_(𝑇−) 时，𝑣\_𝑜1 翻转到-𝑉\_𝑍**（5）**𝑣\_𝑜1开始通过𝑅\_6 对电容放电，使𝑣\_𝑜 从𝑣\_(𝑇−)开始上升，斜率为**𝑉\_𝑍/(𝑅\_6 𝐶)**，当到达门限电压𝑣\_(𝑇+) 时，𝑣\_𝑜1 翻转到𝑉\_𝑍…….





**方波和锯齿波产生电路(2)：**充电电阻𝑅\_5，𝑣\_𝑜下降；放电电阻𝑅\_6，𝑣\_𝑜 上升



**放电：T1=2\*R1\*R6\*C/R2**



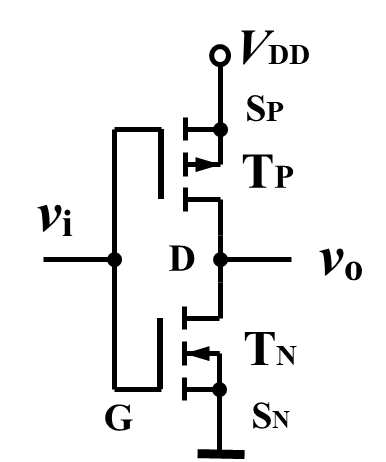
**充电：T2=2\*R1\*R5\*C/R2**

**28\_逻辑门电路**

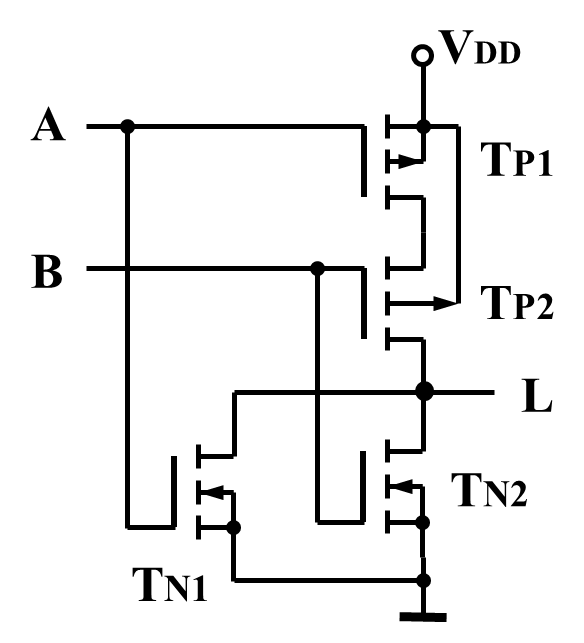
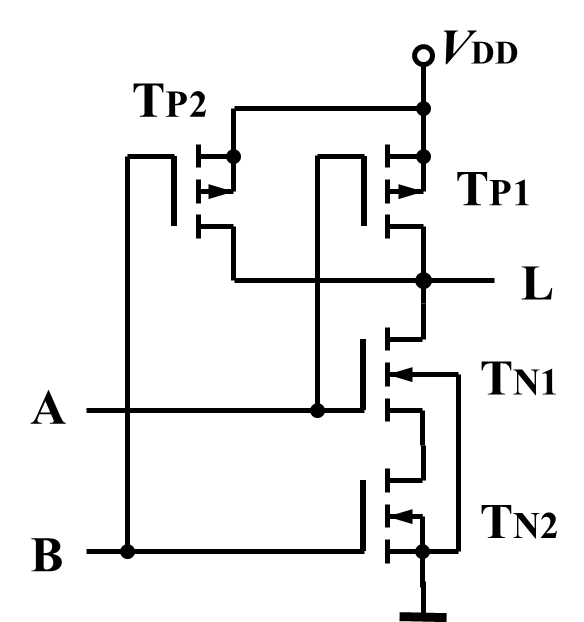
**逻辑门电路：**实现基本逻辑运算和常用逻辑运算的单元电路。常用集成逻辑门电路系列：TTL：基于BJT管定义， 74、74LS、74AS、74ALS等系列。CMOS：基于MOS管定；4000系列，74HC、74HCT、 74VHC、 74VHCT、74LVC、74AC、74ACT、74AUC等系列。

**后续电路常见接发及导通判断：电压差方向与箭头方向相反，导通。**

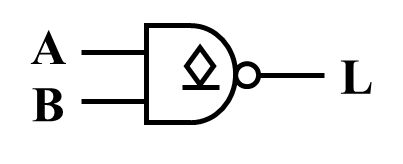
**CMOS非门：**

****

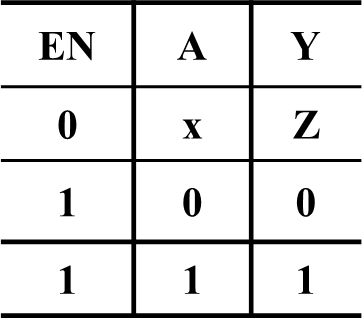
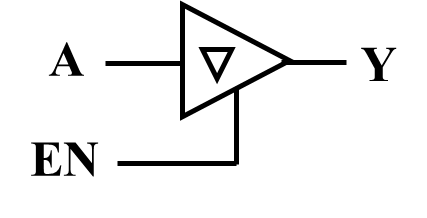
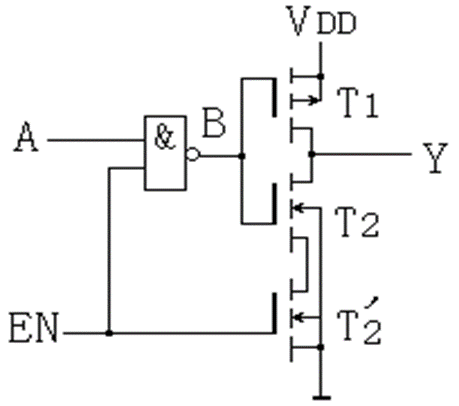
**CMOS与非门&或非门：**

****

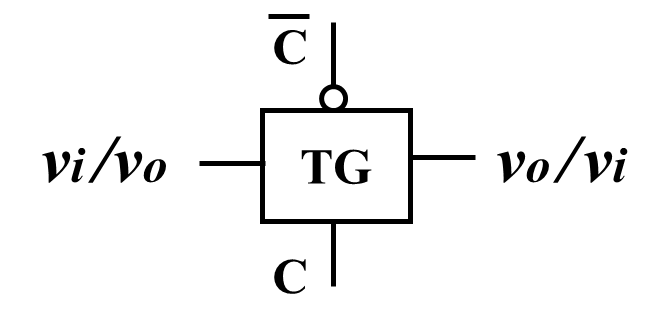
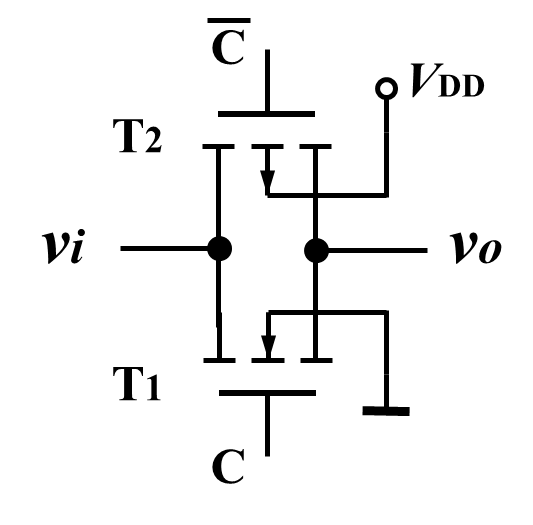
**CMOS漏极开路门：**简称OD门，Open Drain。可以实现线与功能：将多个OD门的输出直接连接在一起，实现所有输出的与运算。**必须外界电源和电阻；多路连接，相当于单路连接电源和电阻的值直接输出然后相与，称为“线与”**

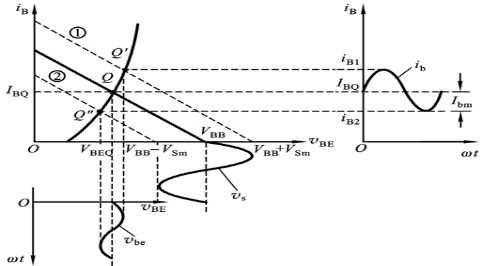
**L=/(AB)\*/(CD)**

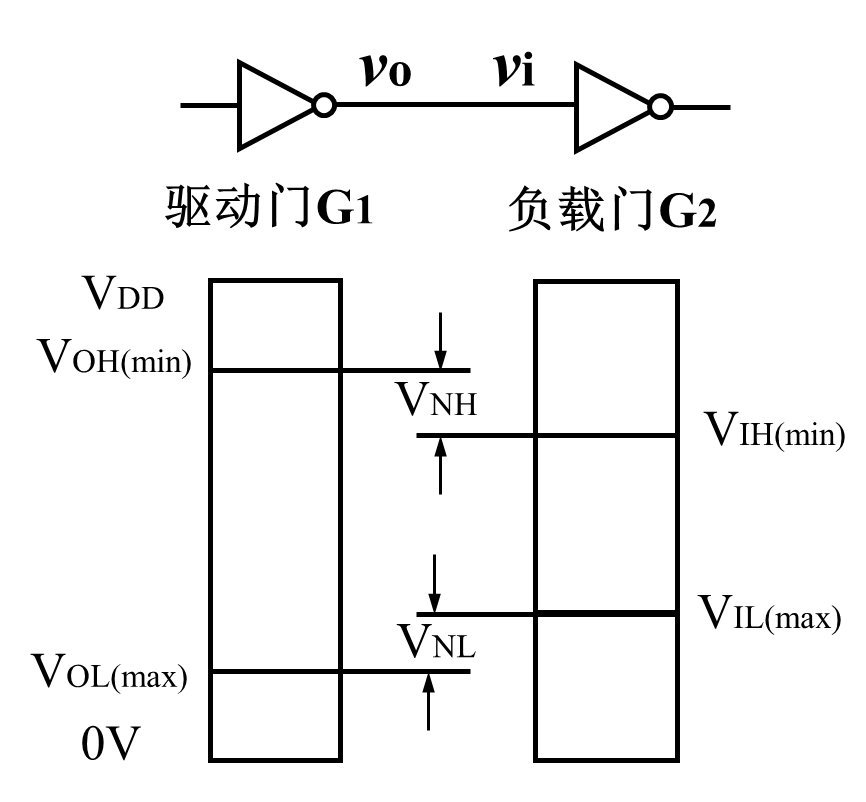
**CMOS三态门：**

****

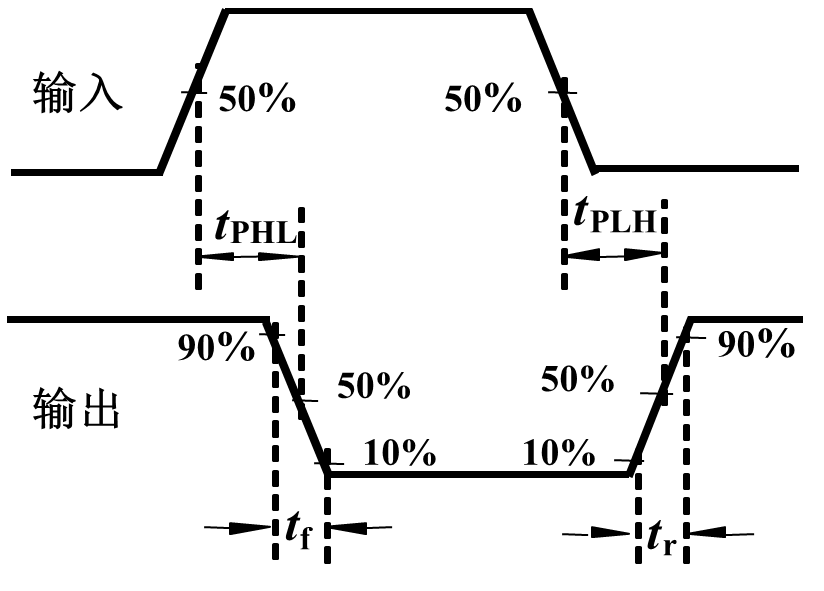
**CMOS传输门：**vi = 0～Vdd；当C=0V，C =VDD时，T1、T2截止，传输门断开；当C=VDD，C =0V时，T1、T2至少有一个导通，传输门导通，vo = vi。传输门相当于一个理想的双向开关





**逻辑门主要参数：输入和输出电平；噪声容限；传输延迟；功耗。输入和输出电平：VOL(max)：**输出低电平的上限值；**VOH(min)：**输出高电平的下限值；**VIL(max)：**输入低电平的上限值；**VIH(min)：**输入高电平的下限值。**噪声容限（**在保证输出电平不变的条件下，输入电平允许波动的范围；表示抗干扰能力**）：VNL：**输入低电平时的噪声容限，VNL =VIL(max) –VOL(max)；**VNH：**输入低电平时的噪声容限，VNH =VOH(min)–VIH(min)

**传输延迟：**在输入脉冲波形作用下，其输出波形相对于输入波形的延迟时间。表征门电路的开关速度。

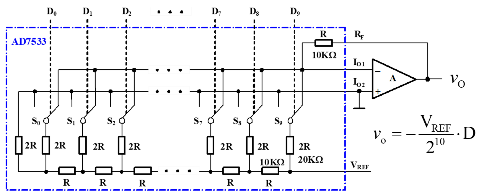
**功耗：静态功耗：**当电路没有状态转换时的功耗。**动态功耗：**电路在输出状态转换时的功耗。CMOS电路的静态功耗非常低，主要是动态功耗。对于TTL门电路来说，静态功耗是主要的。**延时-功耗积：**是速度和功耗的综合性指标。

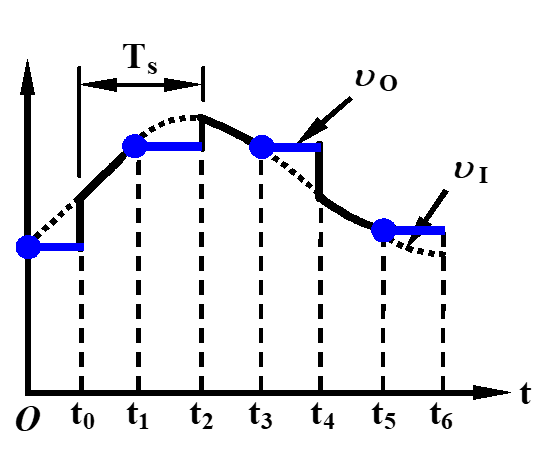
**29\_数模与模数转换器**

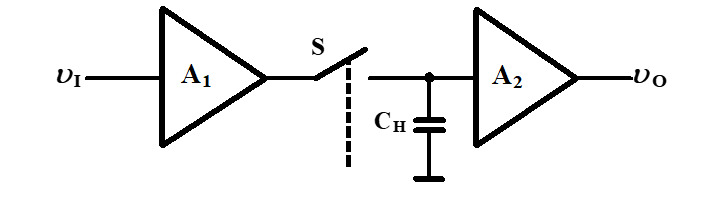
**模数转换器：**能够将模拟信号转换成数字信号的电路，简称A/D转换器或ADC。**数模转换器：**能够将数字信号转换成模拟信号的电路，简称D/A转换器或DAC。

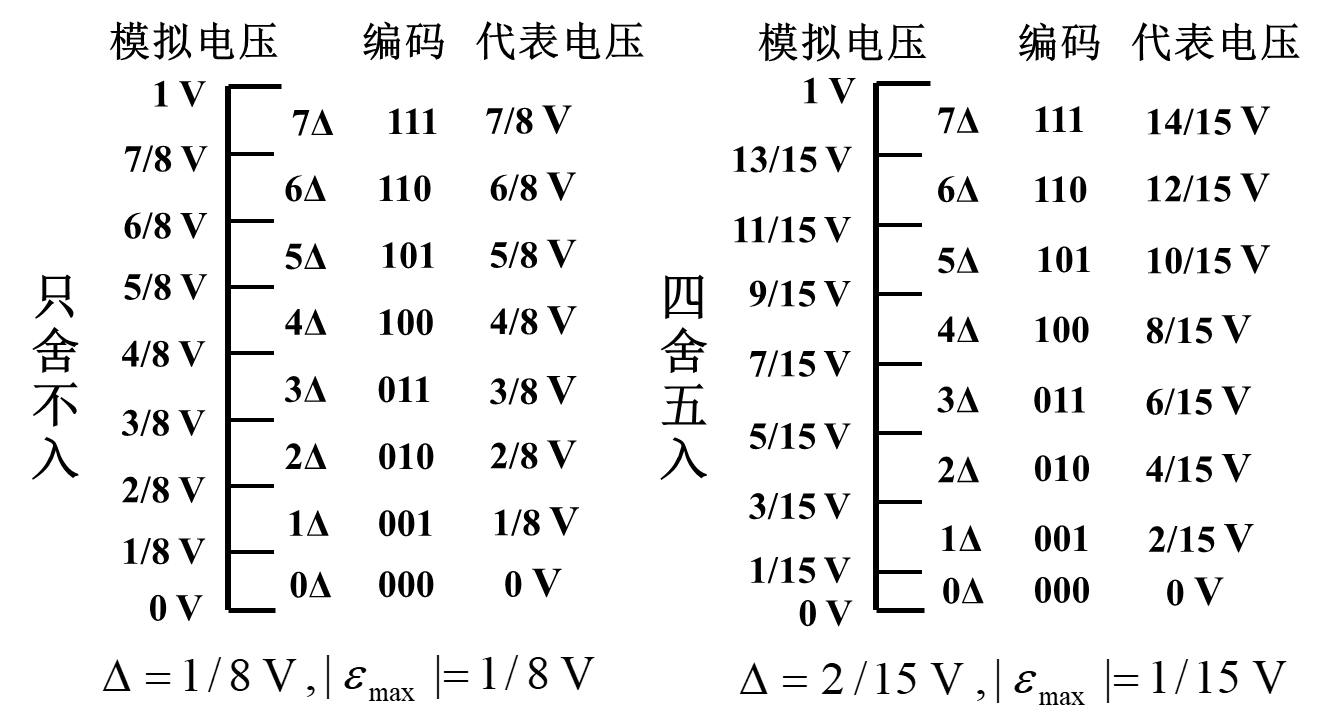
**权电阻网络DAC：**缺点：电阻值相差大，难于保证精度，且大电阻不利于电路集成

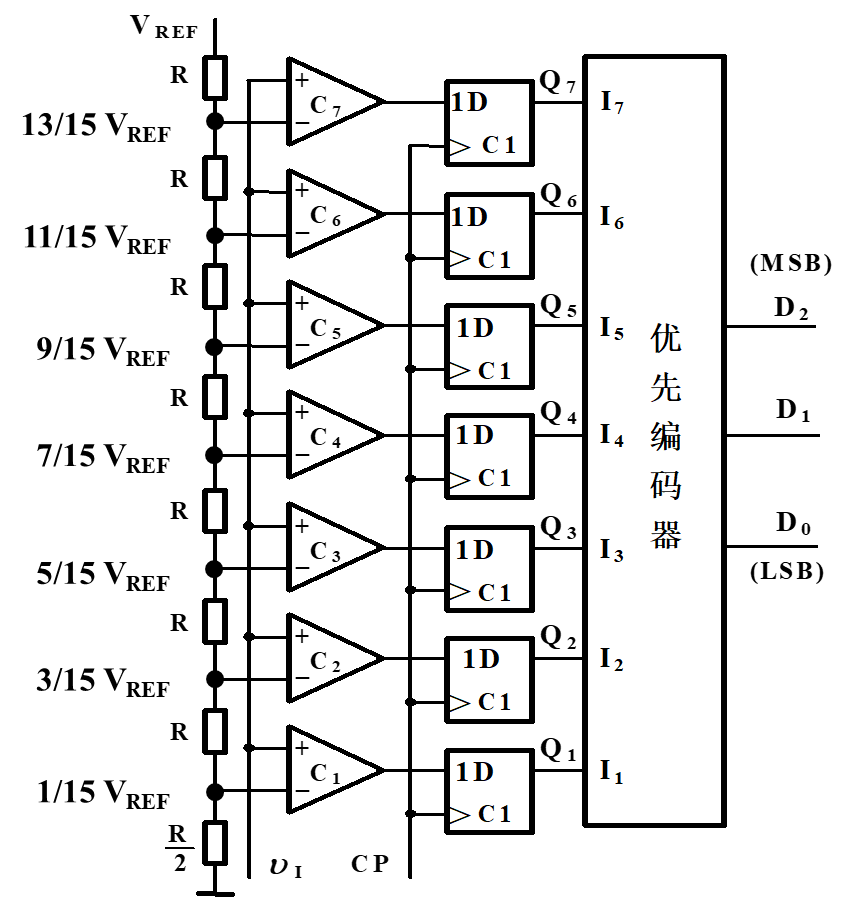
**倒T形电阻网络DAC：**只用两种电阻：R和2R；不管开关如何设置，电阻网络的电特性不变。**AD7533：**10位电流输出型DAC；利用外接运放，可以获得模拟电压输出；运放的反馈电阻可使用DAC内部电阻，也可外接电阻。



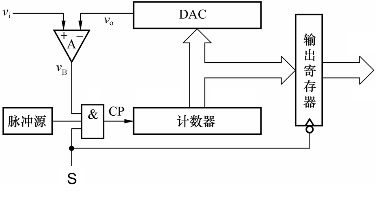
**模/数转换器：**将模拟电压成正比地转换成对应的数字量。一般工作过程：采样、保持、量化、编码。**采样和保持：**将随时间连续变化的模拟量转换为时间离散的模拟量；t0~t1采样：S闭合，vI对CH充电，vO跟随vI变化；t1~t2保持：S断开，vO不变。**采样定理：**采样频率fS与输入信号最高频率分量 fi (max)之间应满足：fs ≥ 2fi(max)

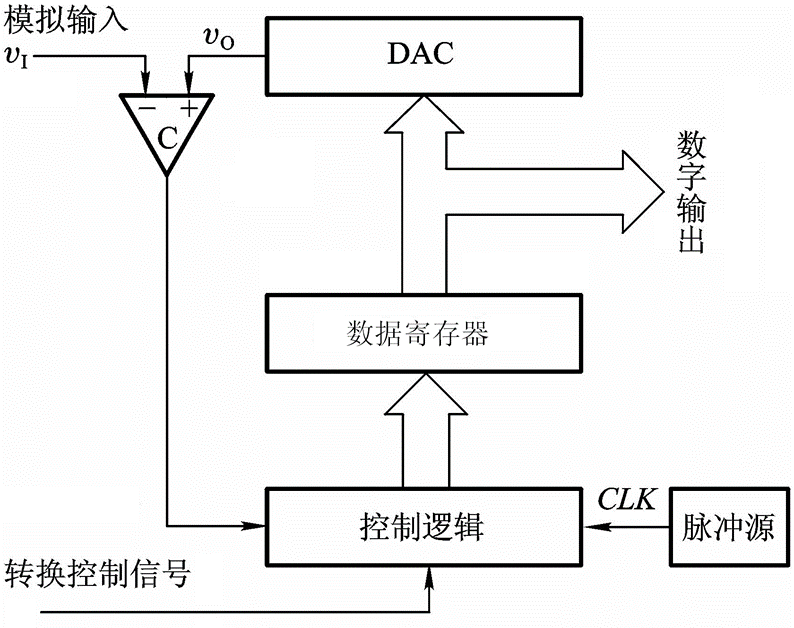


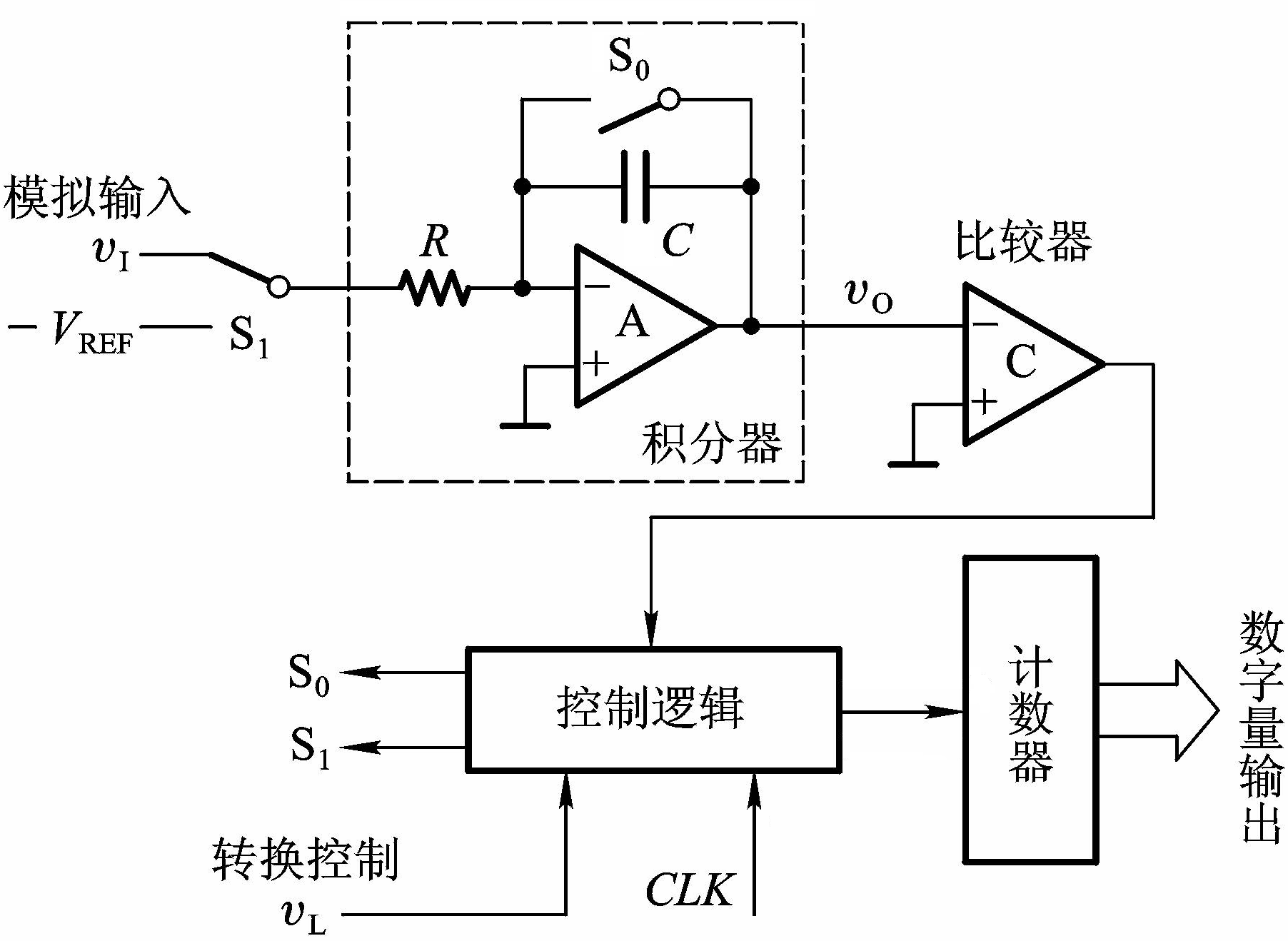
**量化和编码：量化：**将采样电压转化为某个最小数量单位 (称为量化单位Δ) 整数倍的过程。**量化方法：**当采样电压不能被Δ整除时，对多余部分的处理方法：**只舍不入：**把不足一个量化单位的部分舍弃；**四舍五入：**将不足半个量化单位部分舍弃，对于等于或y大于半个量化单位部分按一个量化单位处理。**量化误差ε：**量化前的电压与量化后的电压差；**编码：**将量化结果用代码表示出来(如二进制码、BCD码或Gray码等)。

**并行比较型ADC：**电阻分压网络将参考电压VREF分成7个等级电压，比较器同时将输入模拟电压vI与7个等级电压比较，触发器在每个时钟保存比较结果，优先编码器对触发器状态编码。**特点：**转换速度快，但电路复杂

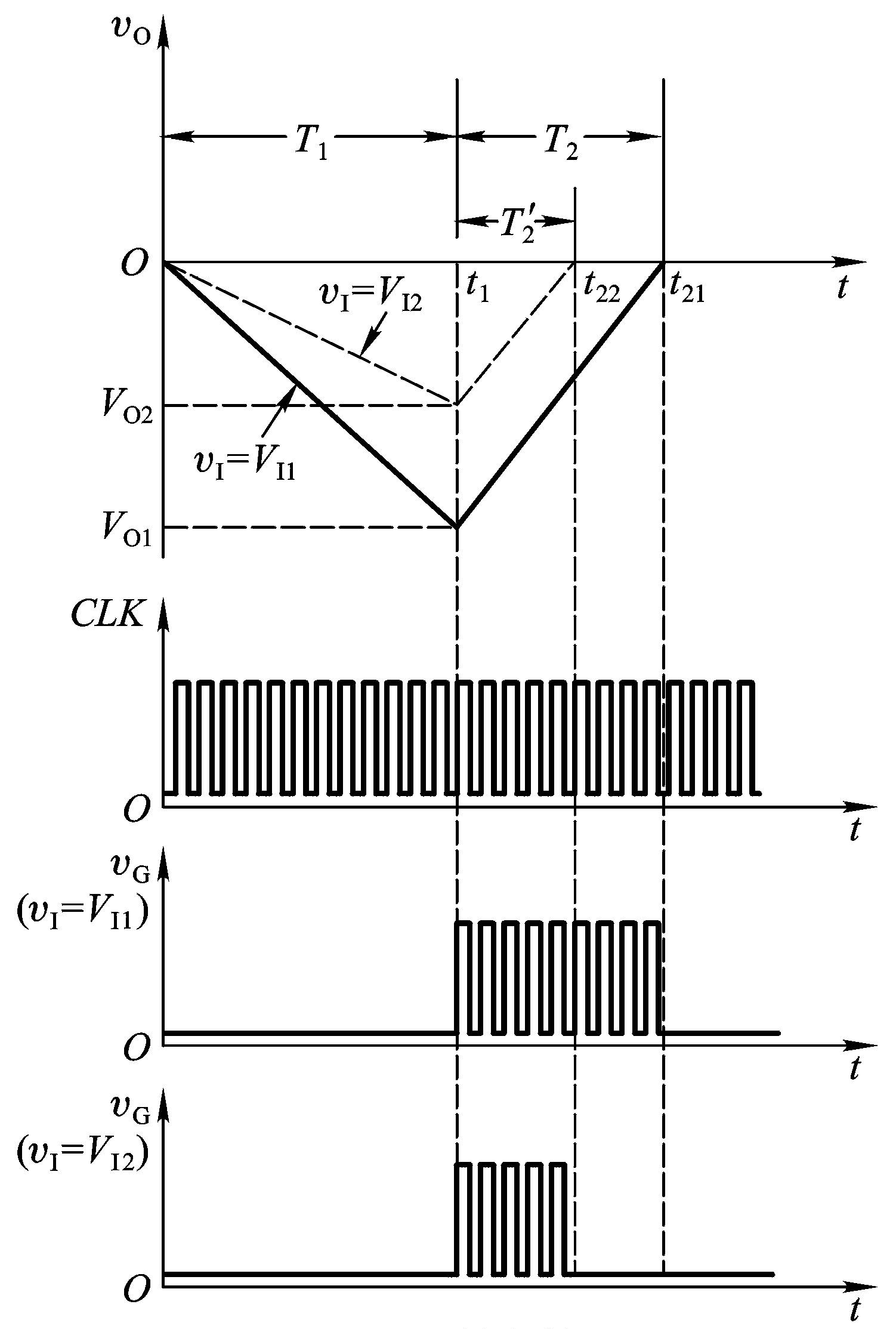
**反馈比较型ADC：基本原理：**设置数字量D，加到DAC上；DAC的输出模拟电压vO与输入模拟电压vI比较；若两者不等，则调整D的大小，直到相等或结束；所得D即为该输入模拟电压对应的数字量。

**计数型ADC：0.** S =0，且计数器清零：vo=0，若vi>0，则vB=1；**1.** S =1，计数器开始加法计数，vo不断增加;当vo>vi时，vB=0，计数器停止计数；**2.**S =0，计数值存入输出寄存器。**电路结构简单，但转换速度慢，最长转换时间：(2^n-1)\*TCLK。**

**逐次比较型ADC：0.**数据寄器清零。**1.**最高位置1，若vO > vI ,则清0, 否则保留。**2.**次高位置1，若vO > vI ,则清0, 否则保留。**… … n.**最低位置1，若vO > vI ,则清0, 否则保留。**电路不太复杂，速度较快，最长转换时间：n\*TCLK**

**双积分型ADC：**V－T变换间接型A/D转换器。将模拟输入电压转换为与之成正比的时间段，在该时间段内对固定频率脉冲计数，即得数字量结果。**0.**计数器清零, 电容完全放电**1.**在一段固定时间积分器对vI积分**2.**积分器对负VREF积分，同时计数器计数，直至积分到零时，停止计数。**优点：**性能稳定，抗干扰强；**缺点：**慢。

**转换开始前（转换控制信号vL＝0）**先将计数器清零，并接通开关So，使电容完全放电。**当vL＝1 转换开始（S0断开），其步骤如下：a.**使开关S1合到输入信号vI 一侧:积分器对vI在固定时间T1进行积分；**b.**开关S1打在－VREF一侧: 此时积分器反向积分到0。

**DAC和ADC主要参数：转换精度：**分辨率：与数字量的位数有关，位数越多分辨率越高。转换误差：实际输出和理论上的输出之间的最大偏差。**转换速度：**转换时间：完成一次转换所需的时间，即从开始转换到得到稳定的输出所经过的时间。ADC类型不同，速度差别甚大：并行比较型ADC的速度最快，次之的是逐次比较型ADC，双积分型ADC的速度最慢。

**使用AD转换通常应注意的问题：**AD转换器在系统应用中系统对其精度的要求如何？AD转换器的输入信号电压范围是多少，是单极性还是双极性？对转换器输出编码级逻辑电平有何要求？系统根据输入信号等情况AD转换器的转换时间是多少？对参考电压的要求如何？对其他情况工作环境，如电源电压的稳定度等有何要求？

