

МИНОБРНАУКИ РОССИИ

Федеральное государственное бюджетное образовательное учреждение высшего образования

**«МИРЭА - Российский технологический университет»**

**РТУ МИРЭА**

Институт Информационных Технологий

Кафедра Вычислительной Техники (ВТ)

**ОТЧЁТ ПО ПРАКТИЧЕСКОЙ РАБОТЕ № 5**

«Схемотехнические узлы последовательностного типа»

по дисциплине

«Архитектура вычислительных машин и систем»

Выполнил студент группы Зырянов М.А.

ИВБО-01-22

Принял ассистент кафедры ВТ Дуксина И.И.

Практическая работа выполнена «\_\_»\_\_\_\_\_\_\_2023 г.

«Зачтено» «\_\_»\_\_\_\_\_\_\_2023 г.

Москва 2023

**АННОТАЦИЯ**

Данная работа включает в себя 1 рисунок и 2 листинга.

Количество страниц в работе — 11.

**СОДЕРЖАНИЕ**

[ВВЕДЕНИЕ 4](#_Toc153847745)

[1 ЗАДАНИЕ 5](#_Toc153847746)

[2 ОТВЕТ НА ТЕОРЕТИЧЕСКОЕ ЗАДАНИЕ 6](#_Toc153847747)

[3 РЕШЕНИЕ ПРАКТИЧЕСКОГО ЗАДАНИЯ 7](#_Toc153847748)

[3.1 Реализация модуля сдвигового регистра 7](#_Toc153847749)

[3.2 Реализация тестирующего модуля 8](#_Toc153847750)

[3.3 Временная диаграмма 8](#_Toc153847751)

[ЗАКЛЮЧЕНИЕ 10](#_Toc153847752)

[СПИСОК ИСПОЛЬЗОВАННЫХ ИСТОЧНИКОВ 11](#_Toc153847753)

# ВВЕДЕНИЕ

В данной практической работе необходимо подготовиться к теоретико-практическому опросу по рассмотренным темам: комбинационные схемы, автоматы, триггеры, регистры, а также циклические, арифметические и логические сдвиги.

Защита данной работы осуществляется путём ответа на поставленные преподавателем вопросы в режиме реального времени в присутствии преподавателя, затем в отчет вставляются ответы на вопросы, заданные преподавателем.

# 1 ЗАДАНИЕ

В ходе теоретико-практического опроса преподавателем были поставлены следующие теоретические вопросы:

1. Дать определение регистра;
2. Рассказать, про типы регистров.

Также, было дано практическое задание: в САПР Vivado создать модуль на языке Verilog HDL, реализующий циклический сдвиг влево.

## 2 ОТВЕТ НА ТЕОРЕТИЧЕСКОЕ ЗАДАНИЕ

Регистр (цифровая техника) — последовательностное логическое устройство, используемое для хранения n-разрядных двоичных чисел и выполнения преобразований над ними.

Регистр представляет собой упорядоченную последовательность триггеров, число которых соответствует числу разрядов в слове.

## 3 РЕШЕНИЕ ПРАКТИЧЕСКОГО ЗАДАНИЯ

## 3.1 Реализация модуля сдвигового регистра

Ниже представлена реализация модуля сдвигового регистра на языке Verilog HDL в САПР Vivado. (Листинг 1.1).

*Листинг 1.1 — Модуль сдвигового регистра на языке Verilog HDL*

|  |
| --- |
| module ShiftRegister\_left(  input wire clk,  input wire [7:0] data\_in,  output reg [7:0] data\_out);  always @(posedge clk) begin  data\_out <= {data\_in[6:0], data\_in[7]};  end  endmodule |

## 3.2 Реализация тестирующего модуля

Модуль был протестирован на корректность работы тестирующем модулем в режиме симуляции в САПР Vivado (Листинг 1.2).

*Листинг 1.2 — Тестирующий модуль на языке Verilog HDL*

|  |
| --- |
| module shift\_register\_tb;    reg clk;  reg [7:0] data\_in;  wire [7:0] data\_out;    ShiftRegister\_left dut (  .clk(clk),  .data\_in(data\_in),  .data\_out(data\_out)  );    initial begin  clk = 0;  data\_in = 8'b11111110;  #10;  #5;  clk = ~clk;  #5;    $finish;  end    endmodule |

## 3.3 Временная диаграмма

Из временной диаграммы мы видим, что в data\_out произошел циклический сдвиг влево.



**Рисунок 2.1 – Временная диаграмма — работа сдвигового регистра**

# ЗАКЛЮЧЕНИЕ

В ходе данной работы были даны ответы на все заданные преподавателем вопросы по пройденным темам, выполнено практическое задание по построению модуля сдвигового регистра в САПР Vivado с проверкой выполненного модуля.

# СПИСОК ИСПОЛЬЗОВАННЫХ ИСТОЧНИКОВ

1. Методические указания по ПР № 1 — URL: https://onlineedu.mirea.ru/mod/resource/view.php?id=405132 (Дата обращения: 06.12.2023).

2. Методические указания по ПР № 2 — URL: https://onlineedu.mirea.ru/mod/resource/view.php?id=409130 (Дата обращения: 2-06.12.2023).

3. Смирнов С.С. Информатика [Электронный ресурс]: Методические указания по выполнению практических и лабораторных работ / С.С. Смирнов — М., МИРЭА — Российский технологический университет, 2018. — 1 электрон. опт. диск (CD-ROM).

4. Тарасов И.Е. ПЛИС Xilinx. Языки описания аппаратуры VHDL и Verilog, САПР, приемы проектирования. — М.: Горячая линия — Телеком, 2021. — 538 с.: ил.