

## Σχεδιασμός Ολοκληρωμένων Κυκλωμάτων VLSI I

Εργαστήριο 5

Ομάδα 4

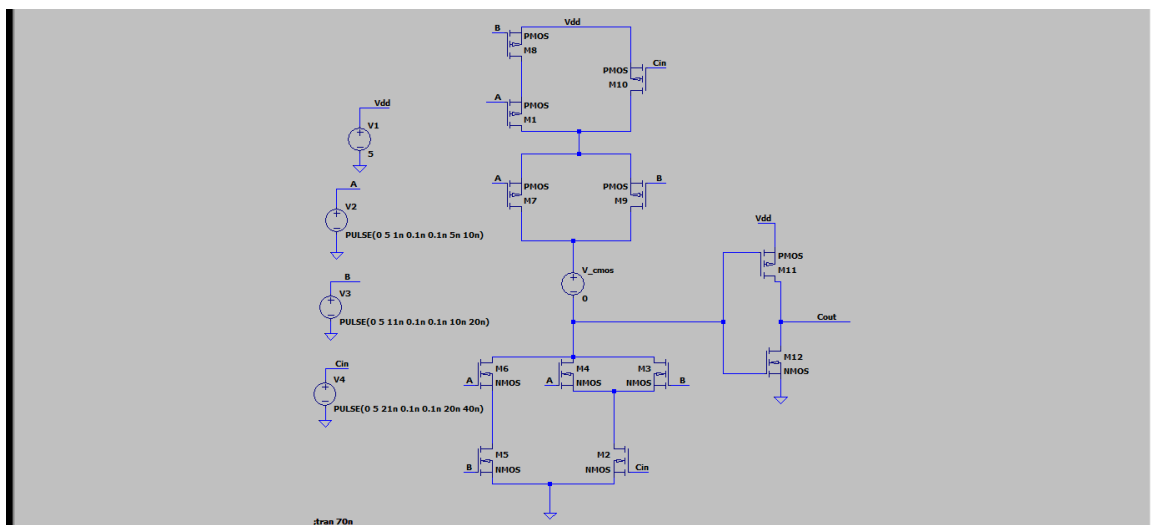
ΕΠΩΝΥΜΟ	ΟΝΟΜΑ	ΑΡΙΘΜΟΣ ΜΗΤΡΩΟΥ
ΒΑΓΓΕΛΗΣ	ΧΡΙΣΤΟΦΟΡΟΣ	1053715
ΔΑΣΟΥΛΑΣ	ΙΩΑΝΝΗΣ	1053711

### 5η Εργαστηριακή Άσκηση

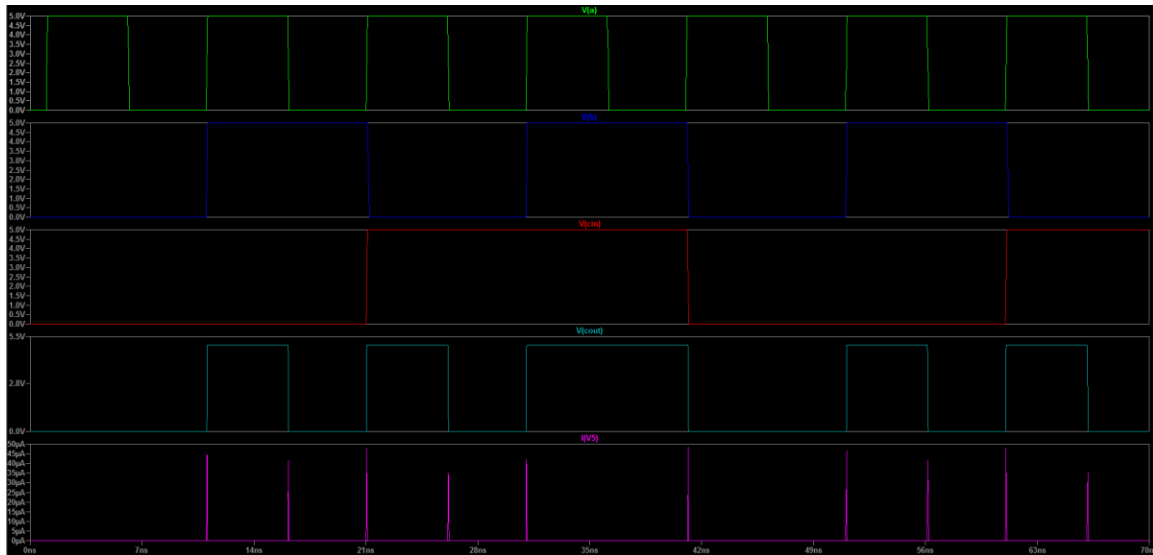
Σχεδιασμός και Προσομοίωση Κυκλωμάτων με τη Χρήση του LTSpice.

#### 3) Σχεδιασμός της Συνάρτησης Υπολογισμού Κρατουμένου σε Επίπεδο Τρανζίστορ

##### 3.1) Σχεδιασμός και Προσομοίωση της Συνάρτησης Υπολογισμού Κρατουμένου με Λογική CMOS.

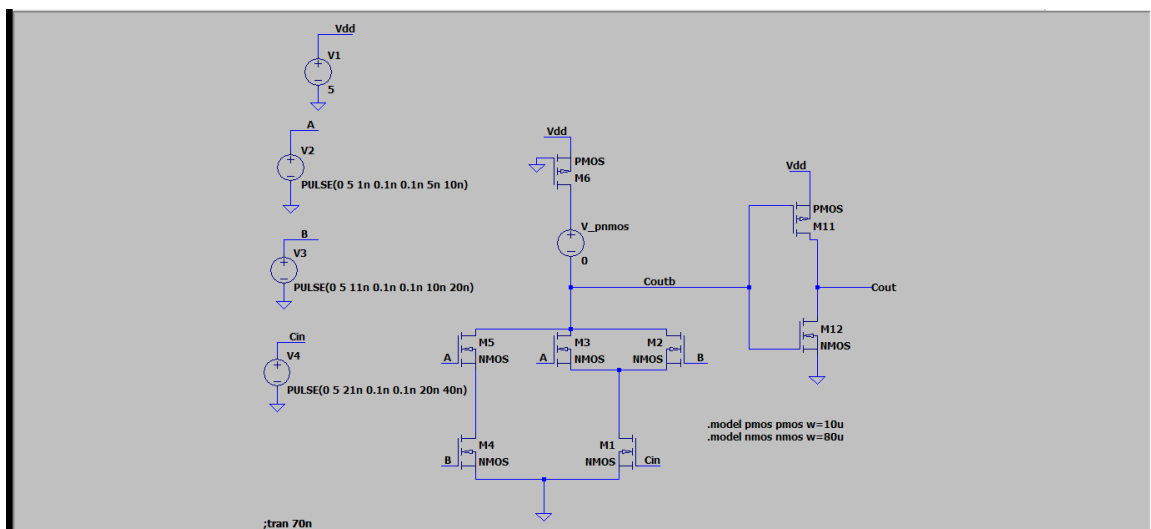


Simulation:

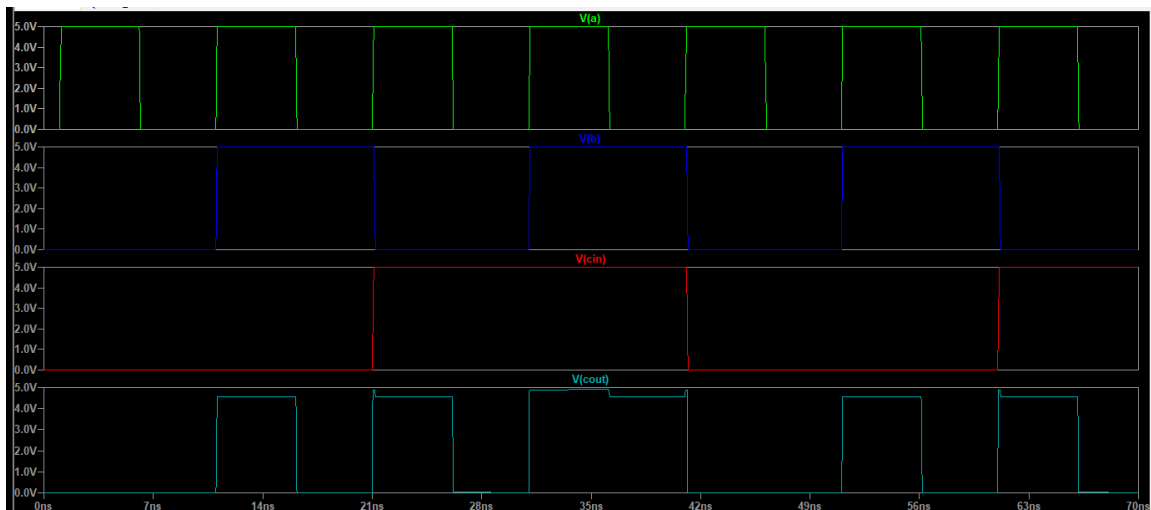


### 3.2) Σχεδιασμός και Προσομοίωση της Συνάρτησης Υπολογισμού Κρατούμενου με Λογική pseudo-NMOS.

Η λογική ψεύδο-NMOS αποτελείται από το δικτύωμα τύπου N που σχεδιάστηκε στην προηγούμενη ενότητα, ενώ το δικτύωμα τύπου P αποτελείται από ένα μοναδικό τρανζίστορ τύπου P. Η είσοδος του τρανζίστορ τύπου P συνδέεται στο λογικό 0 ώστε αυτό να άγει φορτίζοντας διαρκώς την έξοδο. Έτσι, ο σχεδιασμός της συνάρτησης μας φαίνεται παρακάτω.

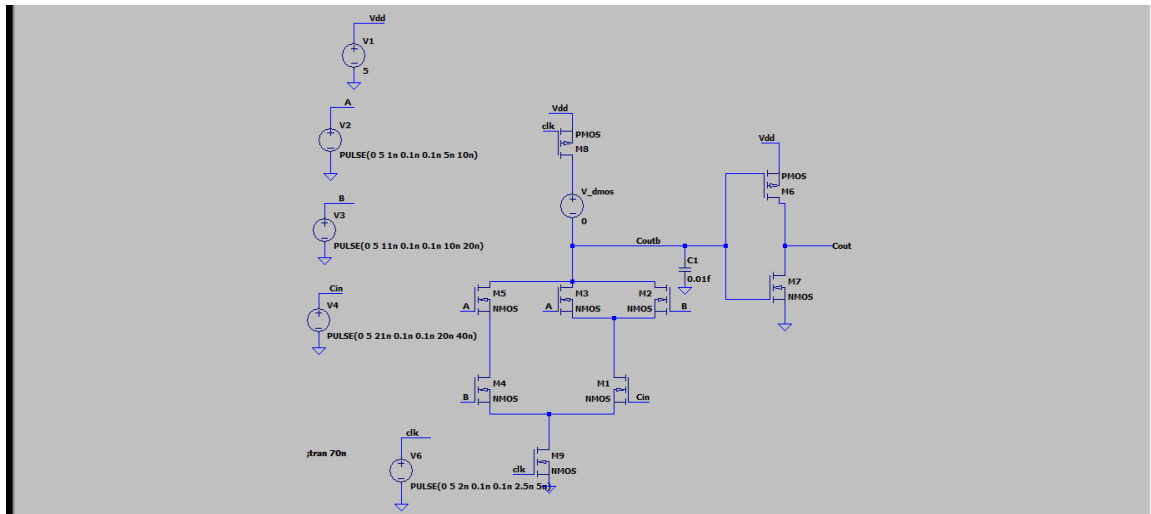


## Simulation:

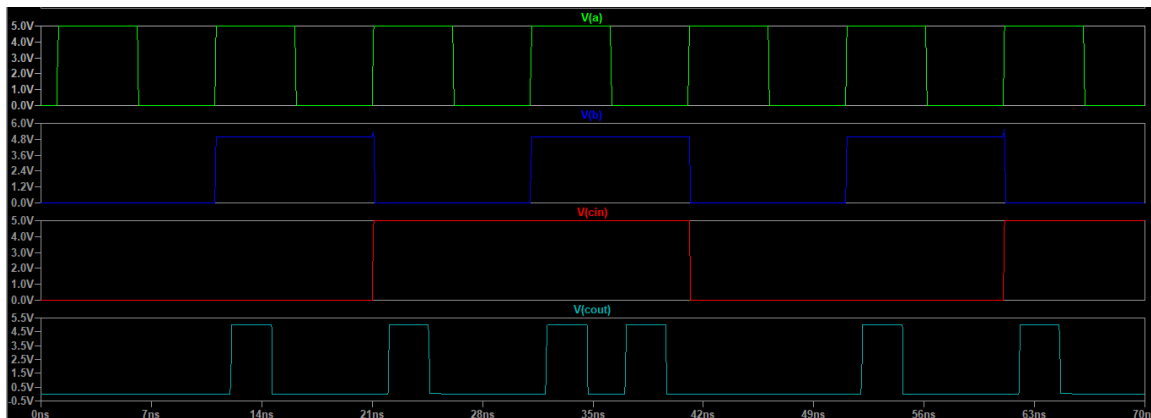


### 3.3) Σχεδιασμός και Προσομοίωση της Συνάρτησης Υπολογισμού Κρατουμένου με Δυναμική Λογική.

Ο σχεδιασμός με χρήση δυναμικής λογικής αποτελεί τροποποίηση του σχεδιασμού με λογική pseudo-NMOS. Στη συγκεκριμένη περίπτωση εισάγεται ένα επιπλέον τρανζίστορ τύπου N ανάμεσα στο δικτύωμα τύπου N και τη γείωση. Η πύλη αυτού του τρανζίστορ καθώς και του τρανζίστορ τύπου P συνδέονται με ένα ρολόι(clock) εισάγοντας με αυτόν τον τρόπο την έννοια της τροφορτίσης και του υπολογισμού στο κύκλωμα. Η έξοδος του κυκλώματος είναι έγκυρη μόνο όταν το ρολόι έχει την τιμή 1. Έτσι, ο σχεδιασμός της συνάρτησης μας με λογική pseudo-NMOS φαίνεται παρακάτω. Στην έξοδο της δυναμικής πύλης έχει συνδεθεί ένας μικρός πυκνωτής έτσι ώστε αυτή να παραμένει στα 5 V όταν το δικτύωμα τύπου N δεν άγει.

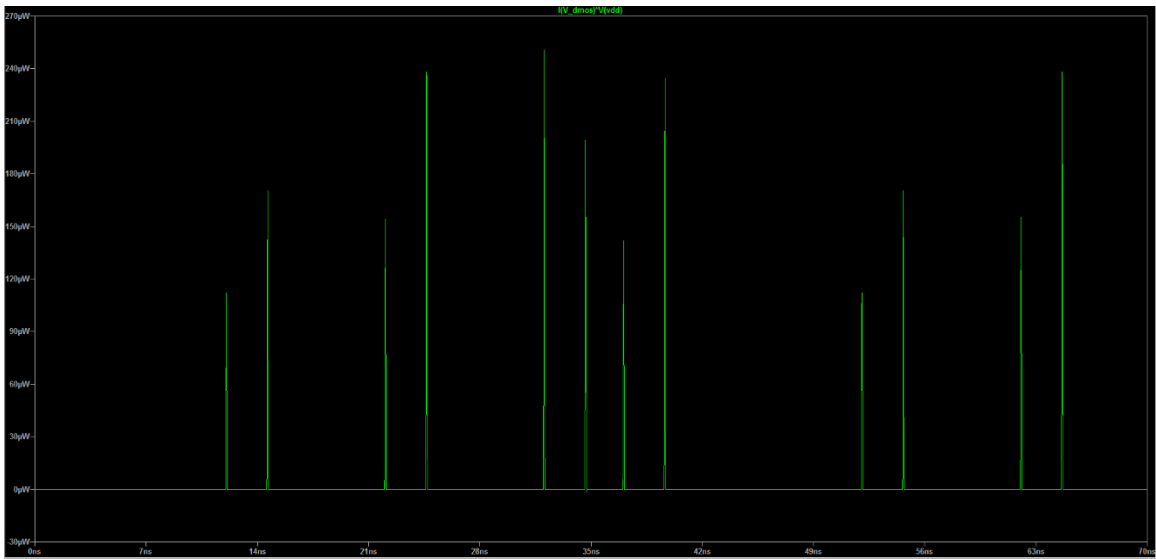
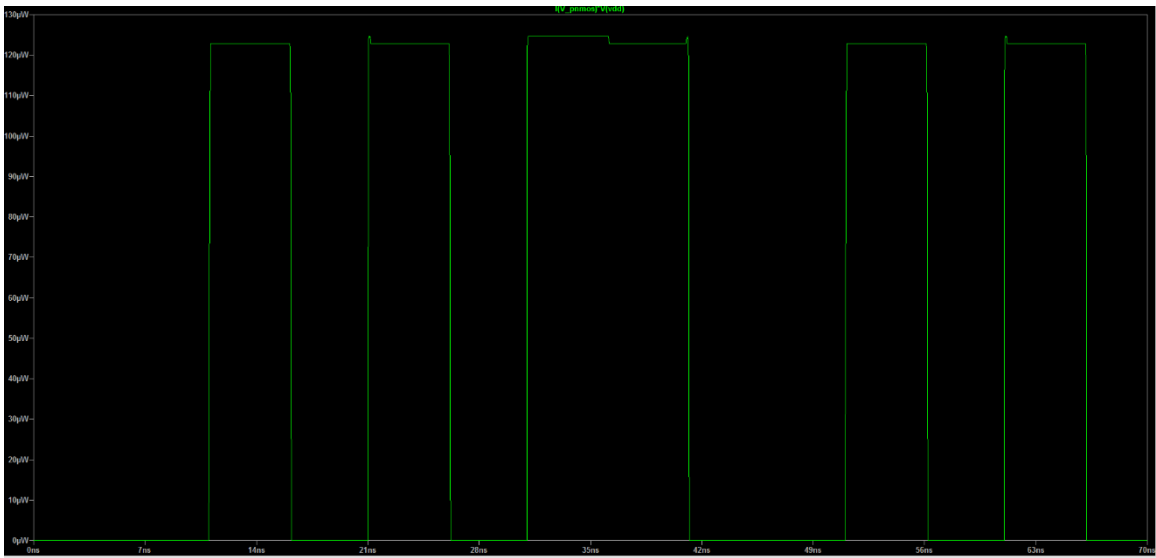
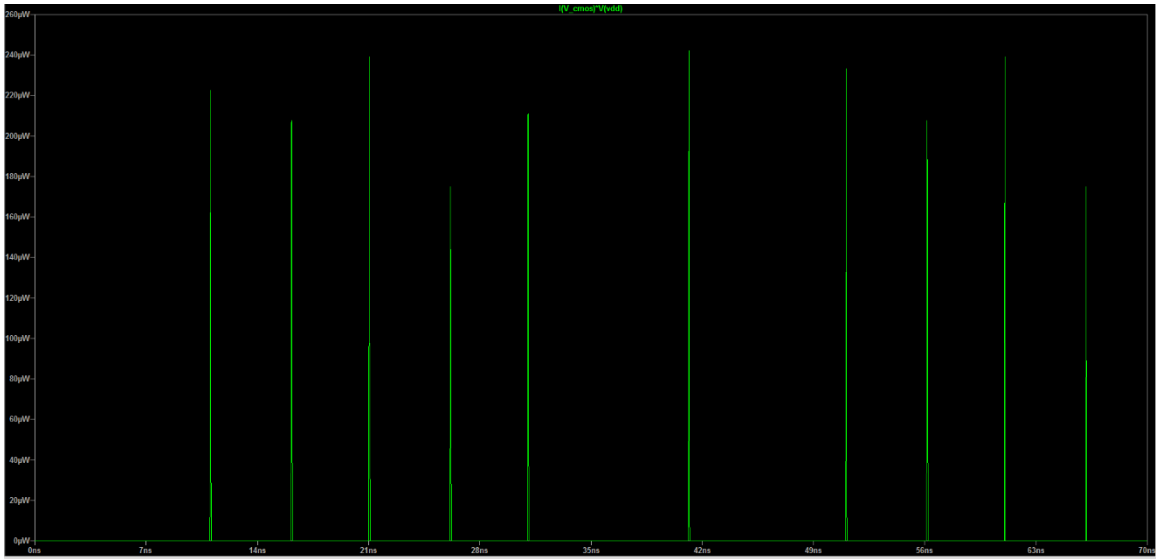


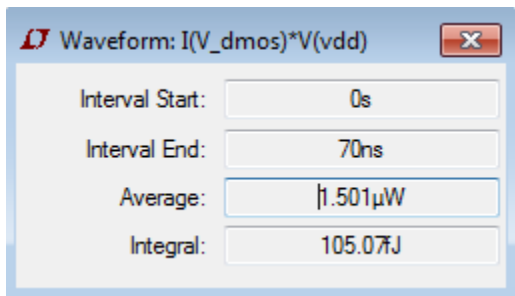
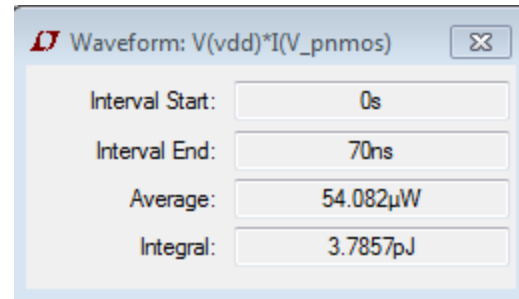
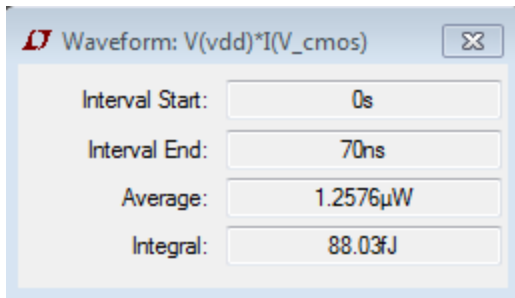
## Simulation:



## 3.4)Σύγκριση Κατανάλωσης Σχεδιασμών.

Παρακάτω βλέπουμε τις κυματομορφές κατανάλωσης ισχύος για λογική CMOS, pseudo-CMOs και δυναμική αντίστοιχα.





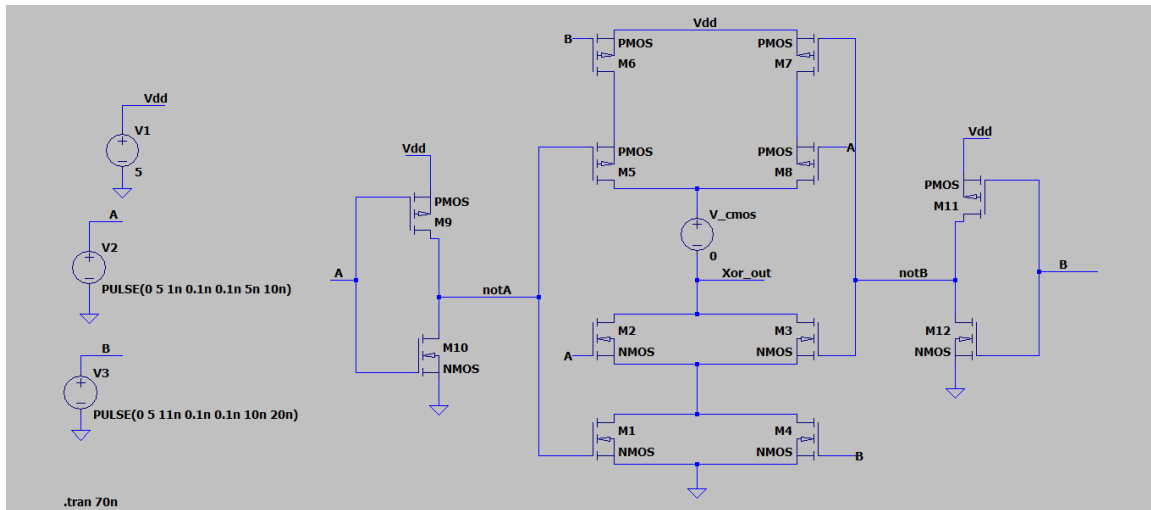
Το κύκλωμα με τη μικρότερη κατανάλωση είναι αυτό που χρησιμοποιεί τη λογική CMOS. Αντίθετα, το κύκλωμα της pseudo-NMOS λογικής είναι αυτό με τη μεγαλύτερη κατανάλωση καθώς το τρανζίστορ τύπου P άγει συνεχώς τραβώντας ρεύμα από την τροφοδοσία. Η κατανάλωση περιορίζεται με τη δυναμική λογική όπου το τρανζίστορ τύπου P άγει σύμφωνα με το ρολόι.

#### 4) Σχεδιασμός της Συνάρτησης Υπολογισμού Αθροίσματος σε Επίπεδο Τρανζίστορ

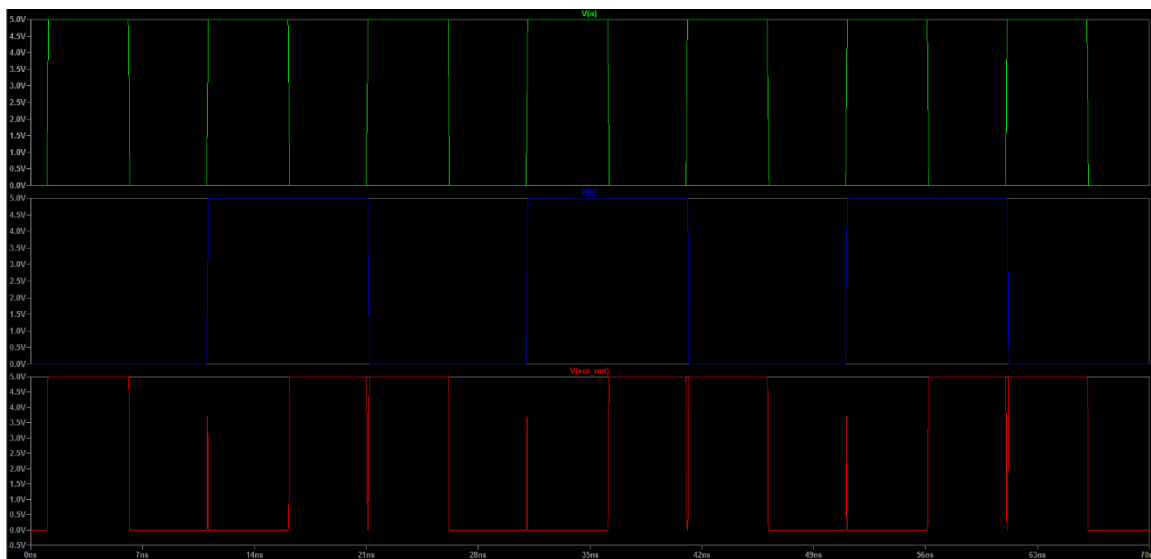
a)

Λογική CMOS:

Αρχείο: xor1.asc

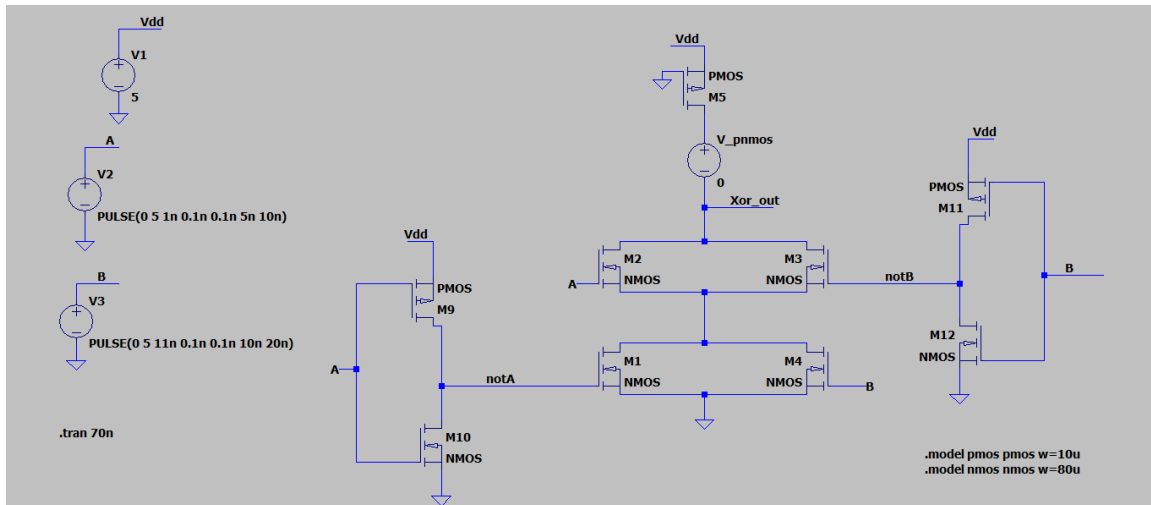


## Simulation:

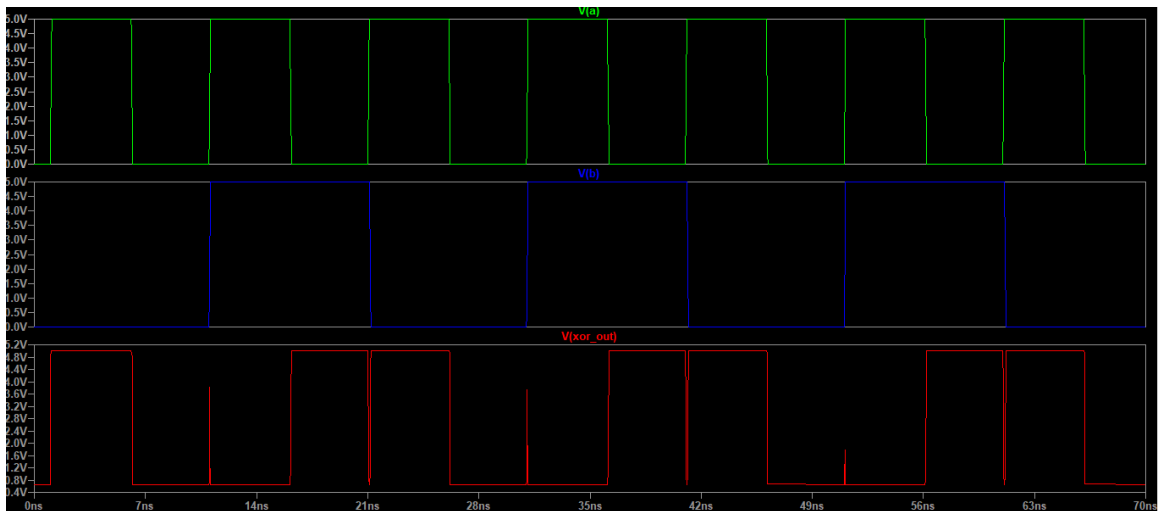


## Δογική pseudo-nmos:

Αρχείο:xor2.asc



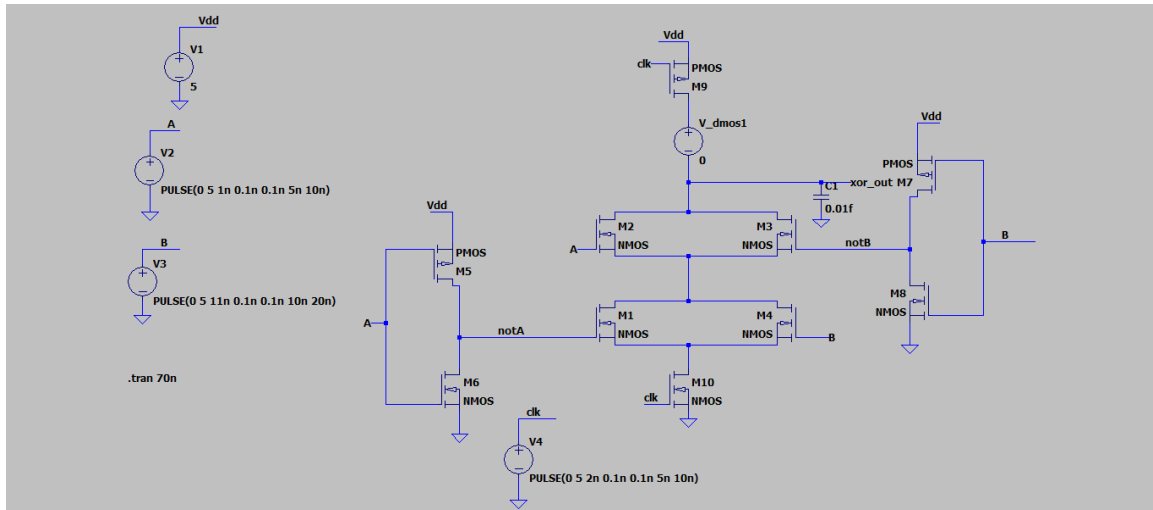
## Simulation:



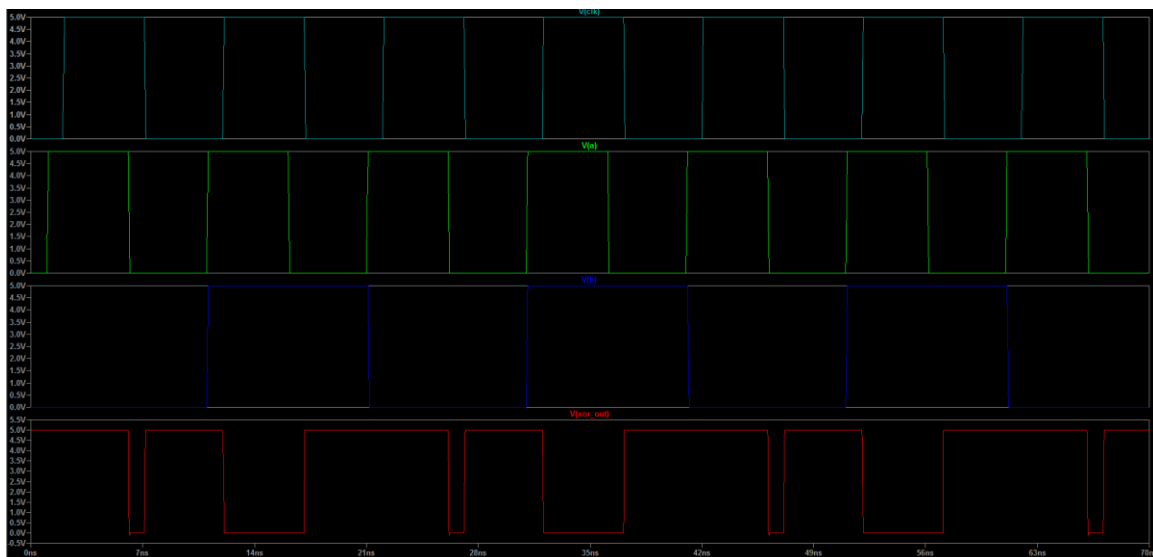
## Δυναμική λογική:

Αρχείο:xor3.asc



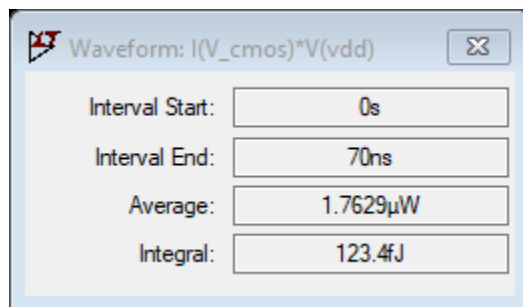
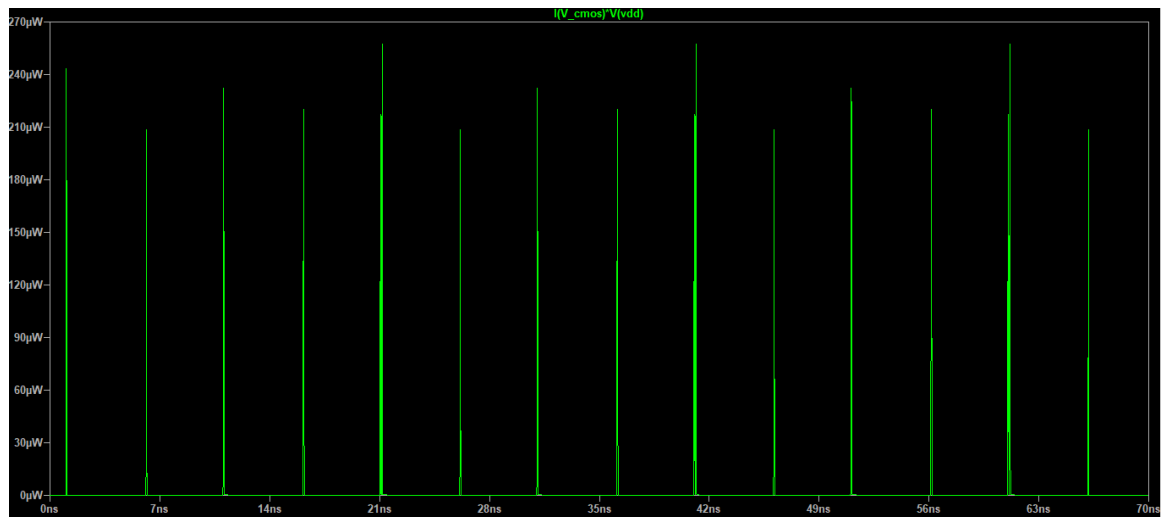


**Simulation:**

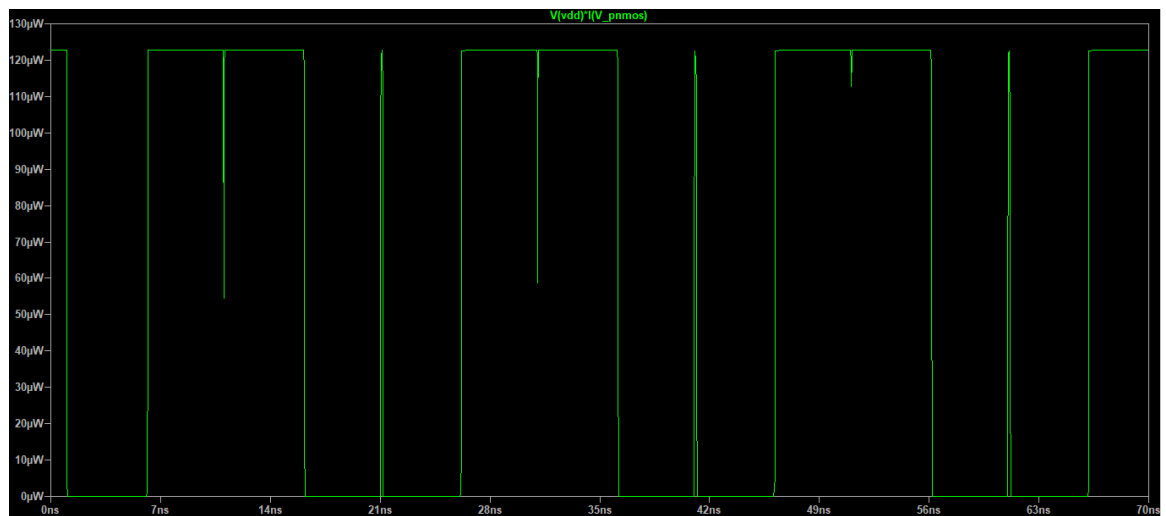


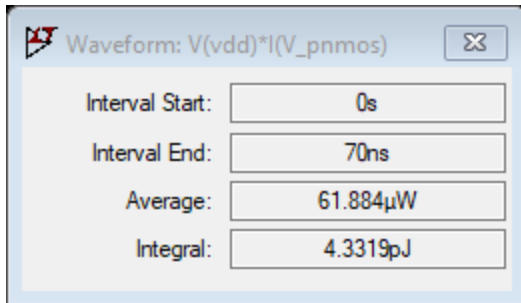
b)

Λογική Cmos:

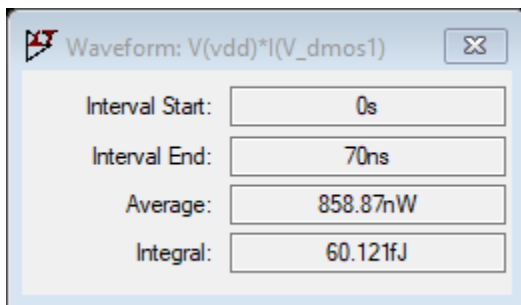
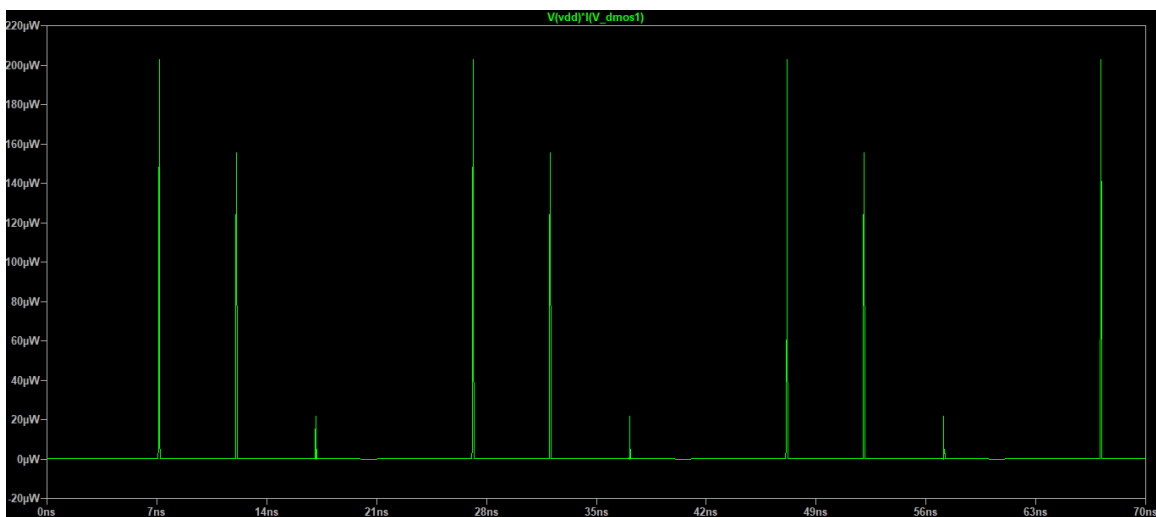


### Λογική pseudo-Nmos:





### Δυναμική λογική:

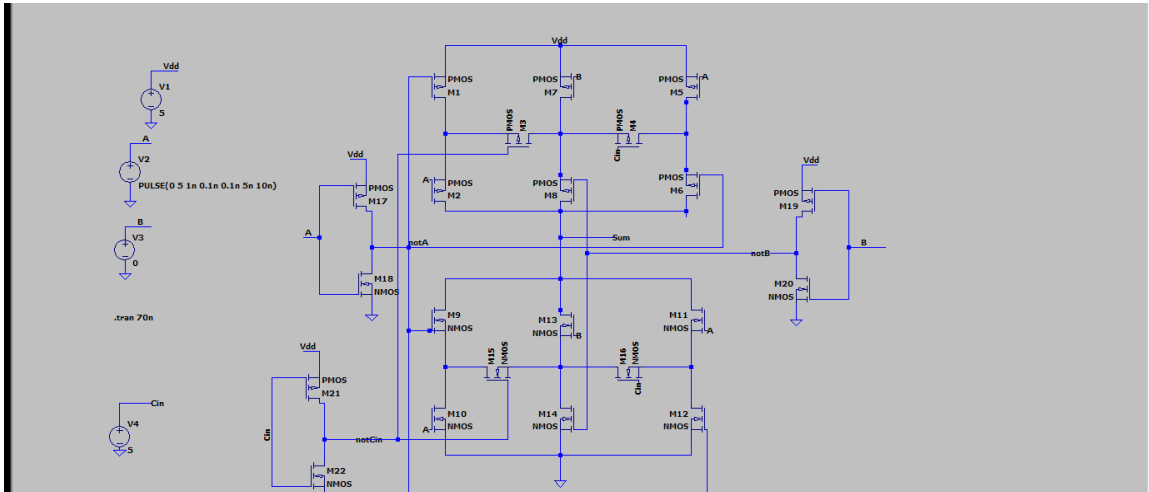


**Συμπέρασμα:** Παρατηρούμε ότι την μικρότερη κατανάλωση έχει η υλοποίηση με δυναμική λογική. Με τη δυναμική λογική το transistor τύπου P άγει σύμφωνα με το clock. Επομένως με κατάλληλη την κυματομορφή του clock (ή αλλάζοντας την χωρητικότητα εξόδου) μπορούμε να μειώσουμε την κατανάλωση. Τη μεγαλύτερη κατανάλωση την παρατηρούμε στην υλοποίηση με τη λογική pseudo-nmos καθώς το transistor τύπου -P άγει συνεχώς τραβώντας ρεύμα από την τροφοδοσία.

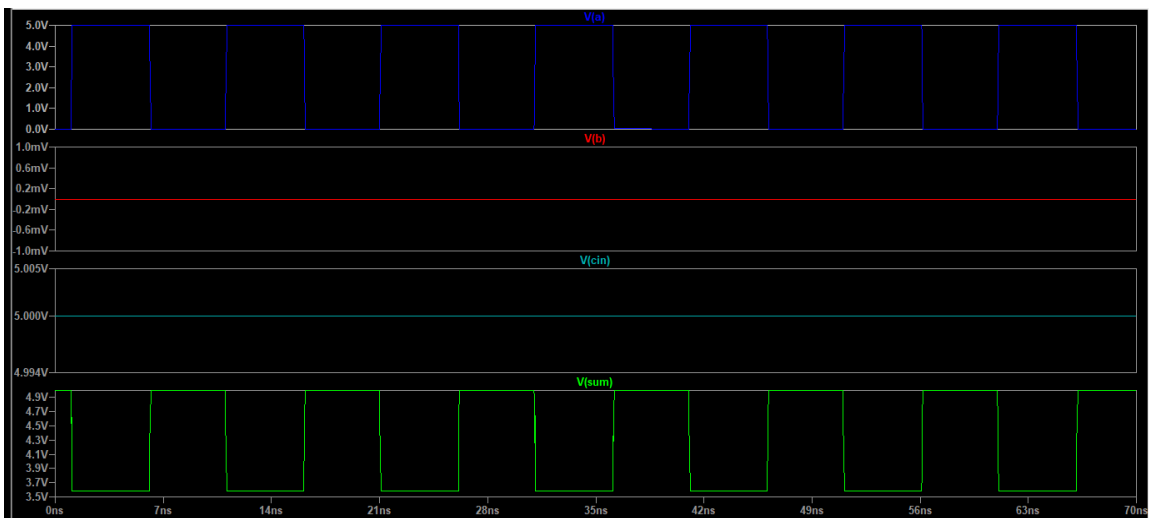
c)

### Λογική CMOS:

Αρχείο:Sum1.asc



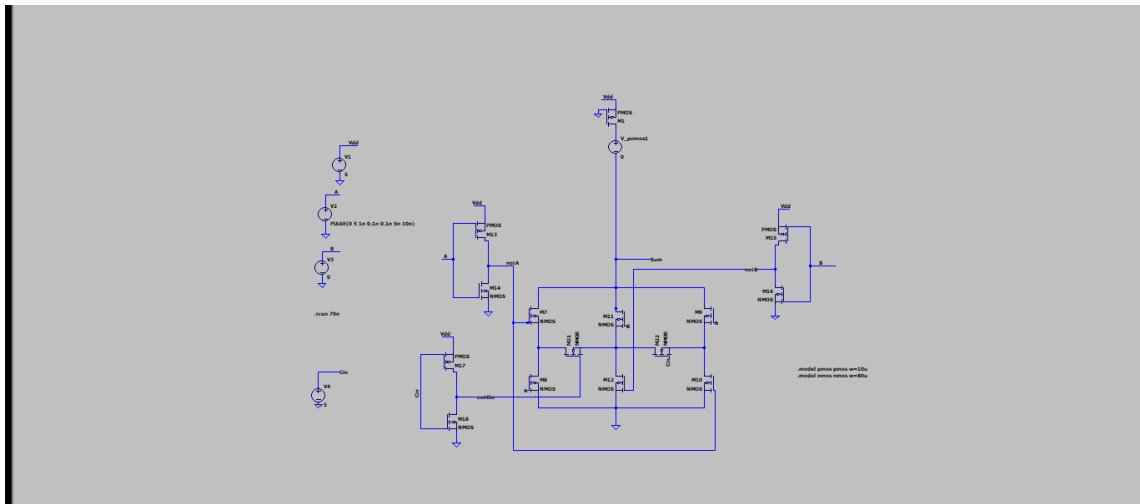
### Simulation:



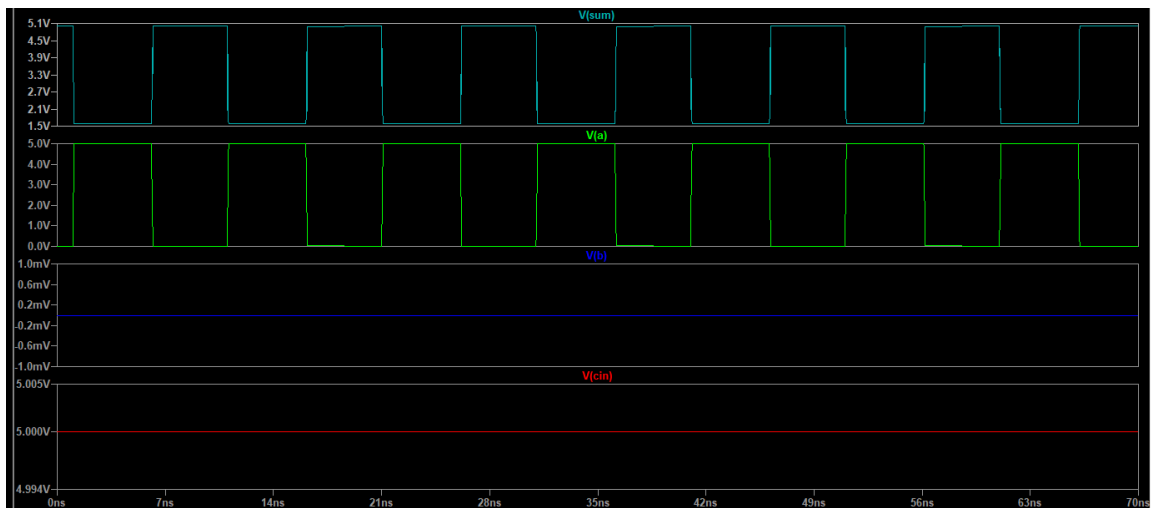
Εφαρμόζουμε σταθερούς παλμούς εισόδου  $C_{in}=5\text{ V}$  και  $B=0\text{ V}$  επομένως η κυματομορφή εξόδου θα πρέπει να είναι high (δηλαδή λογικό '1') ,όταν έχουμε μονό αριθμό άσσων και low( δηλαδή λογικό '0' ) ,όταν έχουμε ζυγό αριθμό άσσων.

## Λογική pseudo-Nmos:

Αρχείο:Sum2.asc

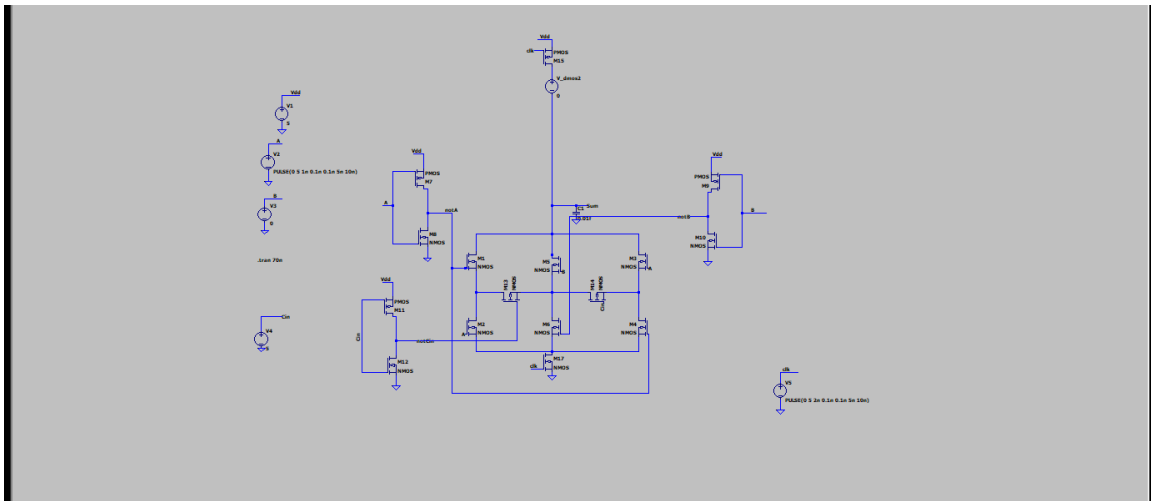


## Simulation:

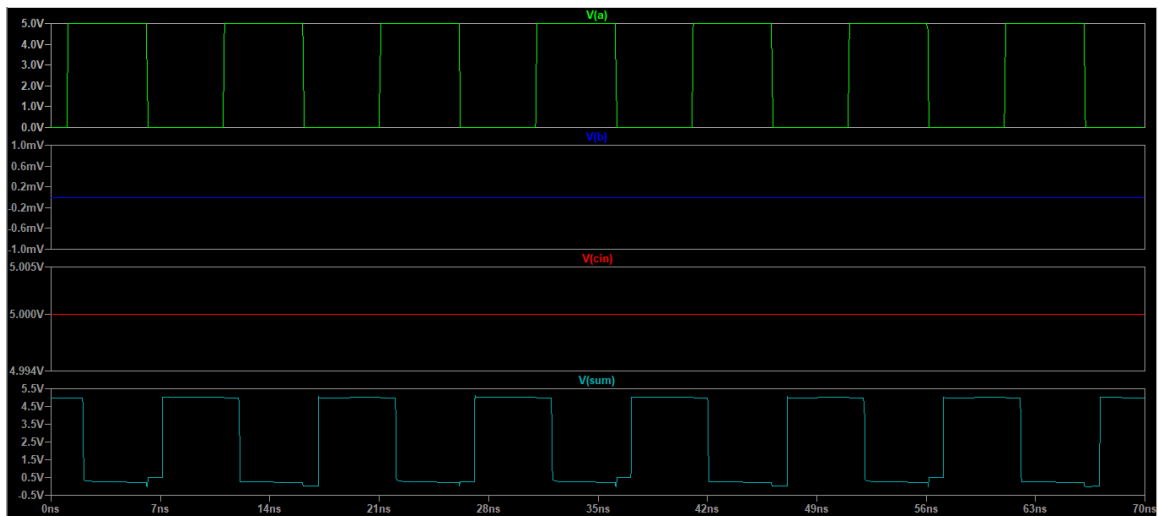


## Δυναμική λογική:

Αρχείο:Sum3.asc

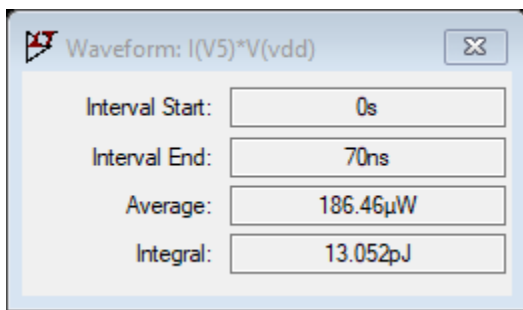
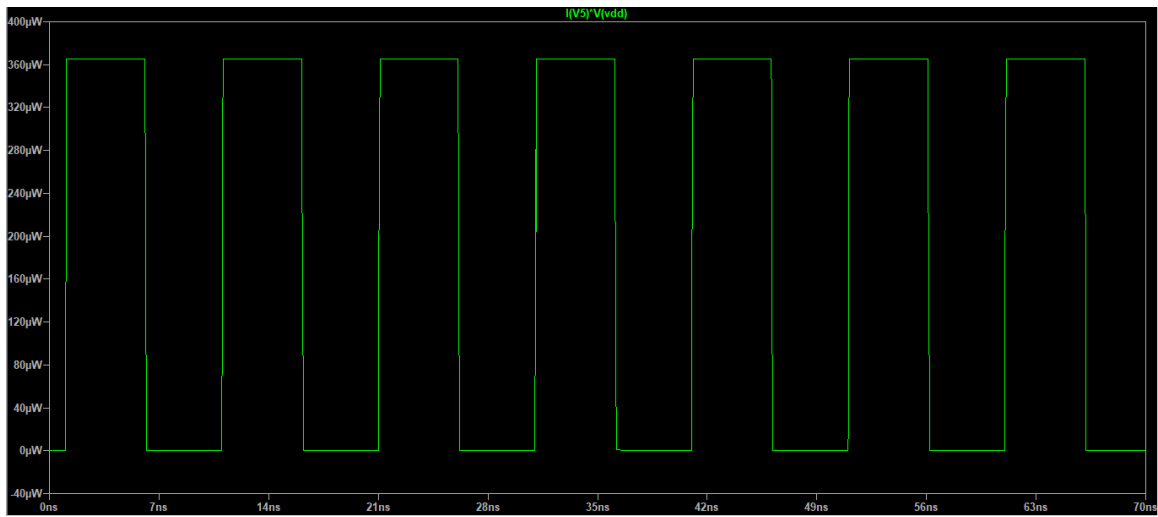


## Simulation:

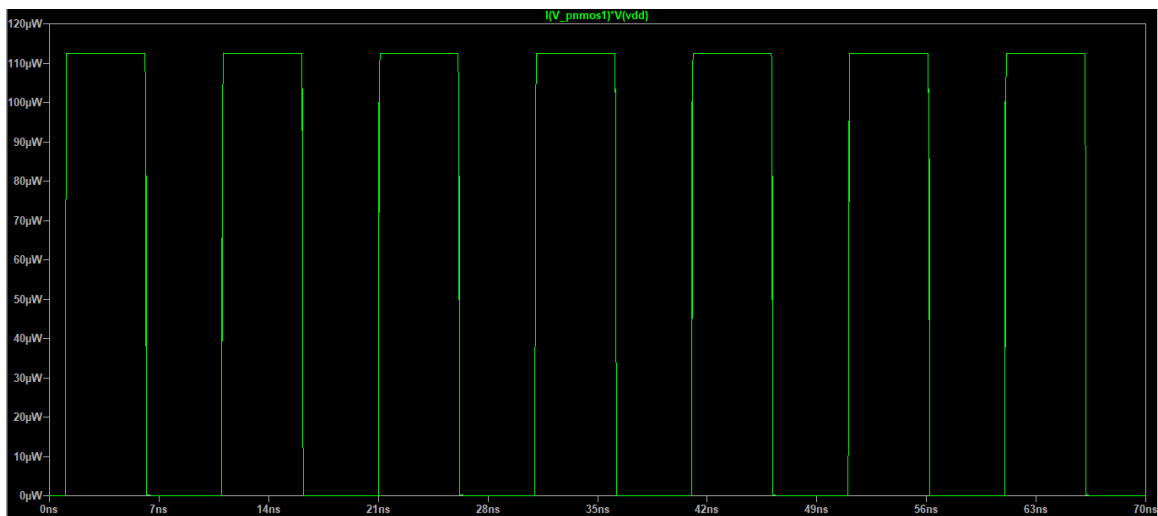


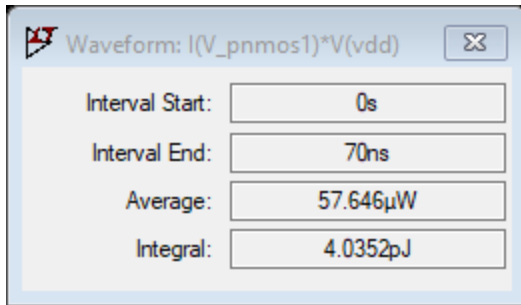
d)

**CMOS:**

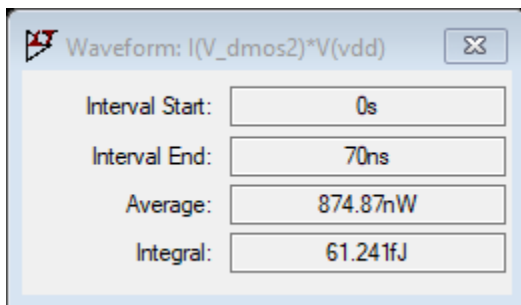
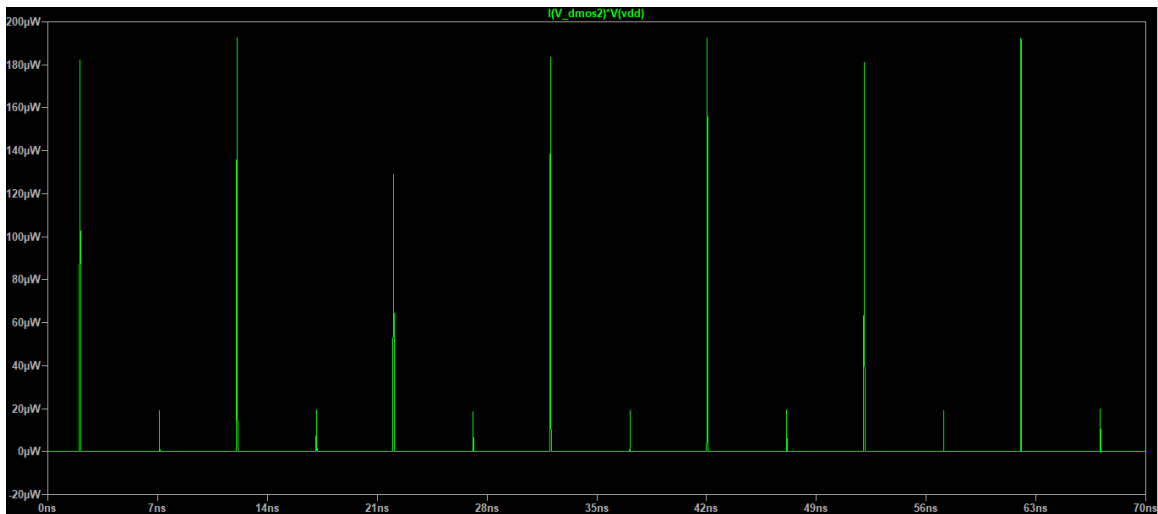


**PSEUDO-NMOS:**





### Δυναμική:



**Συμπέρασμα:** Παρατηρούμε ότι την μικρότερη κατανάλωση έχει η υλοποίηση με δυναμική λογική, αυτή τη φορά με πολύ μεγάλη βελτίωση σε σχέση με την cmos λογική. Η μεγάλη αυτή βελτίωση οφείλεται στον μεγάλο αριθμό transistor του pmos block στον αθροιστή, που είναι αρκετά μεγαλύτερος της απλής χορδής. Επομένως, όσο μεγαλύτερο, σε hardware, το κύκλωμα που υλοποιείται, τόσο πιο χρήσιμη είναι η δυναμική λογική, από άποψη κατανάλωσης.



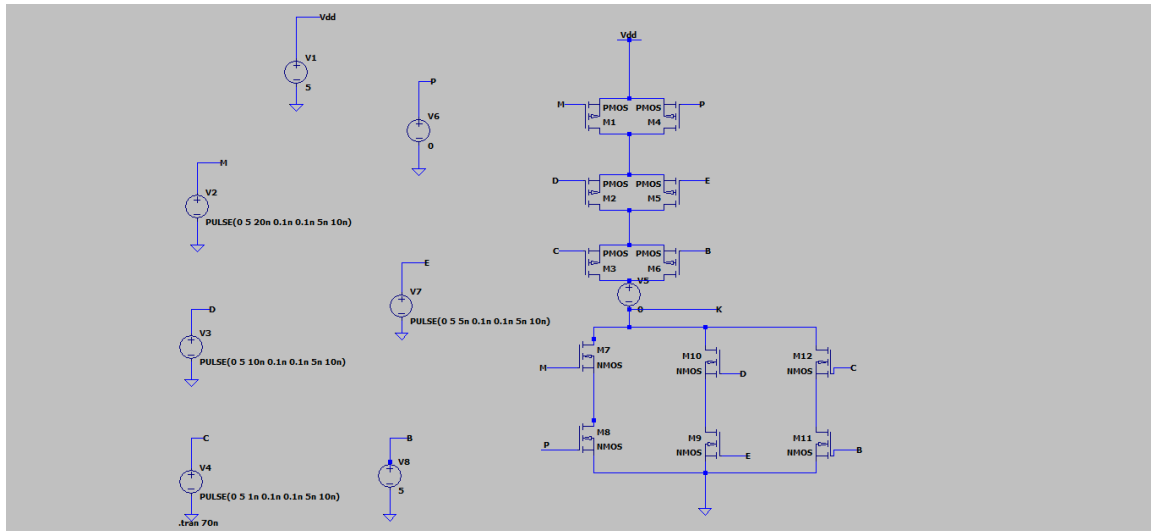
## 5)Εργασία Για το Σπίτι

### 5.1) Υλοποίηση της Συνάρτησης $K=(MP+DE+CB)'$

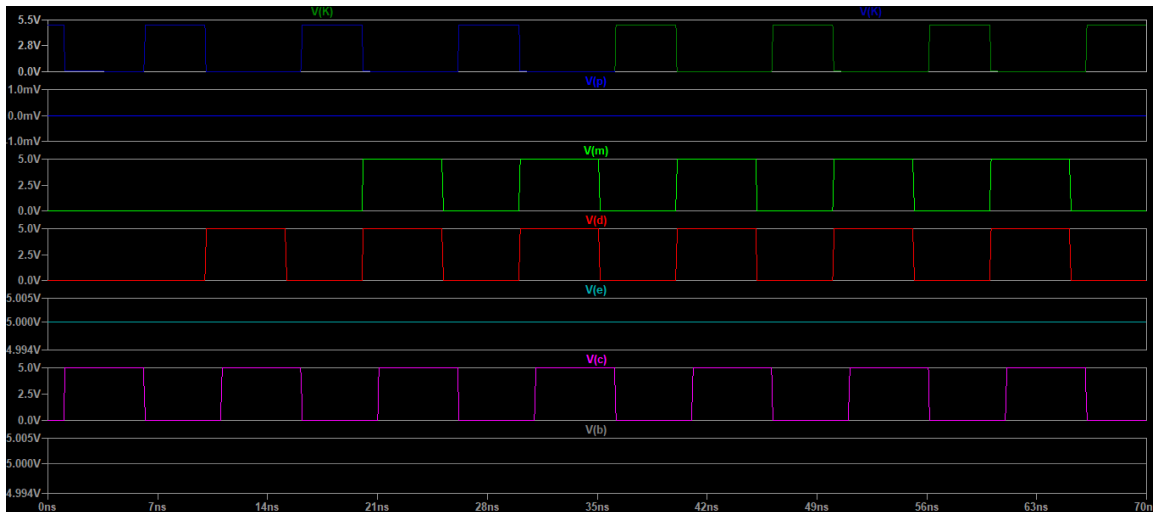
a)

Λογική CMOS:

Αρχείο:5\_1\_1.asc



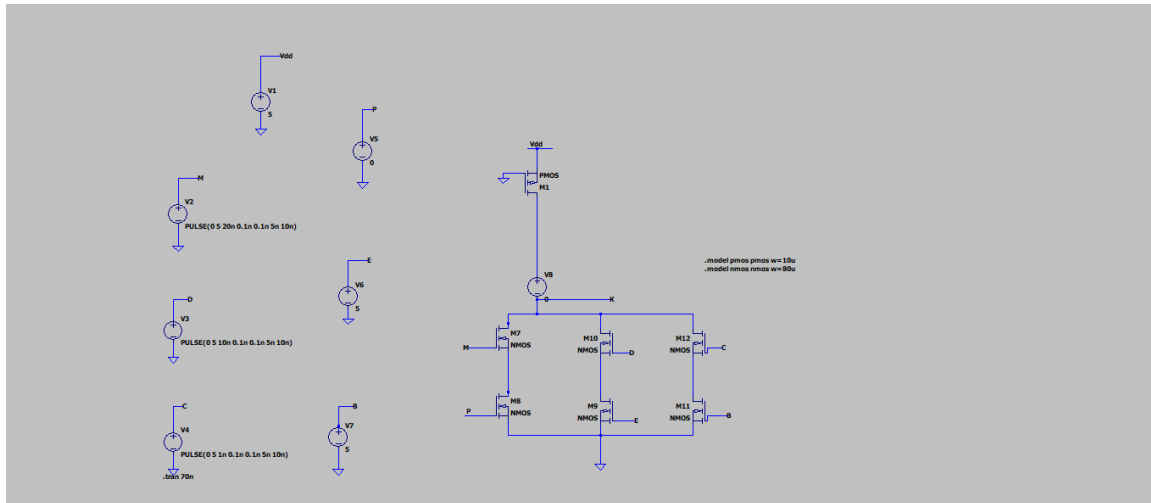
simulation:



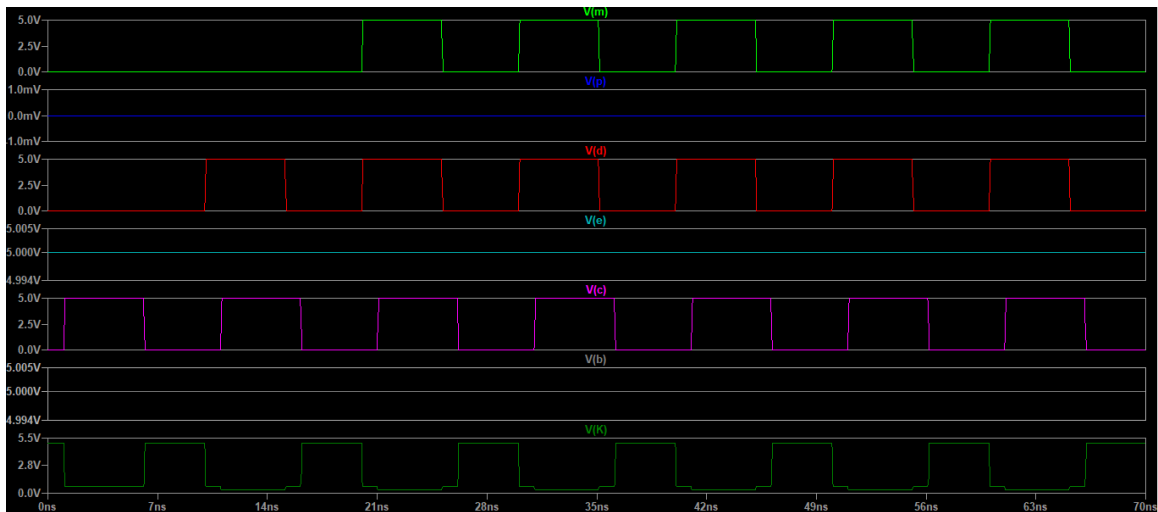
Έχουμε την είσοδο P να ισούται με 0 για όλη τη διάρκεια της προσομοίωσης επομένως  $(M \text{ AND } P) = 0$ . Επίσης έχουμε τις εισόδους  $E=B=1$  για όλη τη διάρκεια της προσομοίωσης επομένως η κυματομορφή  $(D \text{ AND } E)$  θα είναι η ίδια με την κυματομορφή της εισόδου D. Ομοίως και για την κυματομορφή  $(C \text{ AND } B)$ , που θα ακολουθεί την κυματομορφή της C. Οπότε η έξοδος θα είναι η συμπληρωματική της κυματομορφής C+D.

## Λογική PSEUDO NMOS:

Αρχείο:5\_1\_2.asc

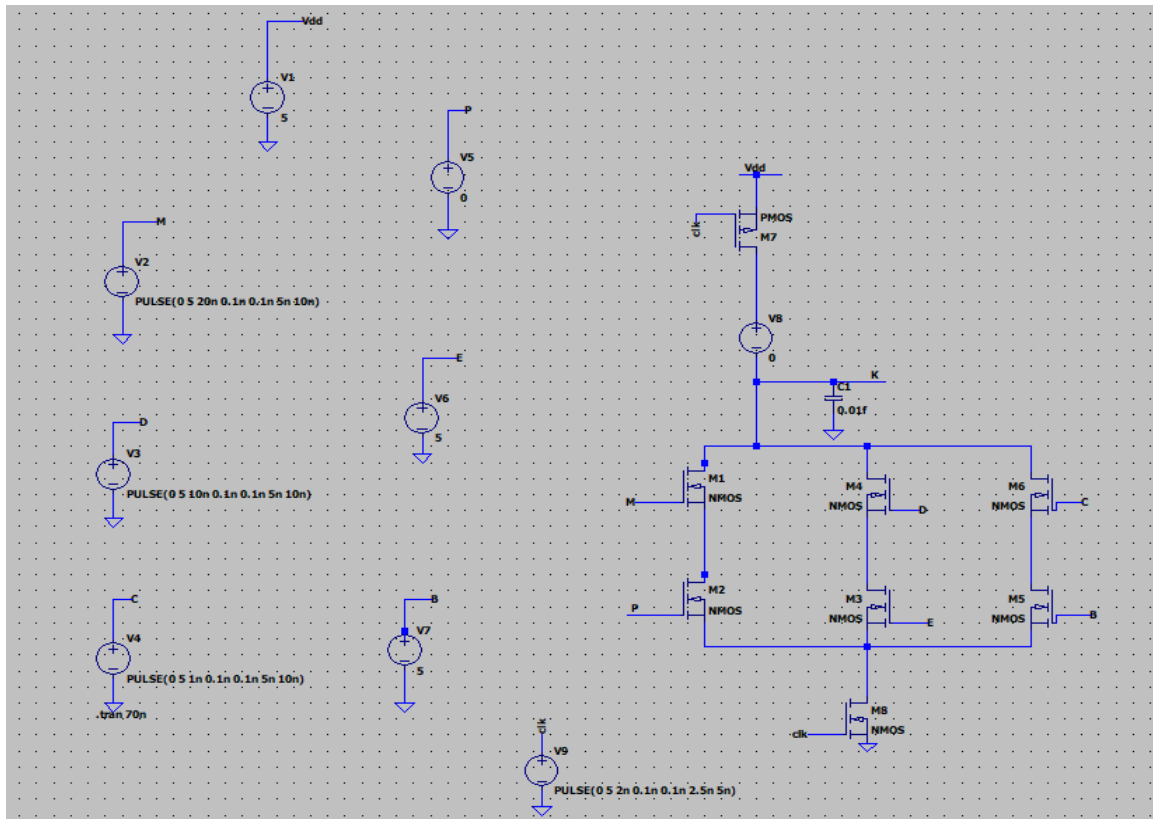


## Simulation:

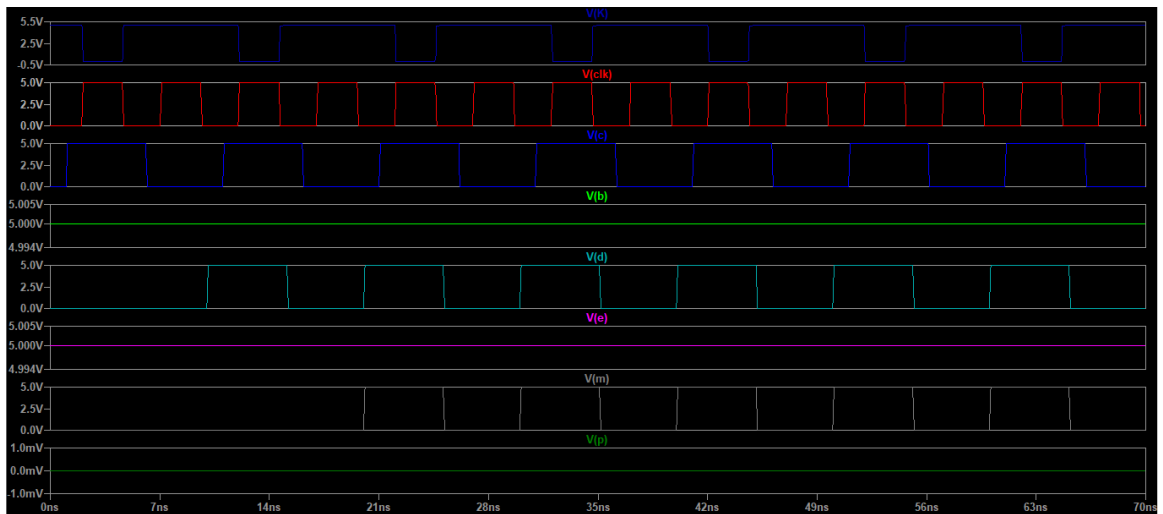


## ΔΥΝΑΜΙΚΗ Λογική:

Αρχείο:5\_1\_3.asc

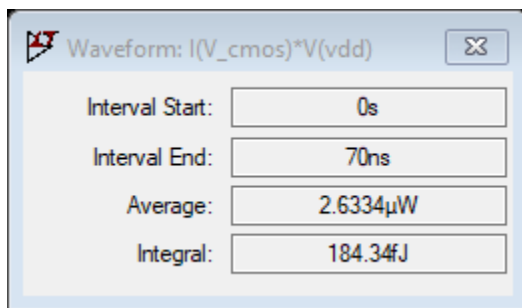
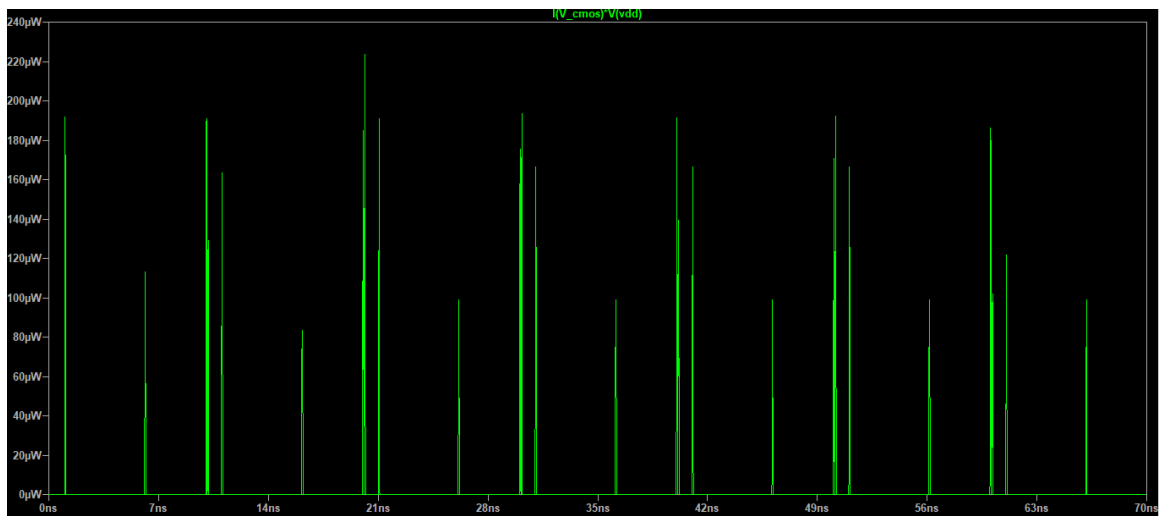


## Simulation:

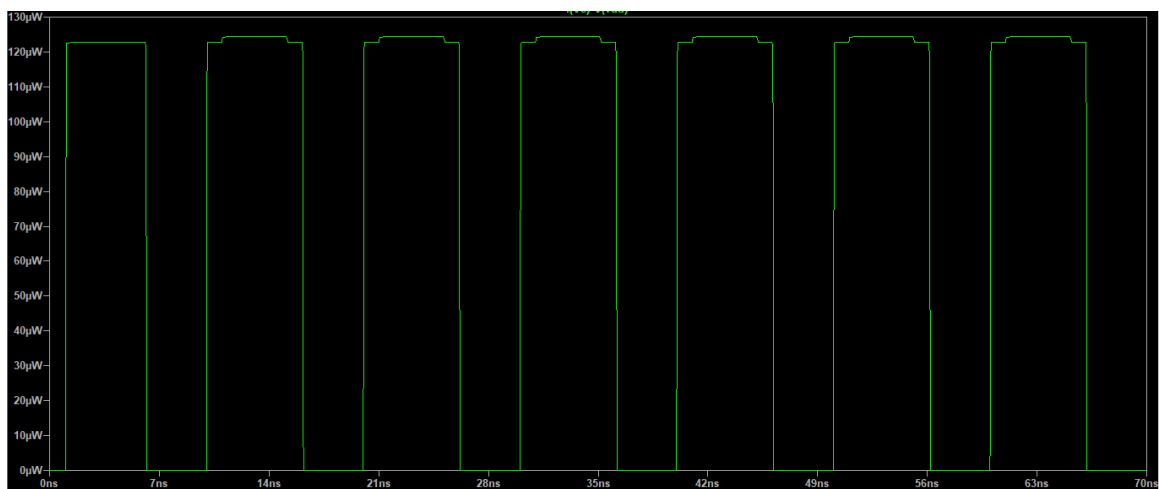


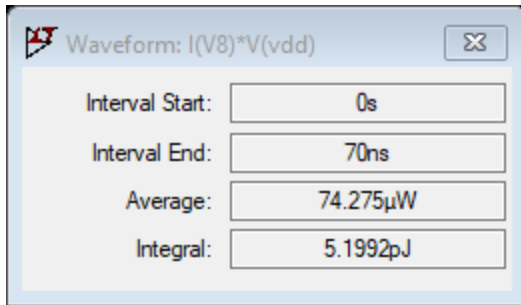
b)

### Λογική CMOS:

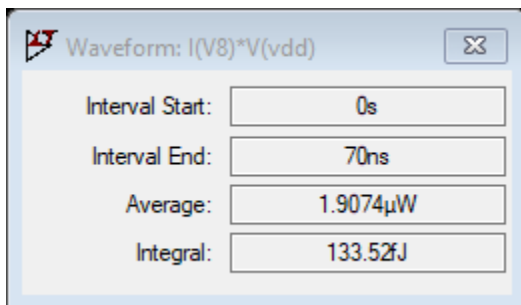
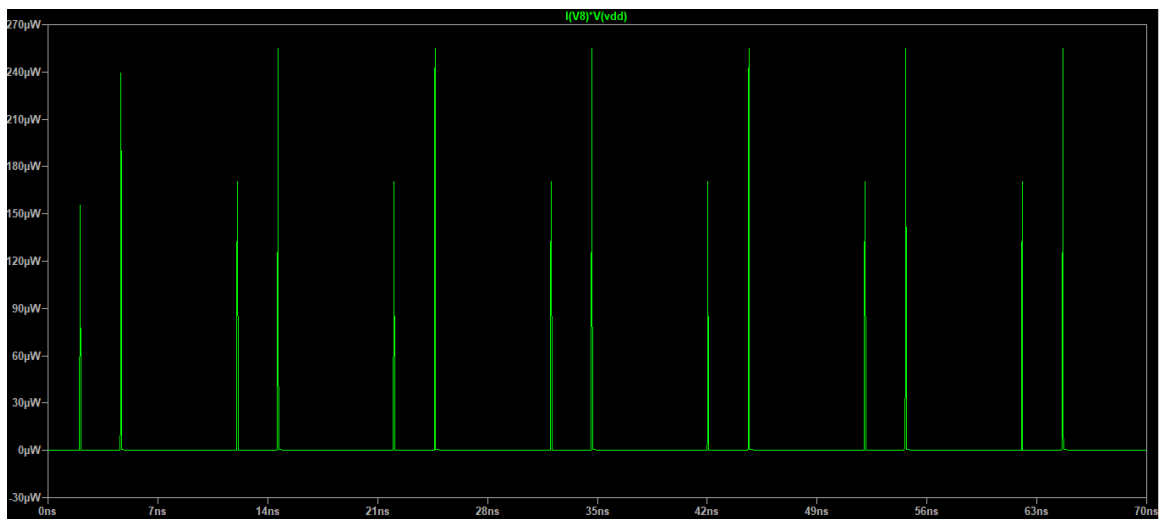


### Λογική PSEUDO-NMOS:





Δυναμική λογική:



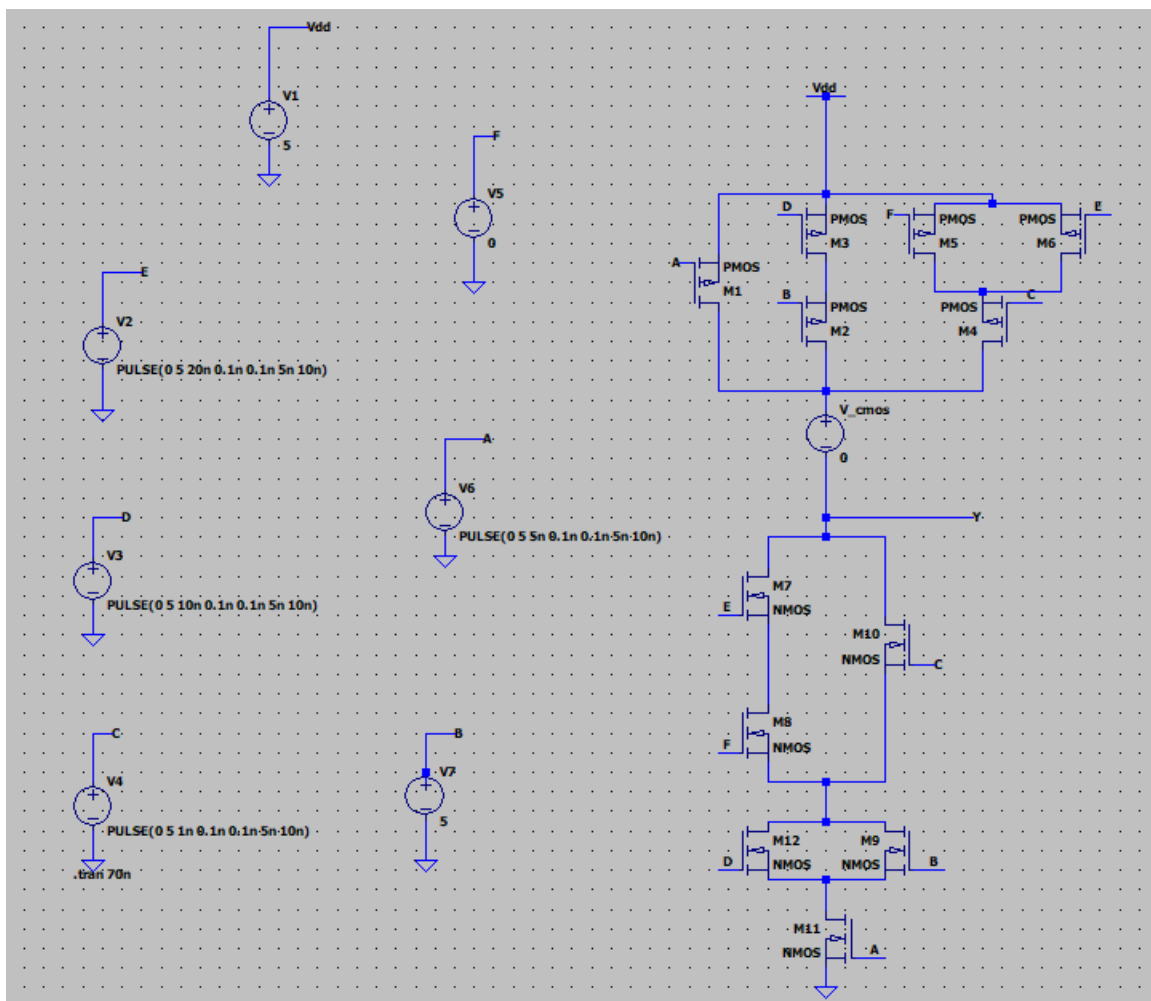
**Συμπέρασμα:** Σε αυτό το κύκλωμα, όπου το clock του nmos οδηγεί παράλληλα συνδεδεμένα transistors, η δυναμική λογική παρουσιάζει βελτίωση στην κατανάλωση αλλά όχι πολύ μεγάλη.

## 5.2) Σχεδιασμός της Συνάρτησης $Y=[A(B+D)(C+FE)]'$

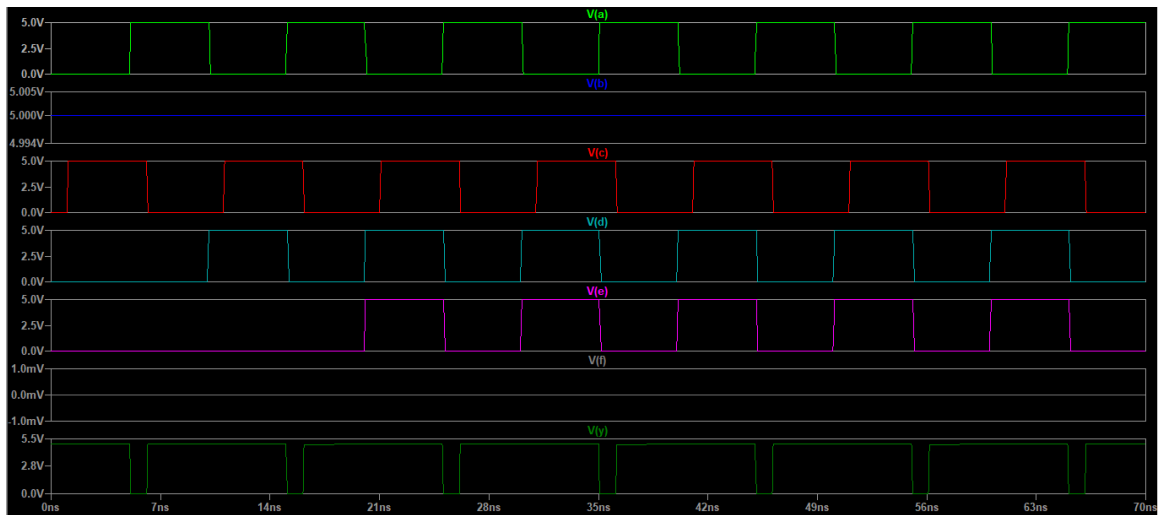
a)

Λογική CMOS:

Αρχείο:5\_2\_1.asc

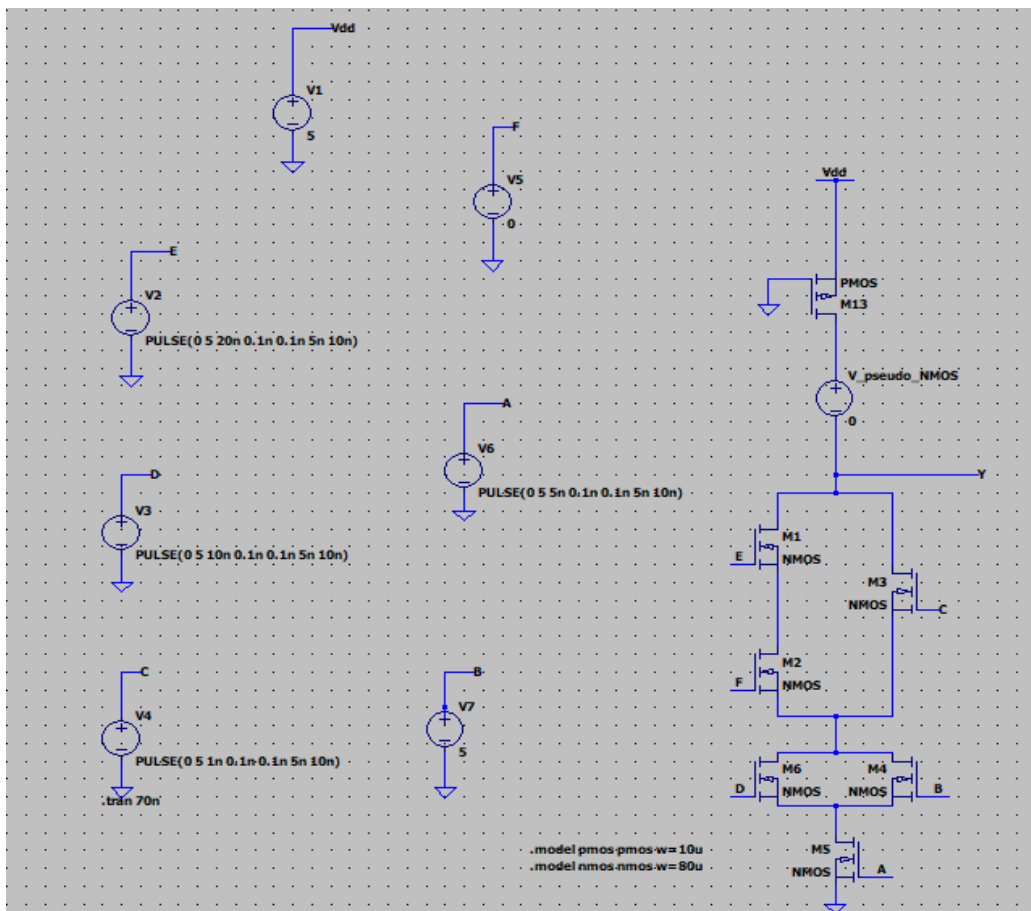


## Simulation:

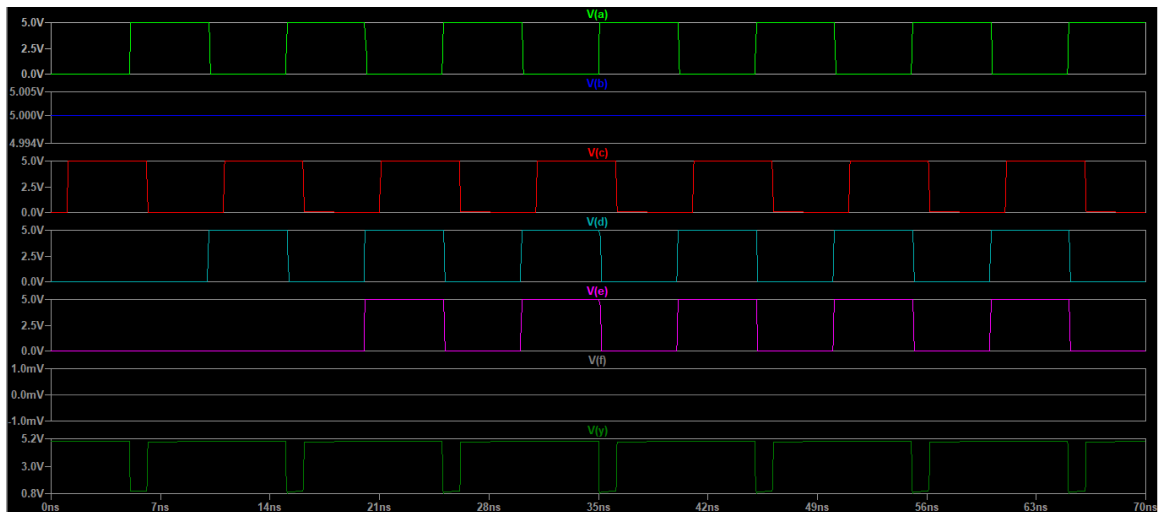


## Λογική PSEUDO NMOS:

Αρχείο:5\_2\_2.asc

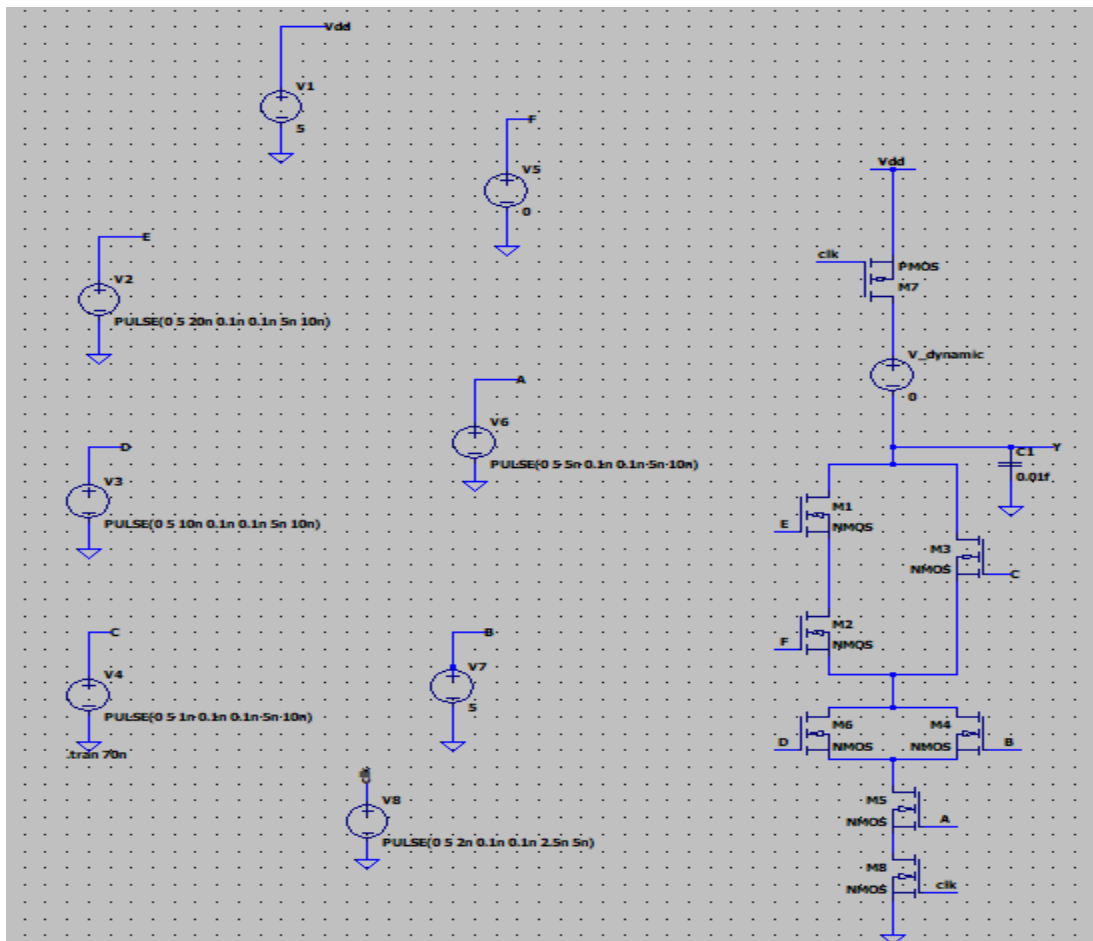


## Simulation:



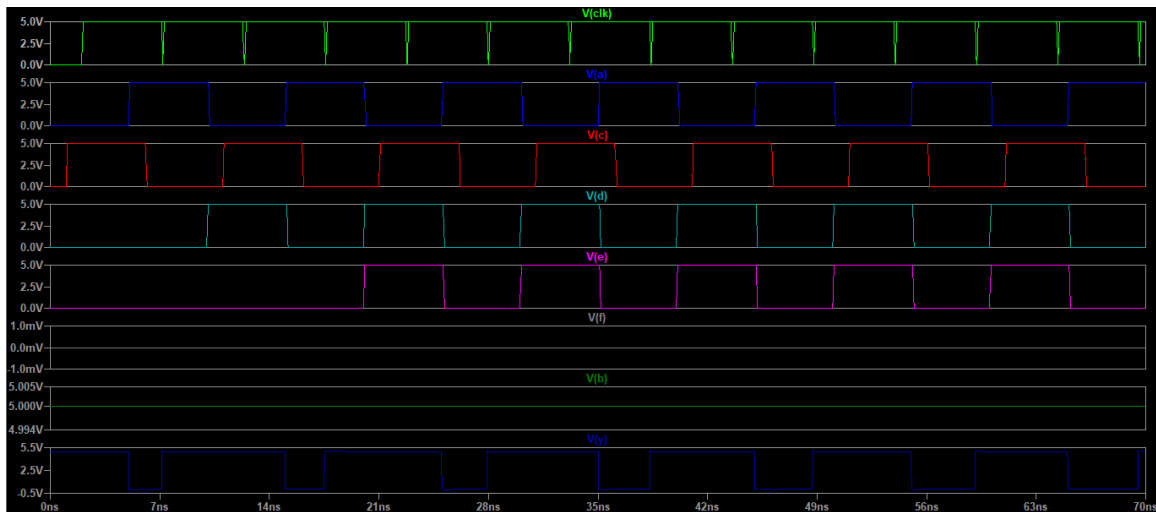
## Dynamic λογική:

Αρχείο:5\_2\_3.asc



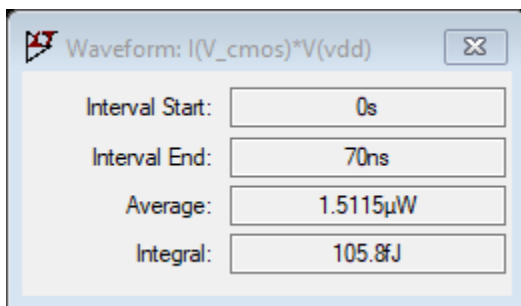
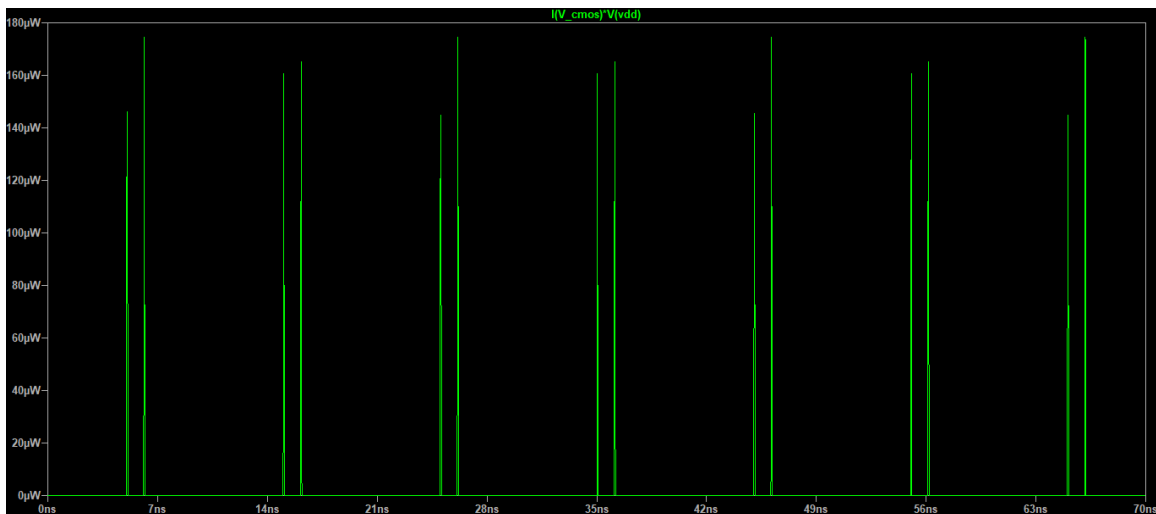


## Simulation:

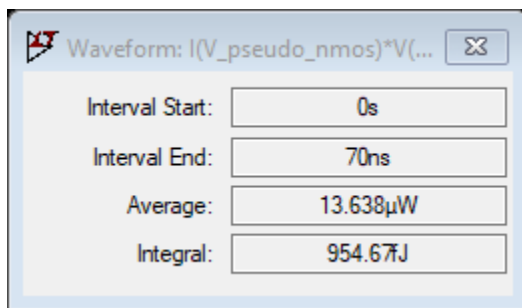
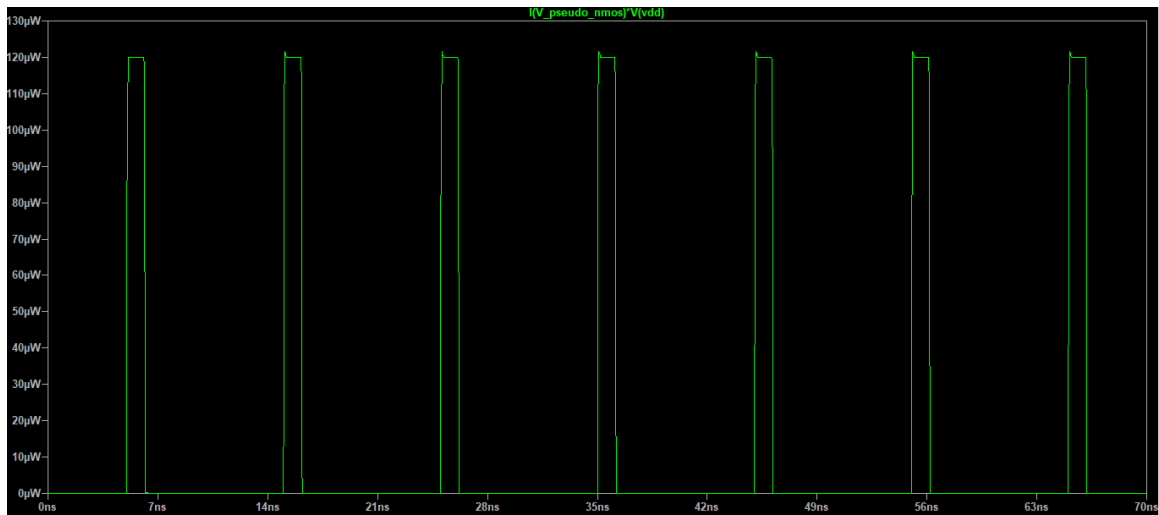


b)

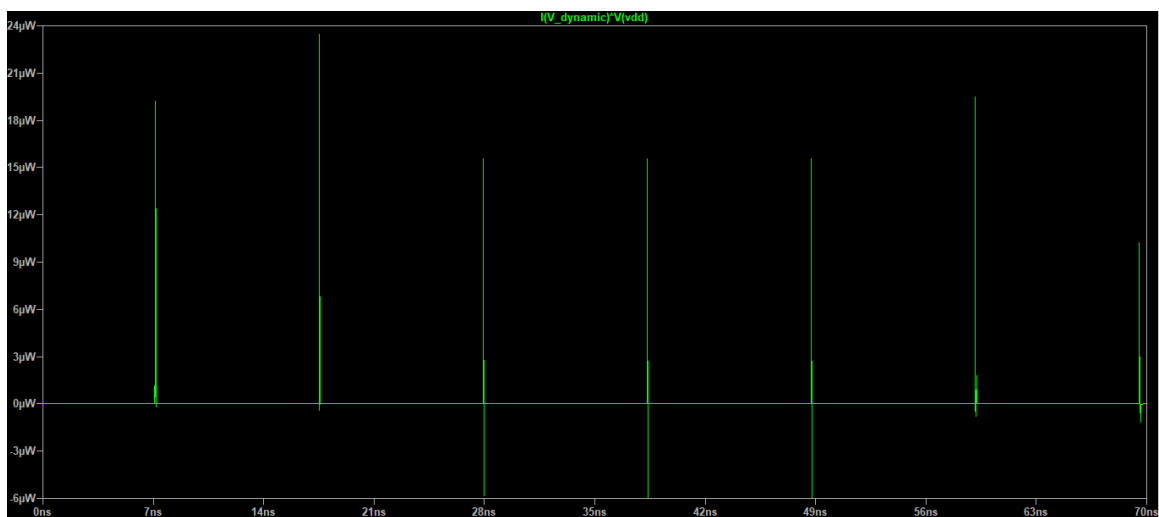
## Λογική CMOS:

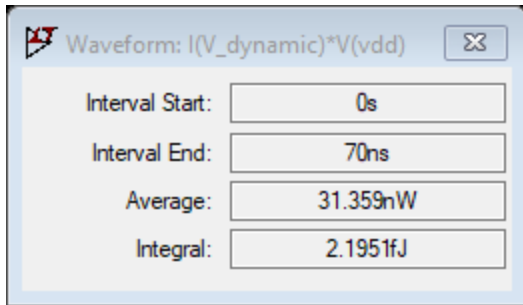


## Λογική pseudo-NMOS:



## Dynamic λογική:





**Συμπέρασμα:** Αντίθετα, με το 5.1 ερώτημα, στο 5.2 το ρολόι στο nmos block οδηγεί ένα μοναδικό transistor (εν σειρά σύνδεση), από το οποίο εξαρτώνται τα υπόλοιπα, οπότε με κατάλληλα ρυθμισμένο ρολόι μπορεί να επιτευχθεί πολύ μεγάλη βελτίωση στην κατανάλωση, όπως φαίνεται και στις εικόνες.