

ΕΡΓΑΣΤΗΡΙΟ ΣΧΕΔΙΑΣΜΟΥ ΟΛΟΚΛΗΡΩΜΕΝΩΝ ΚΥΚΛΩΜΑΤΩΝ Ι (VLSI Ι)

Εργαστήριο 2

Ομάδα 04

ΕΠΩΝΥΜΟ	ΟΝΟΜΑ	ΑΡΙΘΜΟΣ ΜΗΤΡΩΟΥ
ΒΑΓΓΕΛΗΣ	ΧΡΙΣΤΟΦΟΡΟΣ	1053715
ΔΑΣΟΥΛΑΣ	ΙΩΑΝΝΗΣ	1053711

Μελέτη των Παρασιτικών Χωρητικοτήτων και της
Καθυστέρησης στα Κυκλώματα Τεχνολογίας CMOS

Στόχος:

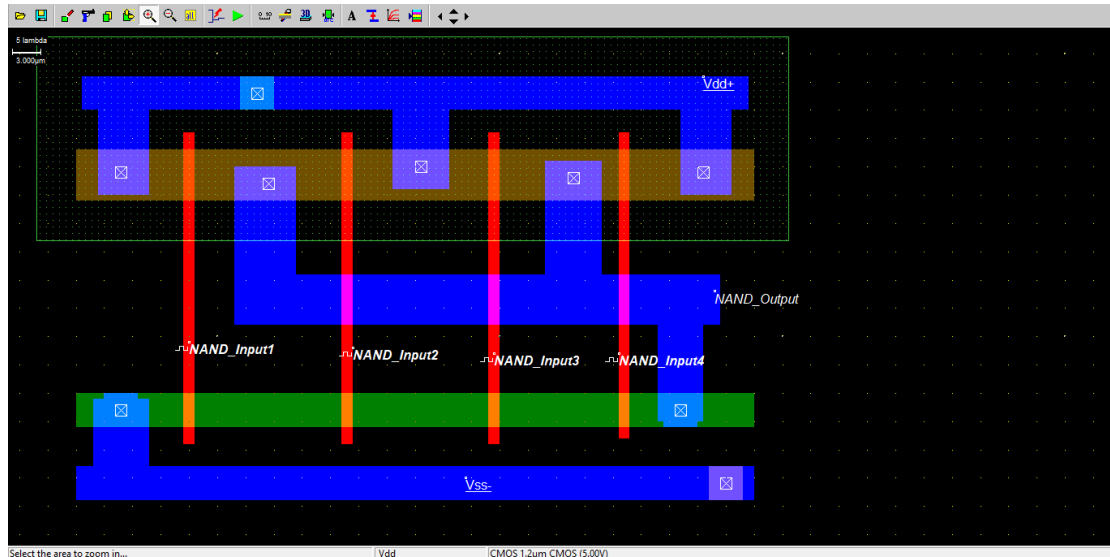
Στόχος της άσκησης είναι η μελέτη ορισμένων σημαντικών χαρακτηριστικών των κυκλωμάτων τεχνολογίας CMOS. Αρχικά θα μελετηθούν οι παρασιτικές χωρητικότητες που συναντώνται στα κυκλώματα αυτά. Στη συνέχεια θα μελετηθούν οι παράγοντες που επηρεάζουν την χρονική καθυστέρηση τους.

Ασκήσεις εργαστηρίου:

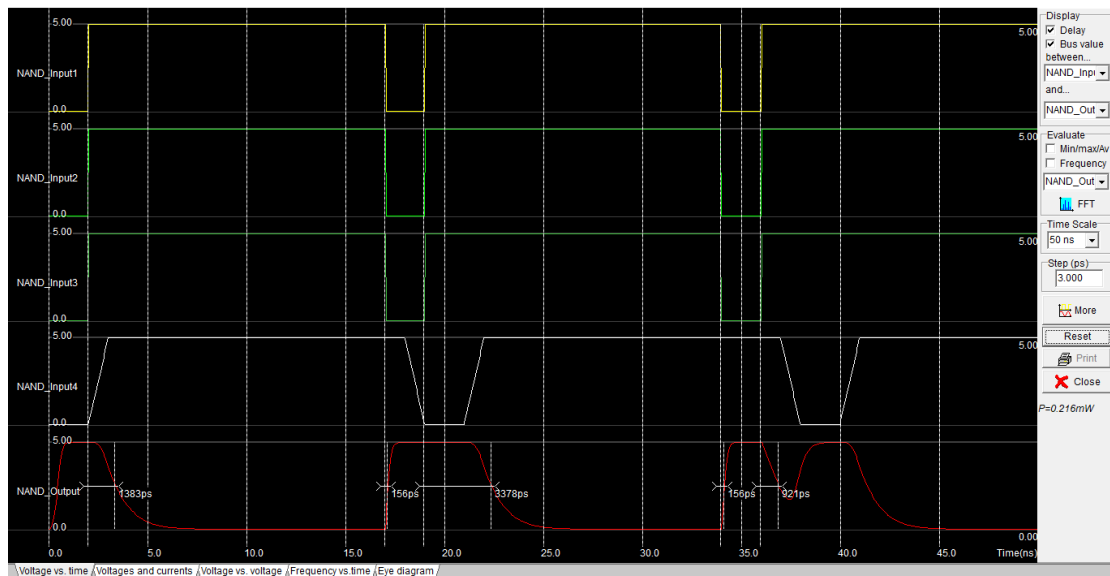
Άσκηση 4.1 - Μελέτη Παρασιτικών Χωρητικοτήτων

α) Χρησιμοποιώντας την τεχνολογία και τα μεγέθη που δίνονται παραπάνω σχεδιάστε μια πύλη NAND τεσσάρων εισόδων. Προσομοιώστε την πύλη και διαπιστώστε την ορθή λειτουργία της.

Η πύλη που δημιουργήθηκε:



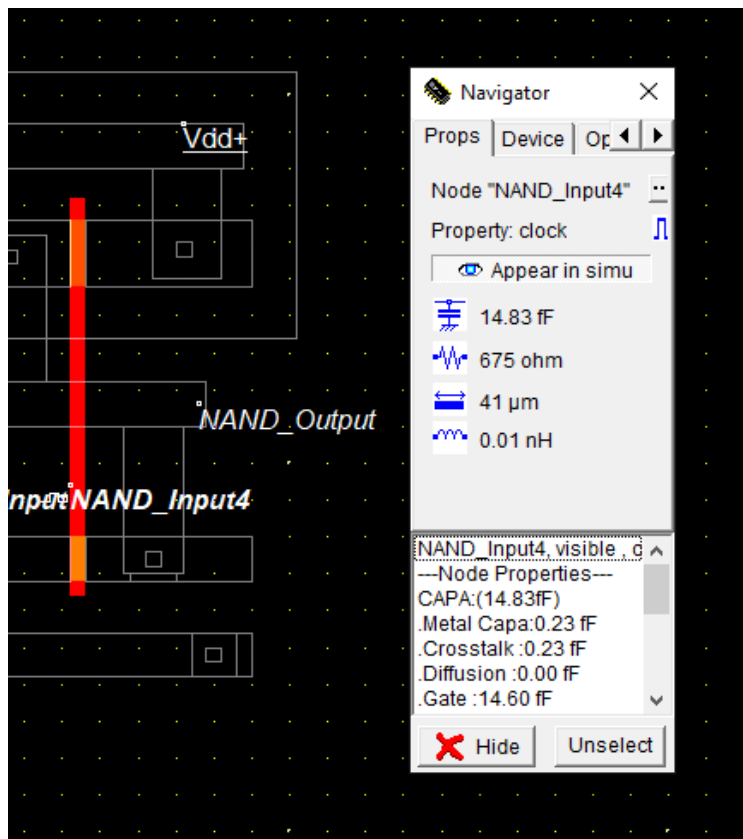
Οι κυματομορφές εισόδου και εξόδου:



Παρατηρείται ότι επαληθεύεται ο πίνακας λογικής της πύλης, καθώς το αποτέλεσμα είναι 0, μόνον όταν και οι τέσσερις εισοδοι είναι 1, ενώ σε όλες τις άλλες περιπτώσεις είναι 1, με την ανάλογη καθυστέρηση φυσικά. Επομένως, η πύλη λειτουργεί κανονικά.

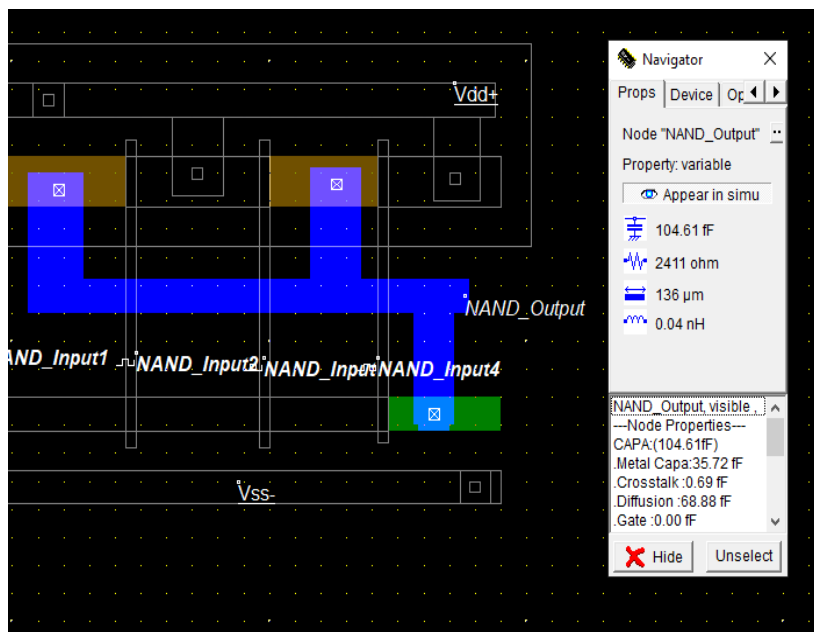
β) Κάνοντας διπλό κλικ σε έναν κόμβο του κυκλώματος εμφανίζονται τα χαρακτηριστικά του. Πραγματοποιώντας αυτή τη διαδικασία μετρείστε τη χωρητικότητα των κόμβων εισόδου και εξόδου.

Στους κόμβους εισόδου, δηλαδή στο polysilicon υλικό:



Άρα στους κόμβους εισόδους η χωρητικότητα είναι ίση με 14.83fF.

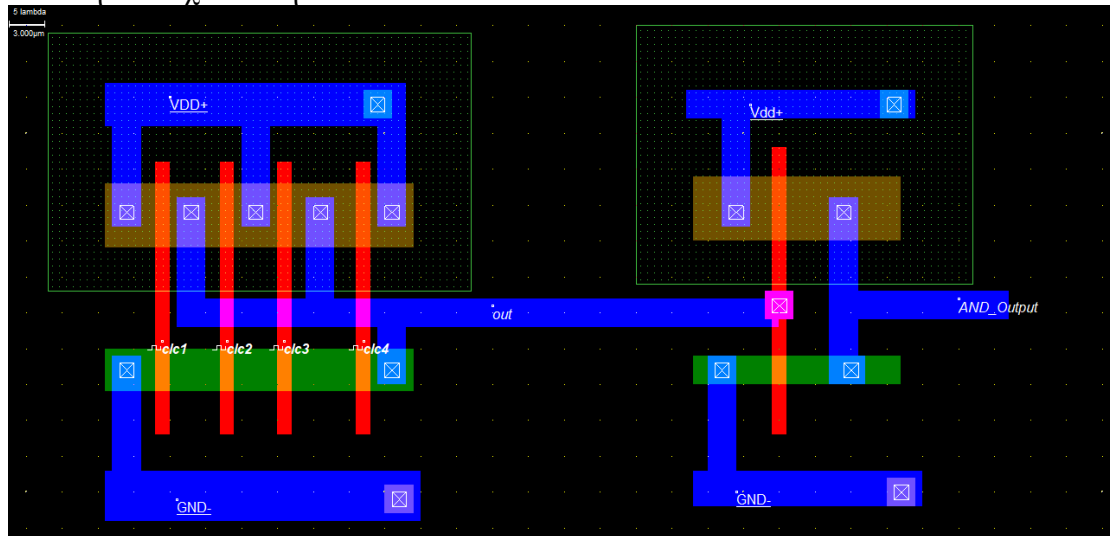
Στους κόμβους εξόδου, δηλαδή στο metal υλικό ανάμεσα στα transistors:



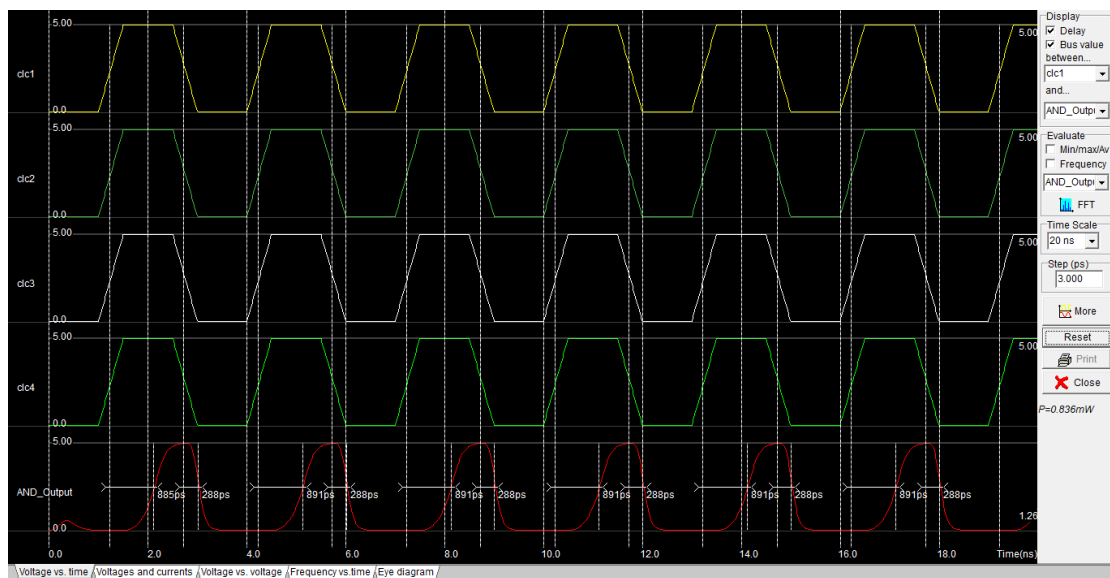
Άρα στους κόμβους εξόδου η χωρητικότητα είναι ίση με 104.61fF.

c) Σχεδιάστε μια πύλη AND τεσσάρων εισόδων συνδέοντας έναν αντιστροφέα στην έξοδο της NAND. Μετρείστε τη χωρητικότητα εξόδου της πύλης NAND και της AND. Σε ποιές χωρητικότητες οφείλεται η μεταβολή;

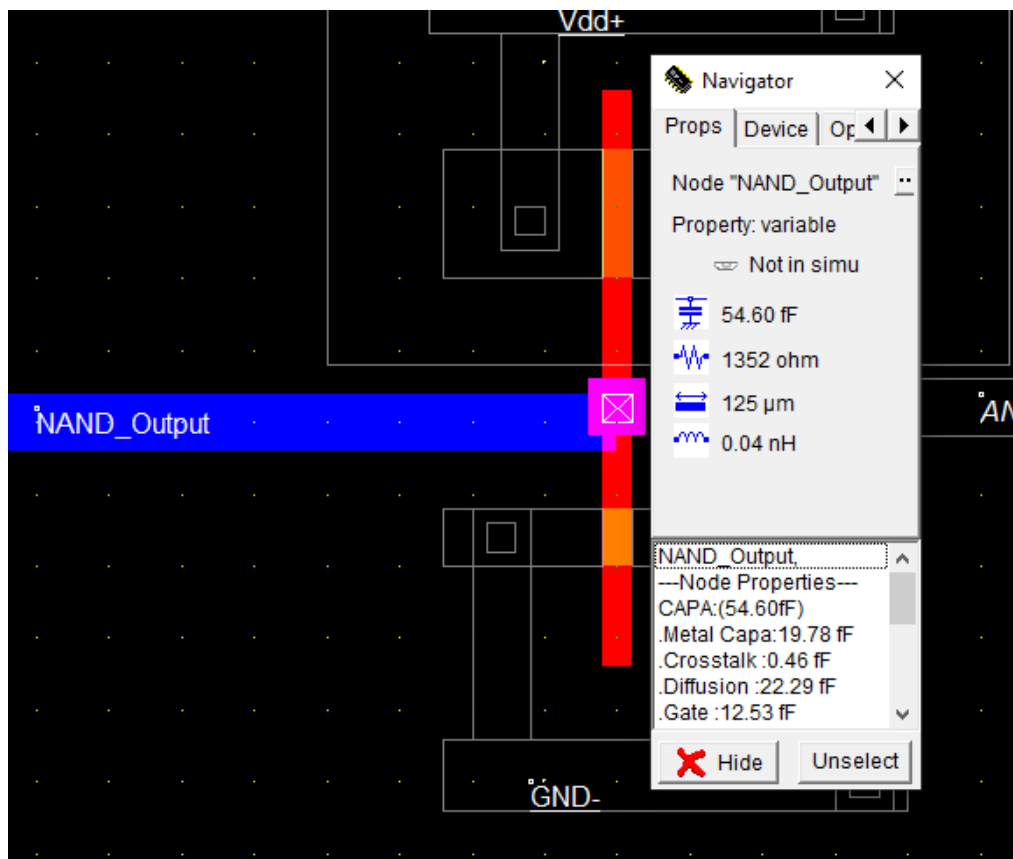
Η πύλη που σχεδιάστηκε:



Η πύλη λειτουργεί κανονικά, όπως φαίνεται και στην προσομοίωση:

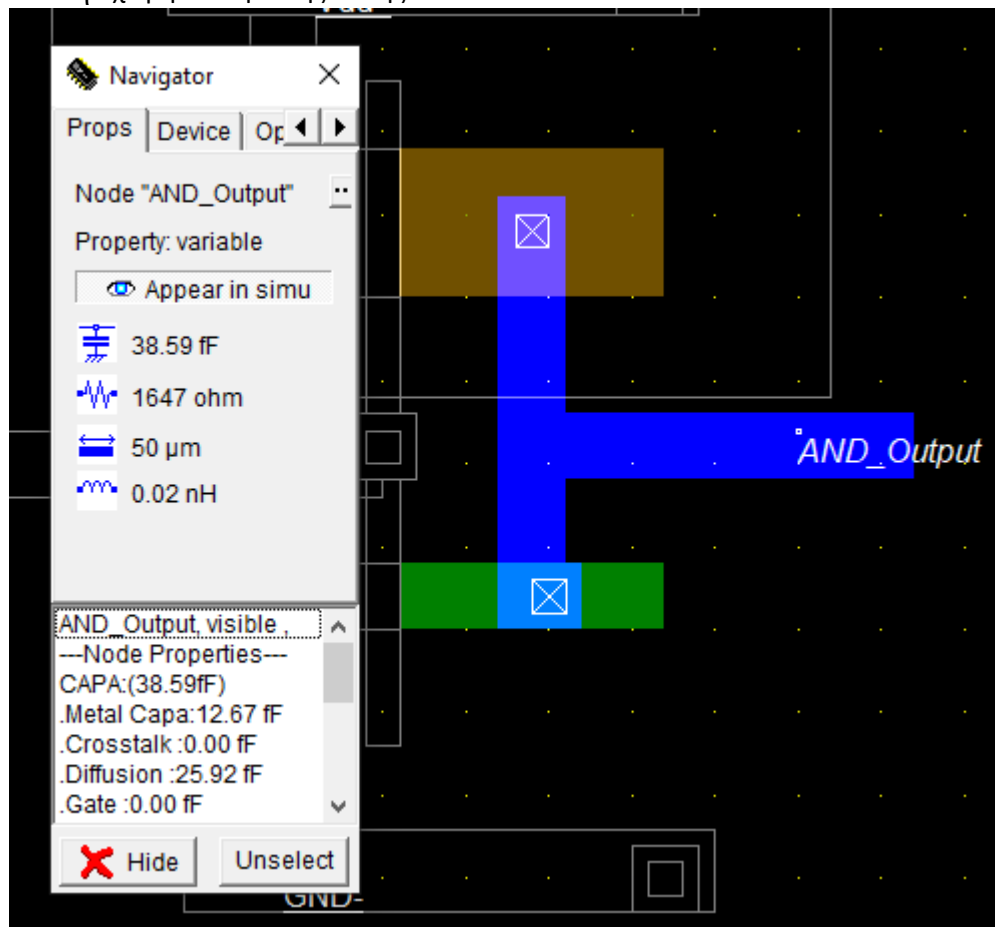


Για την χωρητικότητα της πύλης NAND:



Για την NAND πύλη η χωρητικότητα εξόδου είναι ίση, δηλαδή, με 54.60 fF.

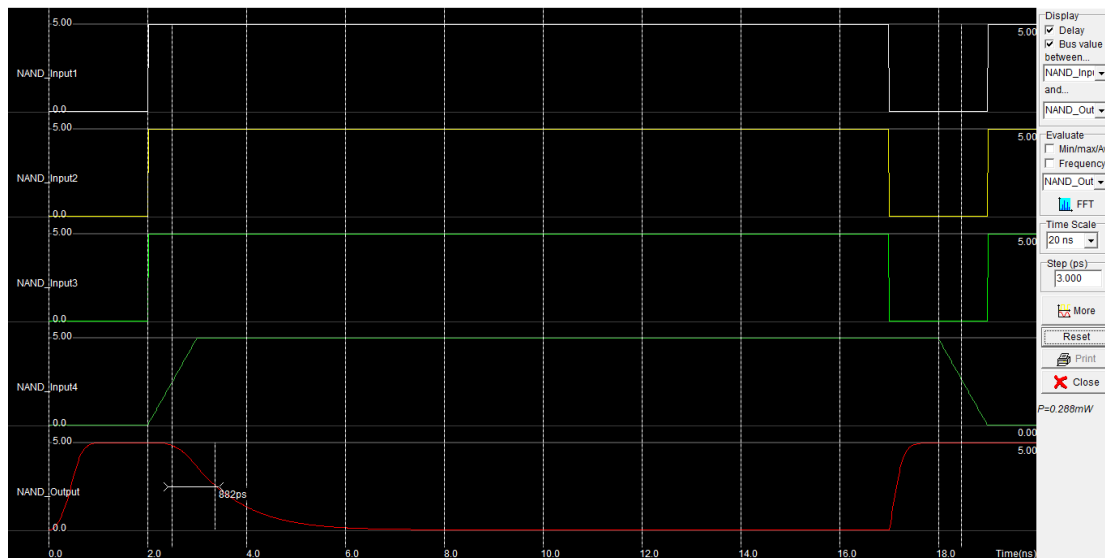
Για την χωρητικότητα της πύλης AND:



Εδώ, παρατηρείται ότι η χωρητικότητα εξόδου είναι πολύ μικρότερη, ίση με 38.59 fF. Αυτό οφείλεται στο γεγονός ότι η πύλη NAND, όπως φαίνεται στο σχήμα, έχει τρεις χωρητικότητες διάχυσης των περιοχών υποδοχής που συνδέονται στην έξοδο και μία χωρητικότητα διασύνδεσης λόγω της επαφής με το πολυπυρίτιο του αντιστροφέα, ενώ η AND μόνο δύο χωρητικότητες διάχυσης των περιοχών υποδοχής που συνδέονται στην έξοδο.

4.2 Μελέτη Παραγόντων Καθυστέρησης

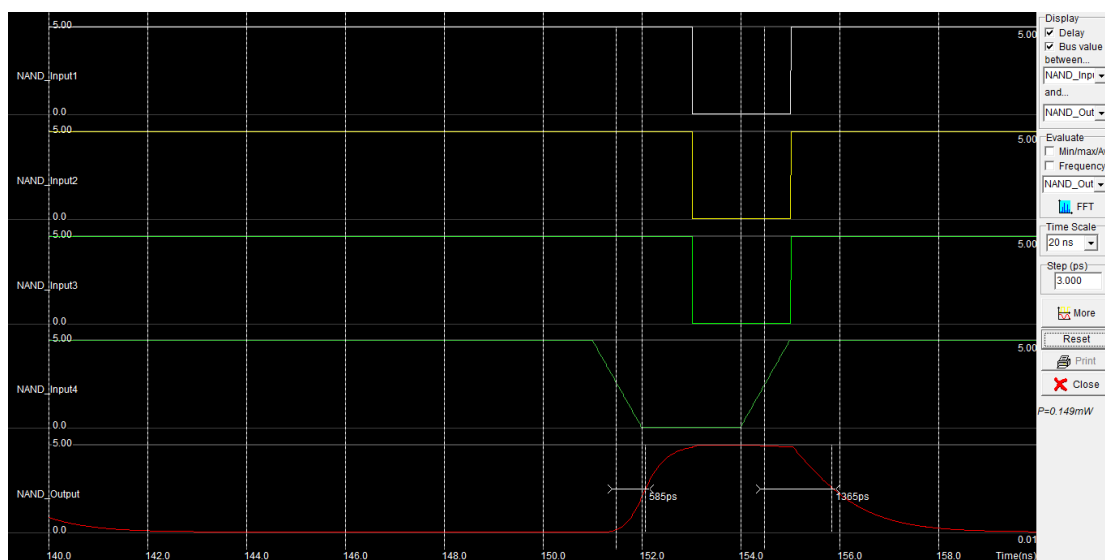
α) Στην αρχική πύλη NAND εφαρμόζουμε παλμούς με χρόνο ανόδου 0,001 ns στις τρεις εισόδους και 1ns στην τέταρτη . Χρησιμοποιούμε χρόνο 2ns όπου όλες οι εισοδοι θα έχουν μηδενική τάση και διάρκεια 15 ns . Μετράμε την καθυστέρηση της πύλης από την τέταρτη είσοδο . Ο χρόνος καθυστέρησης σε μία πύλη ορίζεται συνήθως ως η διαφορά του χρόνου μεταξύ του 50% της στάθμης εισόδου και του 50% της στάθμης εξόδου (όπως φαίνεται και στο σχήμα 4 από τον εργαστηριακό οδηγό).



Ο χρόνος καθυστέρησης όπως φαίνεται και από το simulation είναι 882 ps (propagation delay high-low).

Η εκφόρτιση της χωρητικότητας εξόδου γίνεται μέσω των τρανζίστορ του n-mos δικτύου που είναι δίκτυο οδήγησης προς τα κάτω. Τα transistor λειτουργούν ως pull-down στοιχεία λόγω της σύνδεσης του με την γείωση.

b) Εφαρμόζουμε στην πύλη κατερχόμενες εισόδους με αμετάβλητα τα υπόλοιπα χαρακτηριστικά και μετράμε την καθυστέρηση.



Ο χρόνος καθυστέρησης όπως φαίνεται και από το simulation είναι 585 ps (propagation delay low-high).

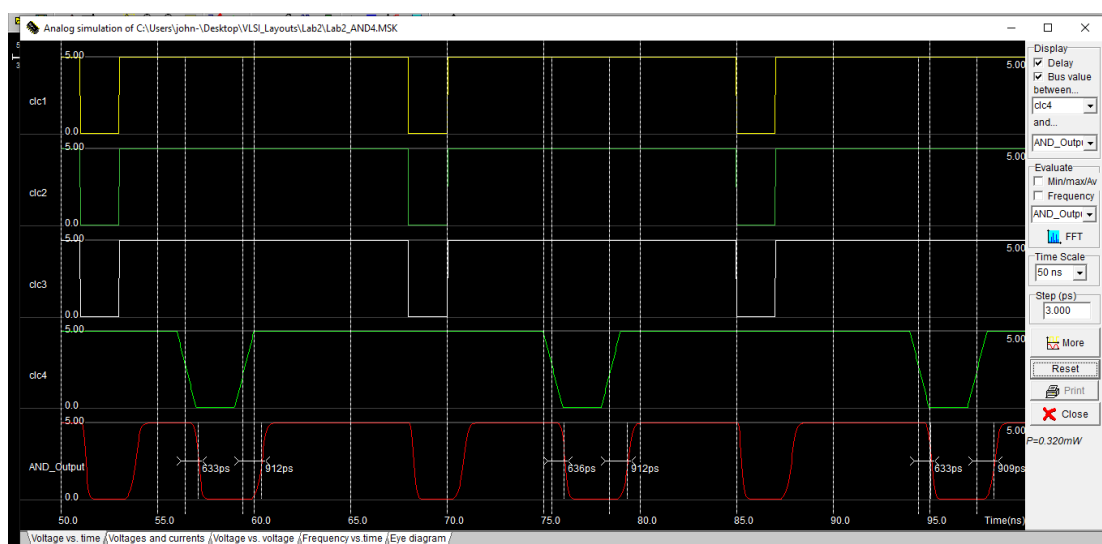
Η καθυστέρηση της πύλης έχει νόημα μόνο ως προς την τέταρτη είσοδο διότι έχει μεγαλύτερη κλίση και κατέρχεται με μεγαλύτερη καθυστέρηση σε σύγκριση με τις

υπόλοιπες τρεις εισόδους, που ουσιαστικά έχουν μηδενική κλίση.

Η NAND τεσσάρων εισόδων αποτελείται από τέσσερα n-mos τρανζίστορ (n-block) εν σειρά και τέσσερα p-mos τρανζίστορ παράλληλα (p-block). Εάν οποιαδήποτε από τις εισόδους είναι 0, τουλάχιστον ένα από τα n-mos τρανζίστορ θα είναι off, διακόπτοντας την διακοπή από την έξοδο στο ground. Όμως, τουλάχιστον ένα από τα p-mos τρανζίστορ θα είναι on δημιουργώντας μία διαδρομή από την έξοδο στην τροφοδοσία. Αν και οι τέσσερις εισοδοί είναι high, τα n-mos τρανζίστορ θα είναι on, ενώ τα p-mos θα είναι off, επομένως η έξοδος θα είναι 0.

Παρατηρείται ότι με κατερχόμενες εισόδους, υπάρχει μικρότερη καθυστέρηση. Αυτό συμβαίνει επειδή η ικανότητα ρεύματος των στοιχείων μέσω των οποίων γίνεται η εκφόρτιση είναι μεγαλύτερη από αυτών μέσω των οποίων γίνεται η φόρτιση. Άρα, η έξοδος πηγαίνει πιο γρήγορα από υψηλή σε χαμηλή στάθμη, εξ' ου και η μικρότερη καθυστέρηση.

c) Συνδέστε τον αντιστροφέα στην έξοδο της NAND και επαναλάβετε τα δύο προηγούμενα ερωτήματα. Σχολιάστε τις μεταβολές που παρατηρείτε.



Ο χρόνος καθυστέρησης για ανερχόμενες εισόδους, όπως φαίνεται και από το simulation είναι 912 ps(propagation delay high-low).

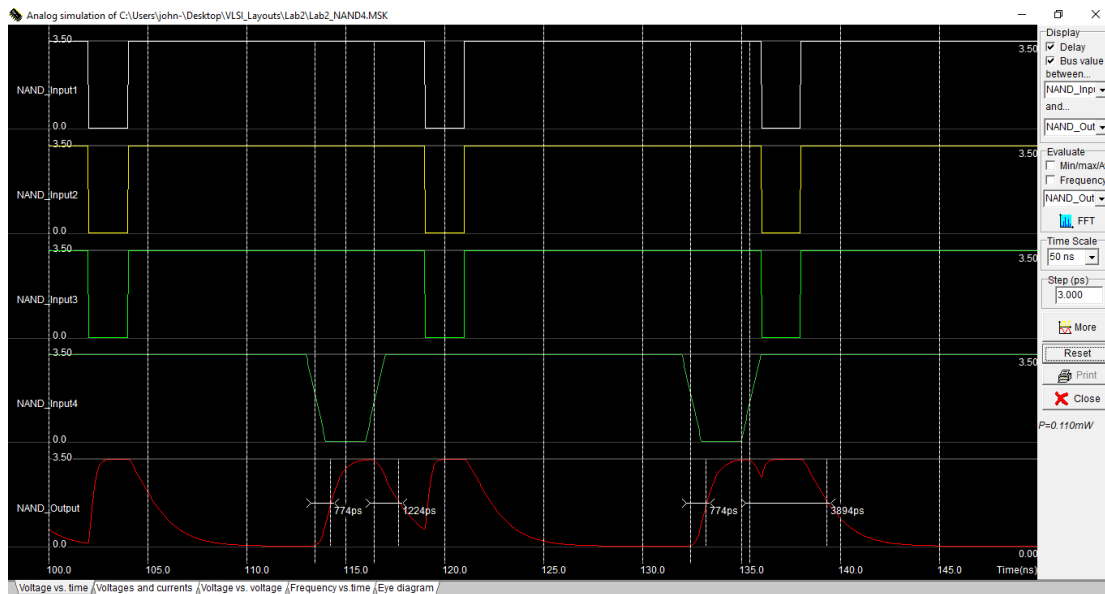
Ο χρόνος καθυστέρησης για κατερχόμενες εισόδους, όπως φαίνεται και από το simulation είναι 636 ps(propagation delay low-high).

Παρατηρείται, ότι υπάρχει αύξηση της χωρητικότητας (χωρητικό φορτίο εξόδου), λόγω του αντιστροφέα που προστίθεται, σε σχέση με την πύλη NAND.

d) Αλλάξτε την τιμή της τάσης τροφοδοσίας σε 3.5, 2.5, 1.8 και 1.2 V και μετρήστε την καθυστέρηση στις περιπτώσεις των δύο πυλών. Η αλλαγή αυτή μπορεί να πραγματοποιηθεί μέσω την επιλογής των “Simulation parameters” από την καρτέλα “Simulate”.

Για την πύλη NAND:

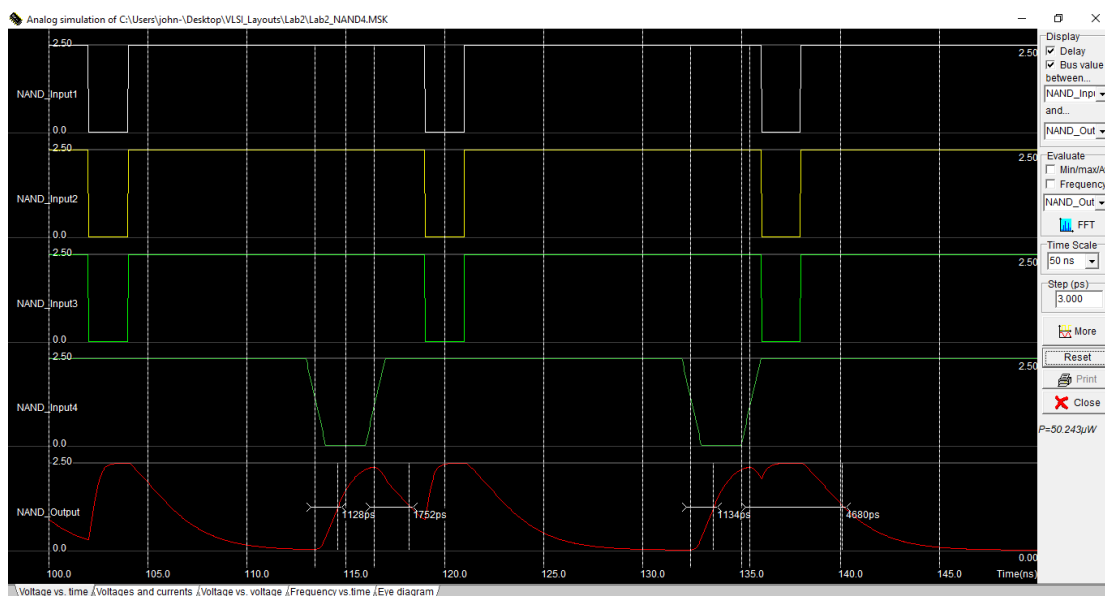
Για τάση τροφοδοσίας 3.5V:



Ο χρόνος καθυστέρησης για ανερχόμενες εισόδους, όπως φαίνεται και από το simulation είναι 1224 ps(propagation delay high-low).

Ο χρόνος καθυστέρησης για κατερχόμενες εισόδους, όπως φαίνεται και από το simulation είναι 774 ps(propagation delay low-high).

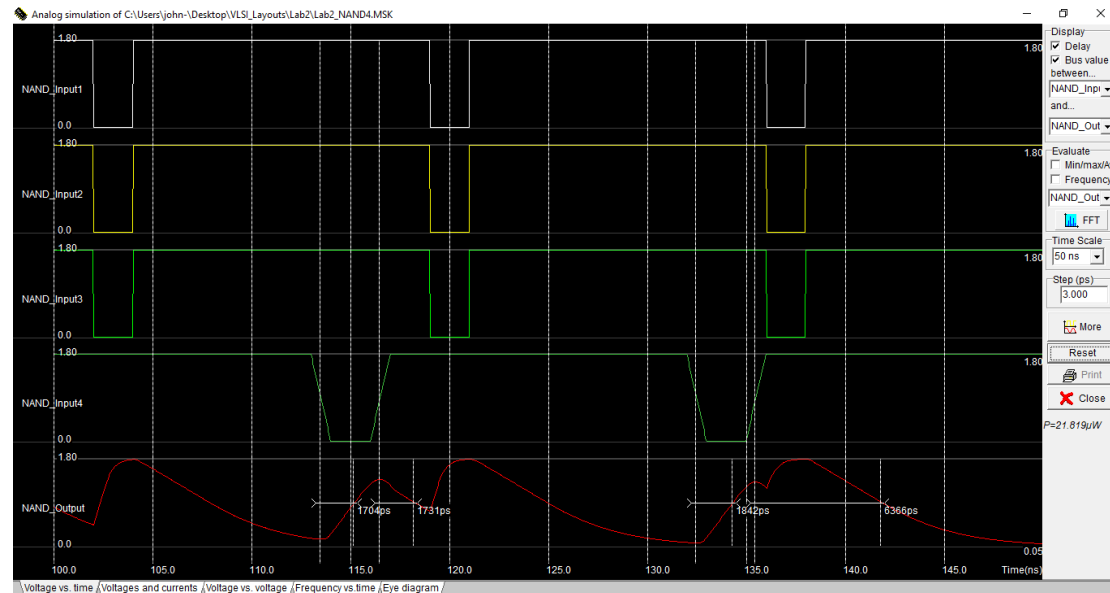
Για τάση τροφοδοσίας 2.5V:



Ο χρόνος καθυστέρησης για ανερχόμενες εισόδους, όπως φαίνεται και από το simulation είναι 1752 ps(propagation delay high-low).

Ο χρόνος καθυστέρησης για κατερχόμενες εισόδους, όπως φαίνεται και από το simulation είναι 1128 ps(propagation delay low-high).

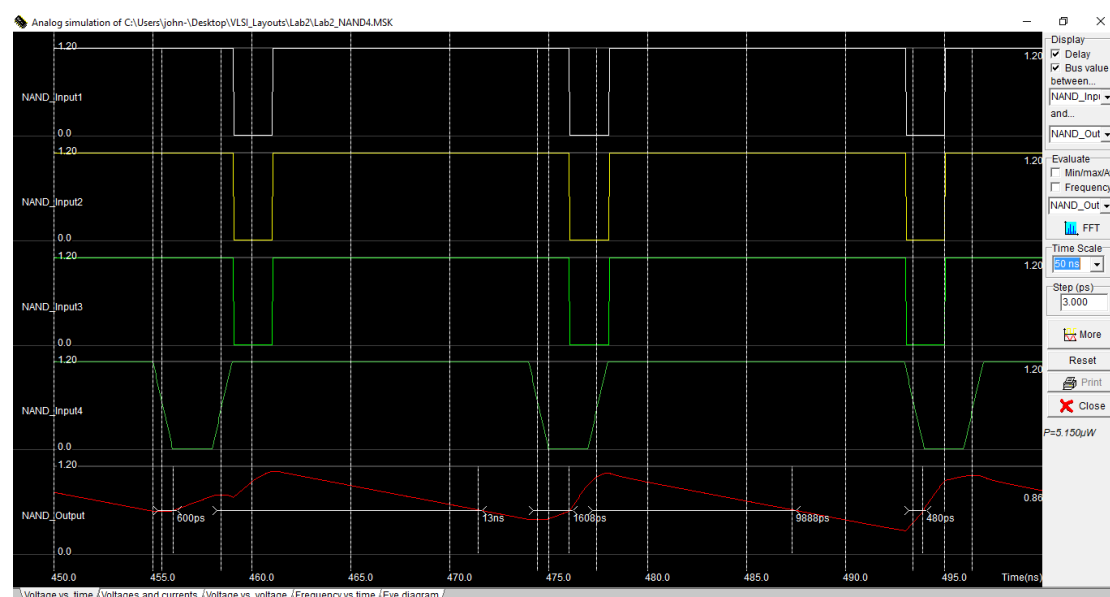
Για τάση τροφοδοσίας 1.8V:



Ο χρόνος καθυστέρησης για ανερχόμενες εισόδους, όπως φαίνεται και από το simulation είναι 1731 ps(propagation delay high-low).

Ο χρόνος καθυστέρησης για κατερχόμενες εισόδους, όπως φαίνεται και από το simulation είναι 1704 ps(propagation delay low-high).

Για τάση τροφοδοσίας 1.2V:

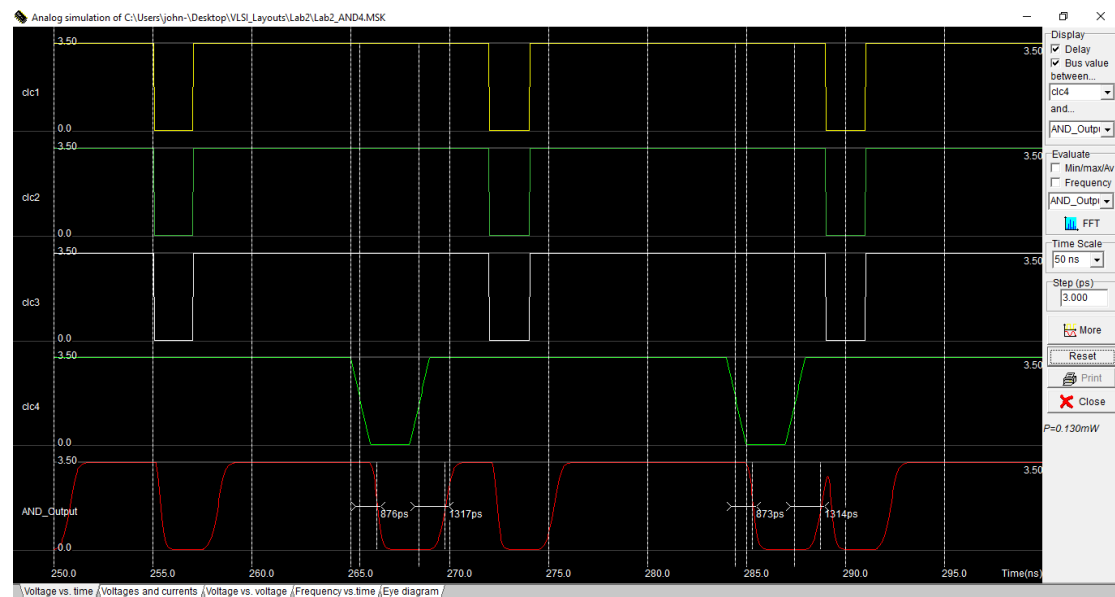


Ο χρόνος καθυστέρησης για ανερχόμενες εισόδους, όπως φαίνεται και από το simulation είναι 9888 ps(propagation delay high-low).

Ο χρόνος καθυστέρησης για κατερχόμενες εισόδους, όπως φαίνεται και από το simulation είναι 1608 ps(propagation delay low-high).

Για την πύλη AND:

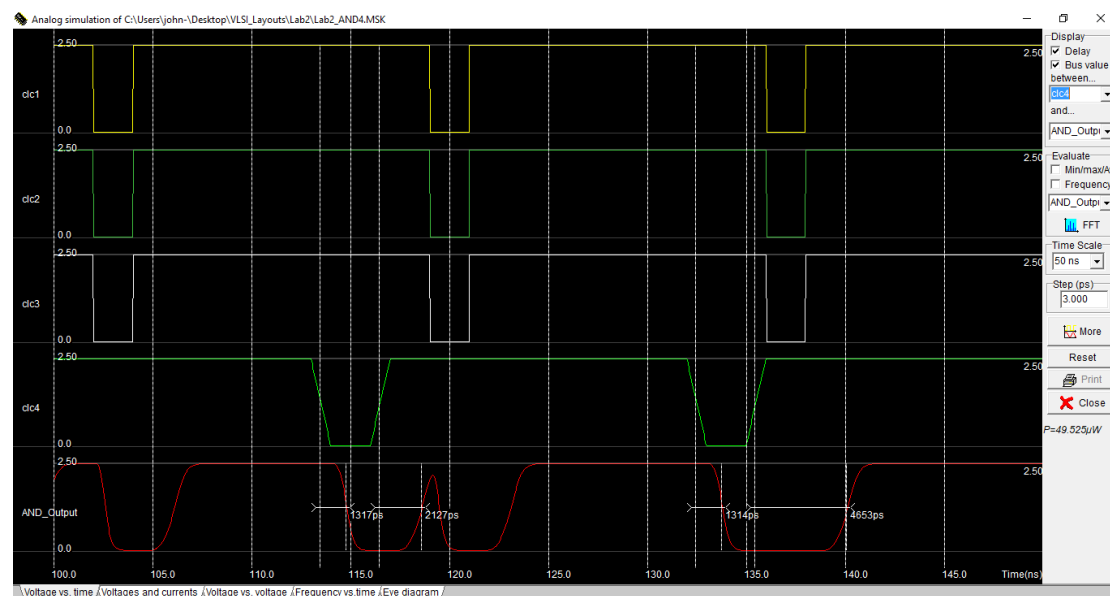
Για τάση τροφοδοσίας 3.5V:



Ο χρόνος καθυστέρησης για ανερχόμενες εισόδους, όπως φαίνεται και από το simulation είναι 1317 ps(propagation delay high-low).

Ο χρόνος καθυστέρησης για κατερχόμενες εισόδους, όπως φαίνεται και από το simulation είναι 876 ps(propagation delay low-high).

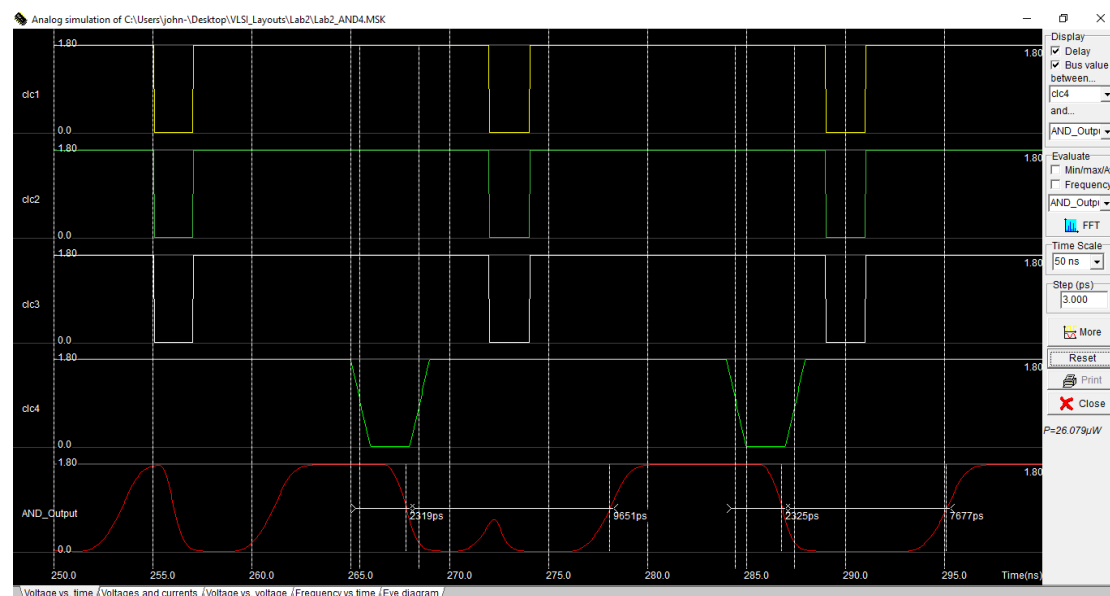
Για τάση τροφοδοσίας 2.5V:



Ο χρόνος καθυστέρησης για ανερχόμενες εισόδους, όπως φαίνεται και από το simulation είναι 2127 ps(propagation delay high-low).

Ο χρόνος καθυστέρησης για κατερχόμενες εισόδους, όπως φαίνεται και από το simulation είναι 1317 ps(propagation delay low-high).

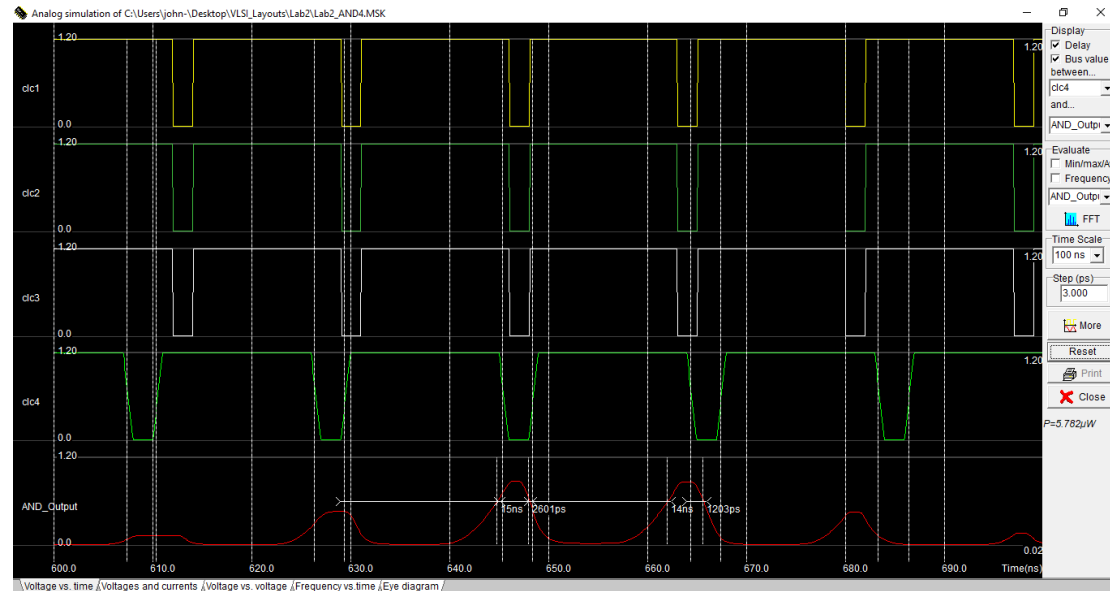
Για τάση τροφοδοσίας 1.8V:



Ο χρόνος καθυστέρησης για ανερχόμενες εισόδους, όπως φαίνεται και από το simulation είναι 9651 ps(propagation delay high-low).

Ο χρόνος καθυστέρησης για κατερχόμενες εισόδους, όπως φαίνεται και από το simulation είναι 2319 ps(propagation delay low-high).

Για τάση τροφοδοσίας 1.2V:



Ο χρόνος καθυστέρησης για ανερχόμενες εισόδους, όπως φαίνεται και από το simulation είναι 15 ns(propagation delay high-low).

Ο χρόνος καθυστέρησης για κατερχόμενες εισόδους, όπως φαίνεται και από το simulation είναι 2229 ps(propagation delay low-high).

Παρατηρείται ότι όσο μειώνεται η τάση τροφοδοσίας, αυξάνεται η καθυστέρηση της πύλης, που είναι αναμενόμενο αφού, θεωρητικά, τα δύο μεγέθη είναι αντιστρόφως ανάλογα.

Εργασία για το σπίτι:

5.1 Μελέτη Παρασιτικών Χωρητικοτήτων

α) Υπολογίστε με βάση τη θεωρία και τα στοιχεία του Πίνακα 1 το σύνολο της χωρητικότητας της εισόδου της πύλης. Θεωρείστε ότι τα PMOS τρανζίστορ λειτουργούν στην αποκοπή και τα NMOS στον κόρο. Δείξτε αναλυτικά και εξηγήστε τους υπολογισμούς.

Η συνολική χωρητικότητα της πύλης ενός MOS στοιχείου δίνεται ως εξής:

$C_g = C_{gb} + C_{gs} + C_{gd} + C_{Lo}$, όπου:

$C_{Lo} = C_{gb} + C_{gs-Lo} + C_{gd-Lo} = 2 C_{ox} W L_o$

Επίσης, σύμφωνα με τον πίνακα που ακολουθεί, $C_g = C_0$ για το p-mos στην αποκοπή και $C_g = (2/3)C_0$ για το n-mos στον κόρο, όπου $C_0 = C_{ox} W L$.

	Cutoff	Linear	Saturation
C_{gb}	C_0	0	0
C_{gs}	0	$C_0/2$	$2/3 C_0$
C_{gd}	0	$C_0/2$	0
C_g	C_0	C_0	$2/3 C_0$

Επιπλέον, είναι γνωστές από τον πίνακα 1 της άσκησης, οι τιμές $C_{ox} = 1500 \text{ aF}/\mu\text{m}^2$, $(L_o)_p = -0,03 \mu\text{m}$ και $(L_o)_n = 0,08 \mu\text{m}$ ενώ από τους κανόνες σχεδίασης τις άσκησης είναι γνωστό ότι $L_n = L_p = 2\lambda = 1,2 \mu\text{m}$, $W_n = 3,6 \mu\text{m}$ και $W_p = 7,2 \mu\text{m}$

Άρα, $C_g = C_{ox} W_p L_p + (2/3)C_{ox} W_n L_n + C_{ox} W_p (L_o)_p + C_{ox} W_n (L_o)_n = 18,036 \text{ fF}$.

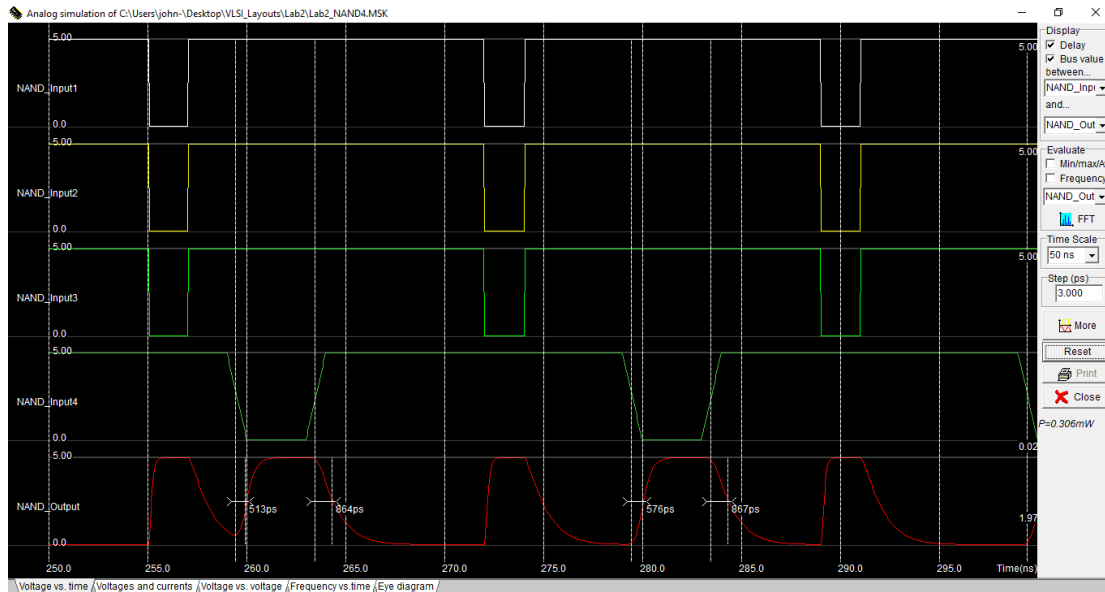
b) Συγκρίνετε την τιμή που υπολογίσατε θεωρητικά με την μετρούμενη και εξηγήστε τις διαφορές που παρατηρείται.

Στους κόμβους εισόδους η χωρητικότητα είναι ίση με 14.83 fF σύμφωνα με την πειραματική μελέτη μας. Αυτή η μικρή διαφορά παρατηρείται διότι η παρασιτική χωρητικότητα επικάλυψης είναι διαφορετική κατά την πειραματική μελέτη με την τιμή της που υπολογίζουμε θεωρητικά.

5.2 Μελέτη Παραγόντων Καθυστέρησης

a) Στην αρχική πύλη NAND χρησιμοποιείτε τις διεγέρσεις του ερωτήματος 4.2a αλλάζοντας τον αρχικό χρόνο ηρεμίας της τέταρτης εισόδου σε 3 ns . Μετρείστε την καθυστέρηση της πύλης από την τέταρτη είσοδο και σχολιάστε τη μεταβολή σε σχέση με την προηγούμενη περίπτωση.

Για τάση τροφοδοσίας 5 V :



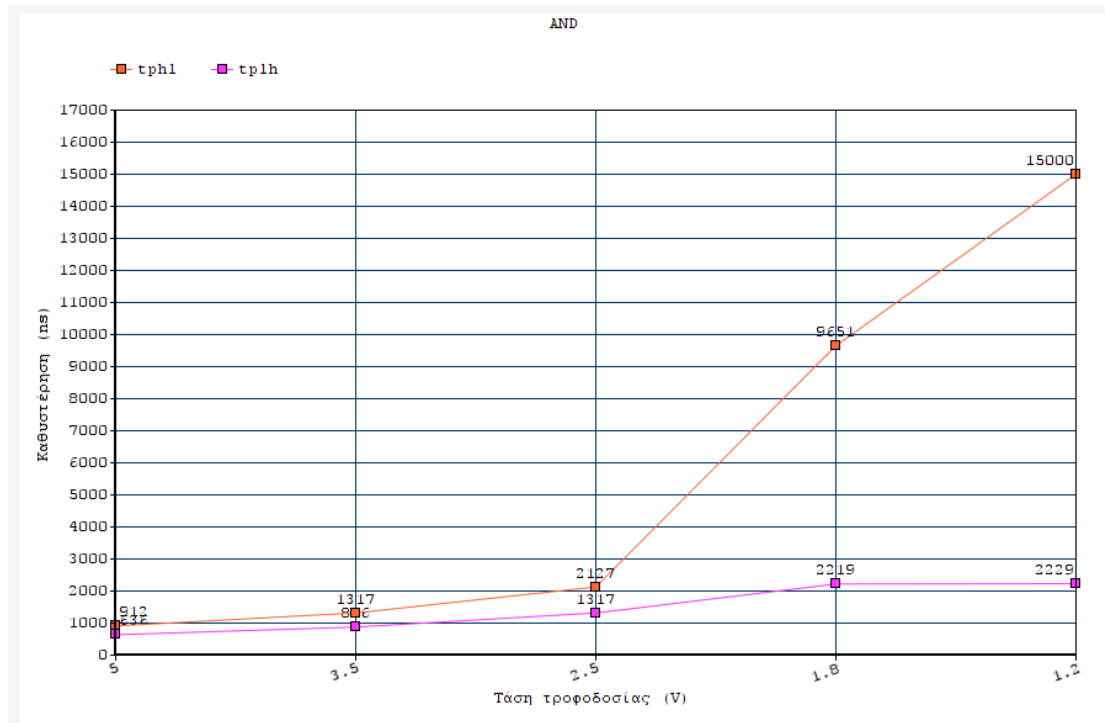
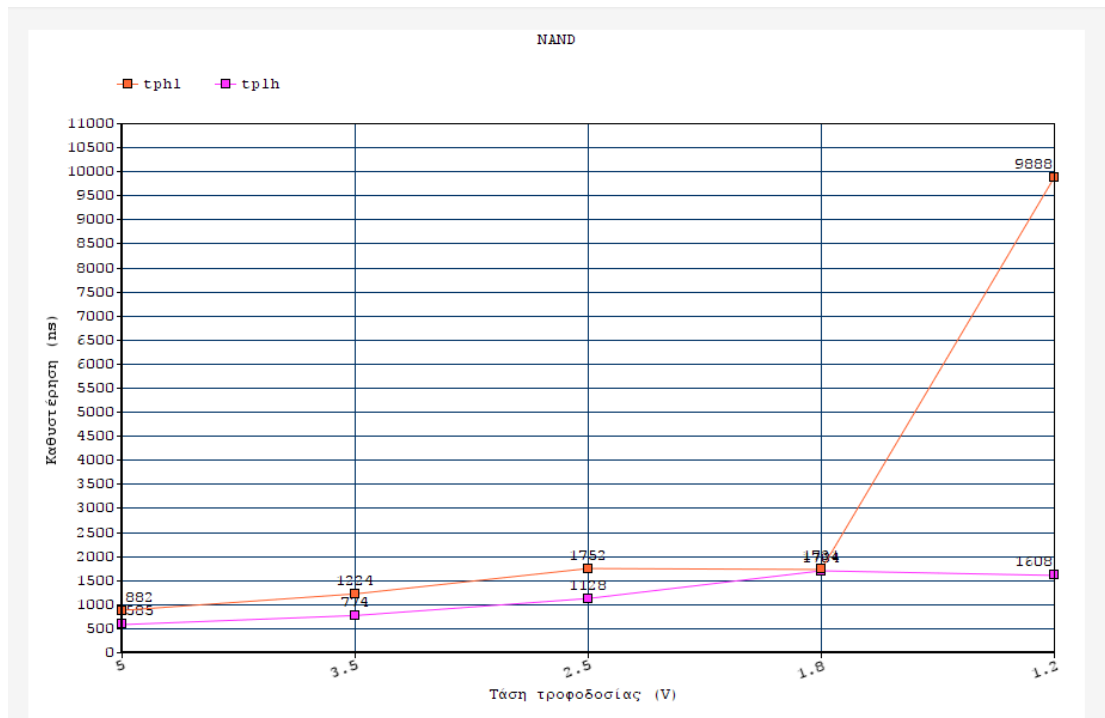
Ο χρόνος καθυστέρησης για ανερχόμενες εισόδους, όπως φαίνεται και από το simulation είναι 864 ps(propagation delay high-low).

Ο χρόνος καθυστέρησης για κατερχόμενες εισόδους, όπως φαίνεται και από το simulation είναι 576 ps(propagation delay low-high).

Παρατηρείται ότι, παρά την αλλαγή στον χρόνο ηρεμίας (time low), δεν υπάρχει μεταβολή στις καθυστερήσεις. Αυτό είναι αναμενόμενο μιας και η καθυστέρηση εξαρτάται από την κλίση της κυματομορφής εισόδου (rise time, fall time) και όχι από τον χρόνο ηρεμίας.

b) Σχεδιάστε ένα διάγραμμα που να δείχνει την εξάρτηση της καθυστέρησης των πυλών NAND και AND από την τάση τροφοδοσίας για την περίπτωση του ερωτήματος 4.2d. Σχολιάστε την καμπύλη που σχεδιάσατε.

Σύμφωνα με τις τιμές που βρέθηκαν προηγουμένως, τα γραφήματα που προκύπτουν είναι:

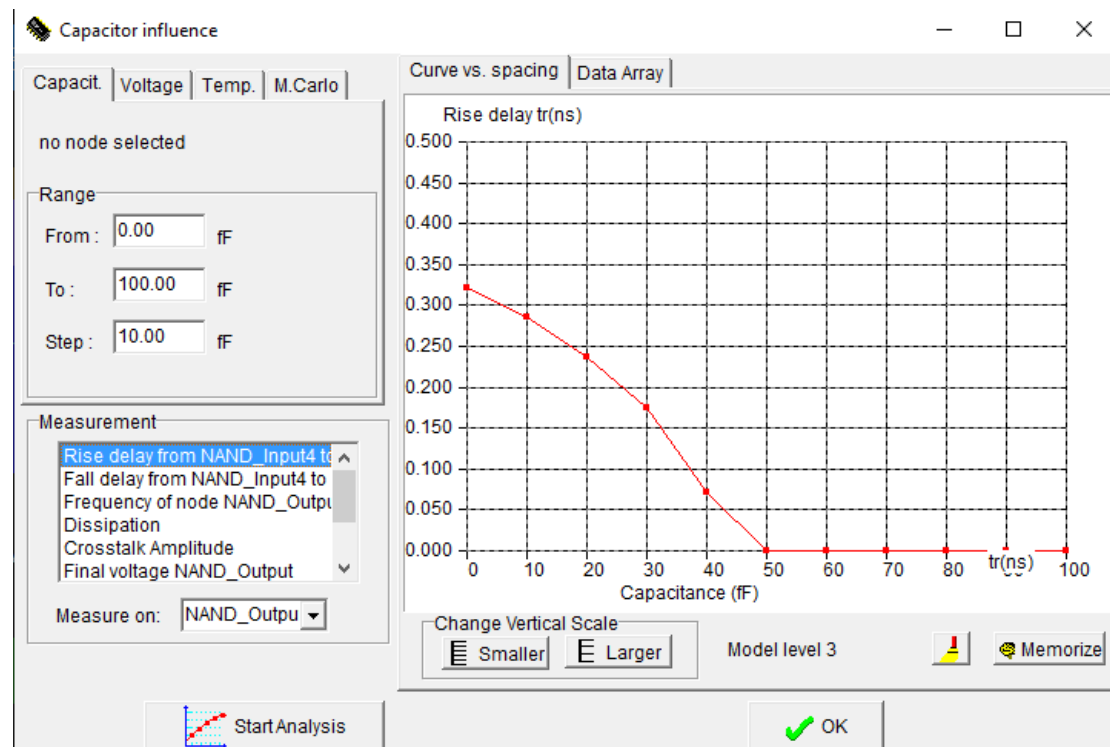


Παρατηρείται ότι όσο μειώνεται η τάση τροφοδοσίας, αυξάνεται η καθυστέρηση της πύλης, που είναι αναμενόμενο αφού, θεωρητικά, τα δύο μεγέθη είναι αντιστρόφως ανάλογα, κάτι που εξηγήθηκε και παραπάνω.

ε) Υπολογίστε την ευαισθησία των πυλών NAND και AND ως προς την τέταρτη είσοδο χρησιμοποιώντας χρόνο ανόδου και καθόδου για την είσοδο αυτή ίσο με 1ns (τυπική τιμή), και διαφορετικά φορτία στην έξοδο (παραμετρική ανάλυση). Η ευαισθησία δίνεται σε ns/pF και είναι η κλίση της ευθείας που δημιουργείται αν σχεδιάσουμε ένα διάγραμμα της καθυστέρησης σε συνάρτηση με το φορτίο εξόδου. Αυτό πρέπει να γίνει για ανερχόμενη και κατερχόμενη έξοδο. Χρησιμοποιείστε σταθερή στάθμη τάσης στις υπόλοιπες εισόδους ίση με την τάση τροφοδοσίας.

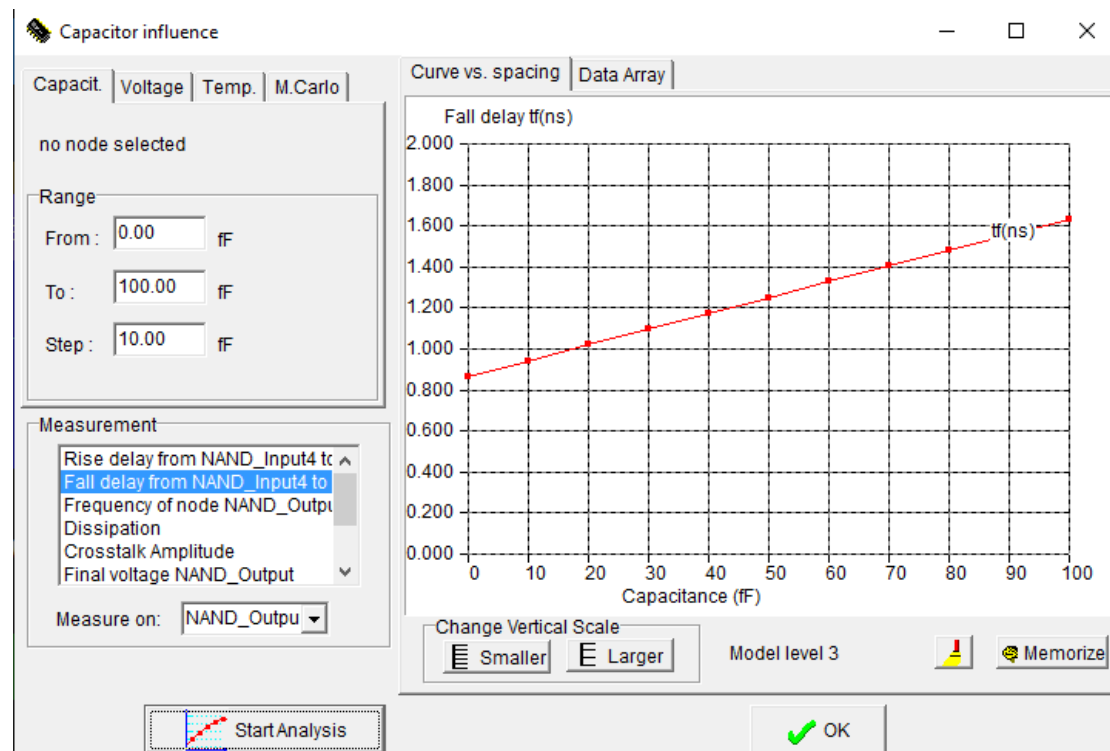
Για την πύλη NAND:

Για ανερχόμενη έξοδο:



Από το data array, υπολογίζεται η κλίση περίπου στα -6.42 (ns/pF).

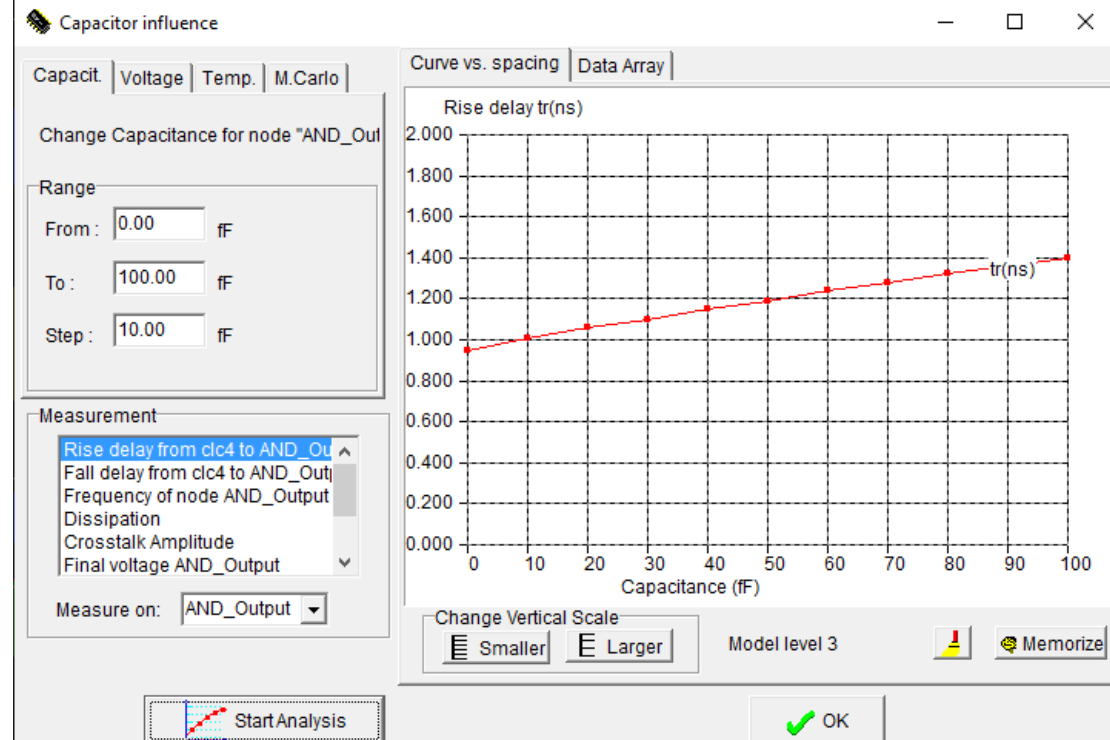
Για κατερχόμενη έξοδο:



Από το data array, υπολογίζεται η κλίση περίπου στα 7.71 (ns/pF).

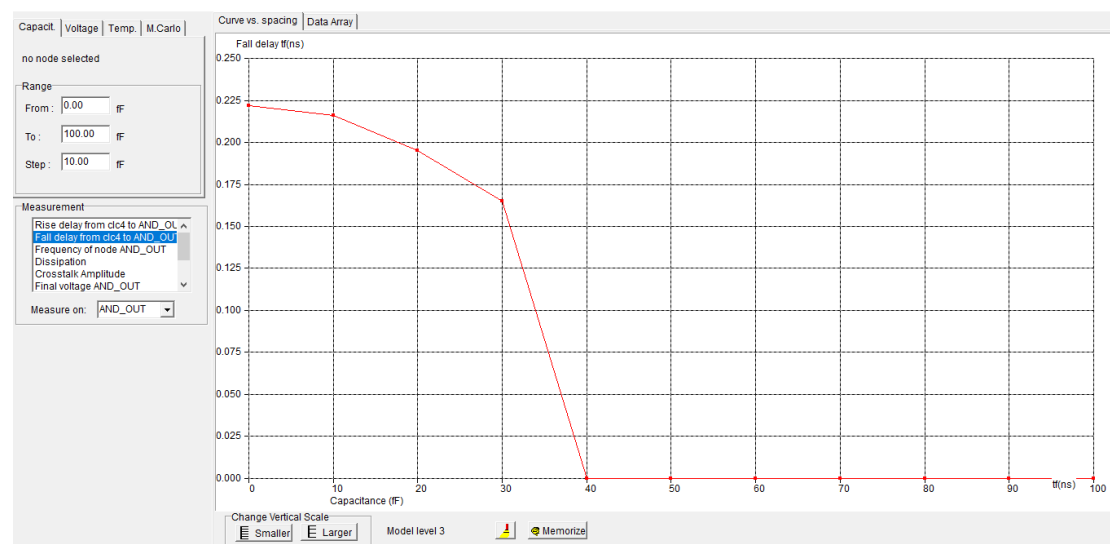
Για την πύλη AND:

Για ανερχόμενη έξοδο:



Από το data array ,υπολογίζεται η κλίση περίπου στα 4.5 (ns/pF).

Για κατερχόμενη έξοδο:



Από το data array ,υπολογίζεται η κλίση περίπου στα -5.625 (ns/pF).

