

Σχεδιασμός Ολοκληρωμένων Κυκλωμάτων VLSI I

Εργαστήριο 4

Ομάδα 4

ΕΠΩΝΥΜΟ	ΟΝΟΜΑ	ΑΡΙΘΜΟΣ ΜΗΤΡΩΟΥ
ΒΑΓΓΕΛΗΣ	ΧΡΙΣΤΟΦΟΡΟΣ	1053715
ΔΑΣΟΥΛΑΣ	ΙΩΑΝΝΗΣ	1053711

4η Εργαστηριακή Άσκηση

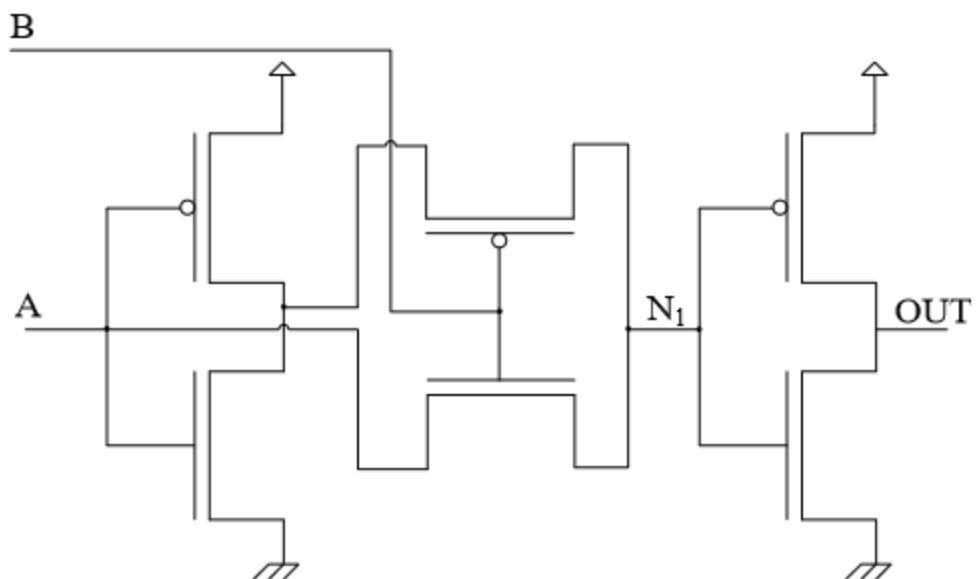
Σχεδιασμός Πολύπλοκων Κυκλωμάτων CMOS και Μελέτη της Καθυστέρησης Εξόδου (Critical Path Delay)

Στόχος:

Αντικείμενο της άσκησης είναι η σχεδίαση πολύπλοκων κυκλωμάτων CMOS με τη βοήθεια του εργαλείου Microwind. Μελετάται η καθυστέρηση των πολύπλοκων αυτών κυκλωμάτων τεχνολογίας CMOS μέσω της χρησιμοποίησης των απλουστευμένων μοντέλων καθυστέρησης για κυκλώματα CMOS πολύπλοκης λογικής. Η μέθοδος σχεδιασμού που θα χρησιμοποιηθεί κατά τη σχεδίαση είναι των μονοπατιών Euler που μελετήθηκαν στην προηγούμενη άσκηση.

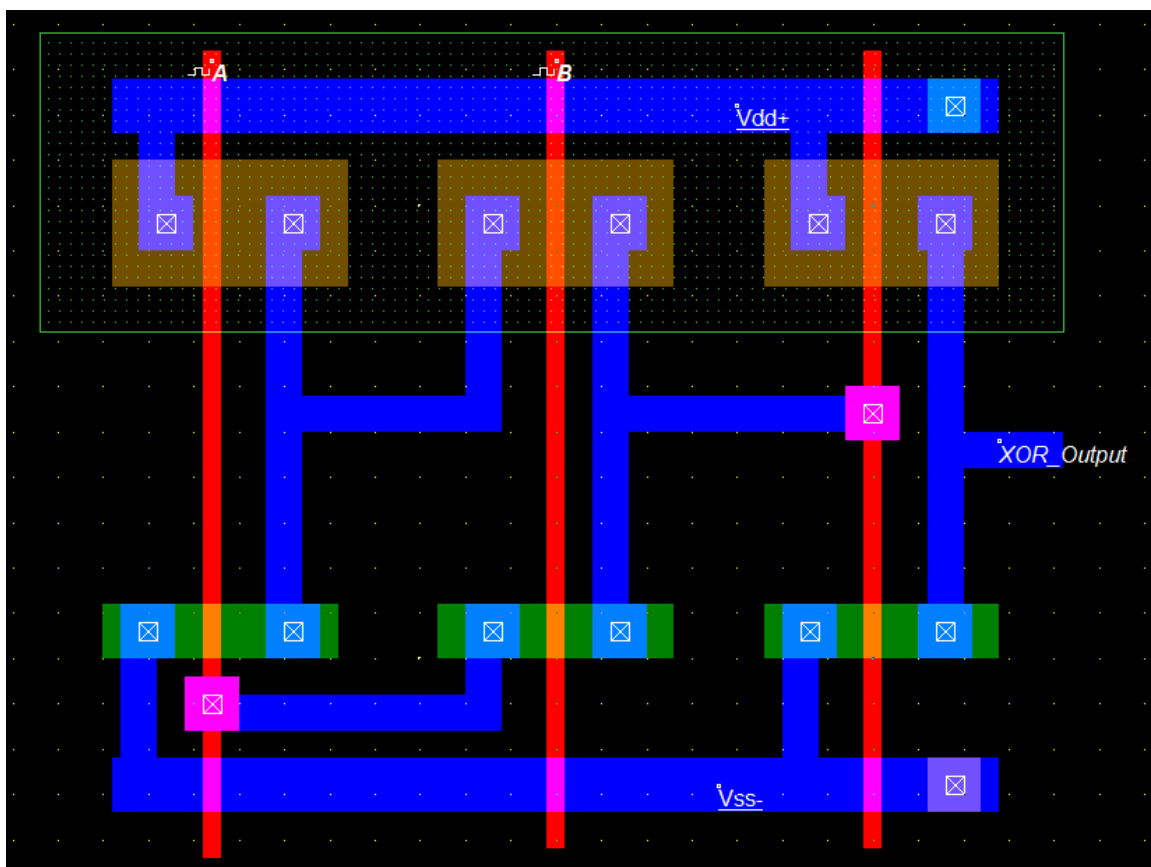
Πειραματική Μελέτη Καθυστέρησης Πυλών CMOS

α) Σχεδιάστε μία πύλη XOR χρησιμοποιώντας την προτεινόμενη σχεδίαση του Σχ. 5 με τα εξής χαρακτηριστικά $L_n = L_p = 1,2 \mu m$, $W_n = 3,6 \mu m$, $W_p = 8,4 \mu m$, πλάτος λωρίδων τροφοδοσίας και γείωσης $3,6 \mu m$ και πλάτος διασυνδέσεων $2,4 \mu m$.

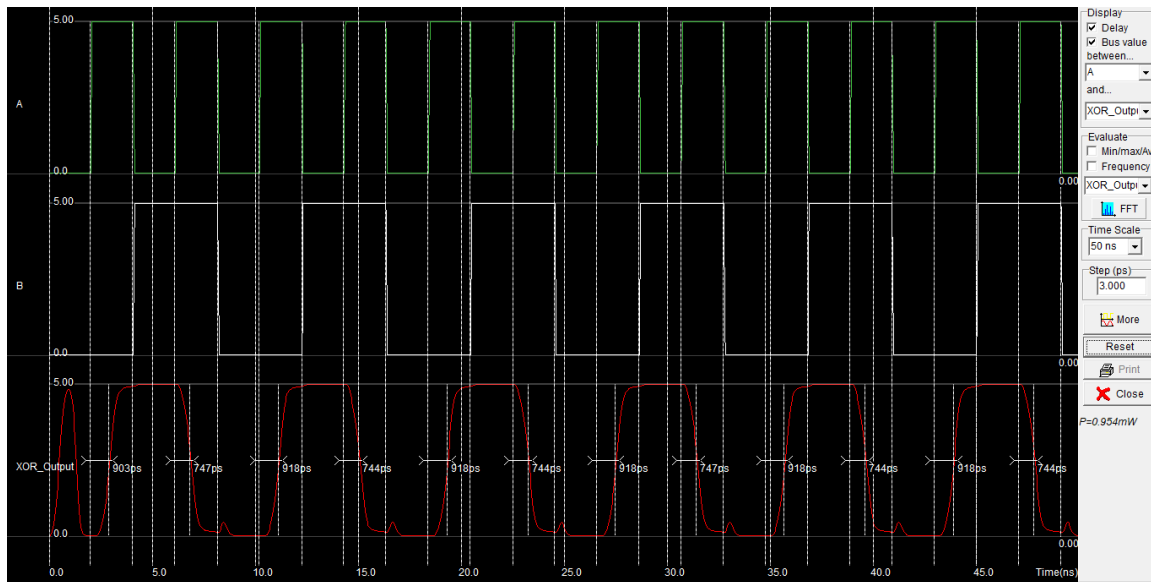


Σχ. 5 Σχεδίαση πύλης XOR βασισμένη σε πύλη μετάβασης

Η πύλη που σχεδιάστηκε (Lab4_a1.msk):

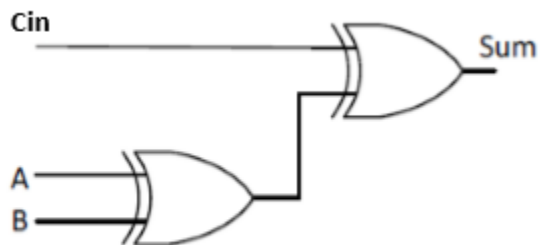


Η προσομοίωση που επαληθεύει τη σωστή λειτουργία:



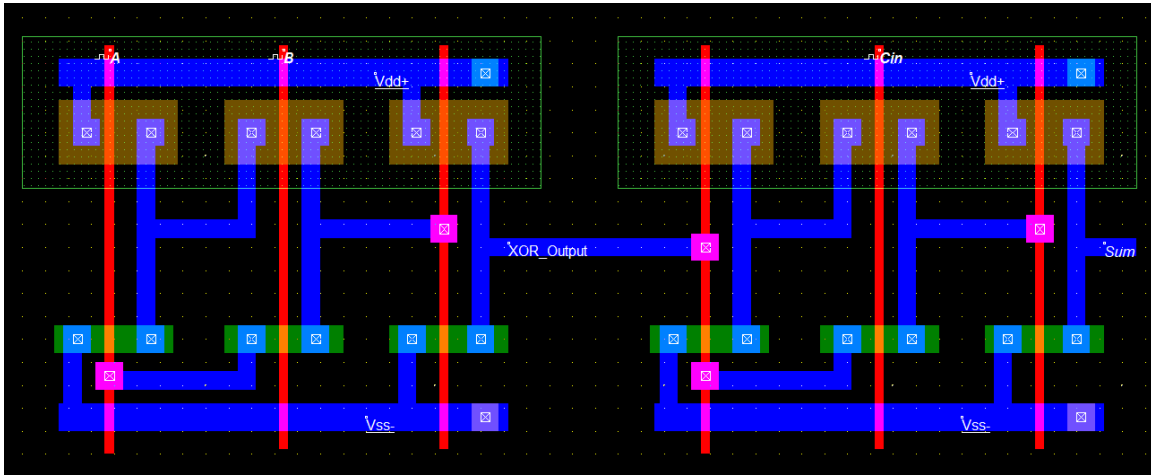
Η έξοδος ανέρχεται στα 5V μόνο όταν μία μοναδική είσοδος είναι στα 5V, με την ανάλογη καθυστέρηση.

β) Συνδυάζοντας δύο πύλες XOR σχεδιάστε το κύκλωμα υπολογισμού αθροίσματος του Σχ. 4.

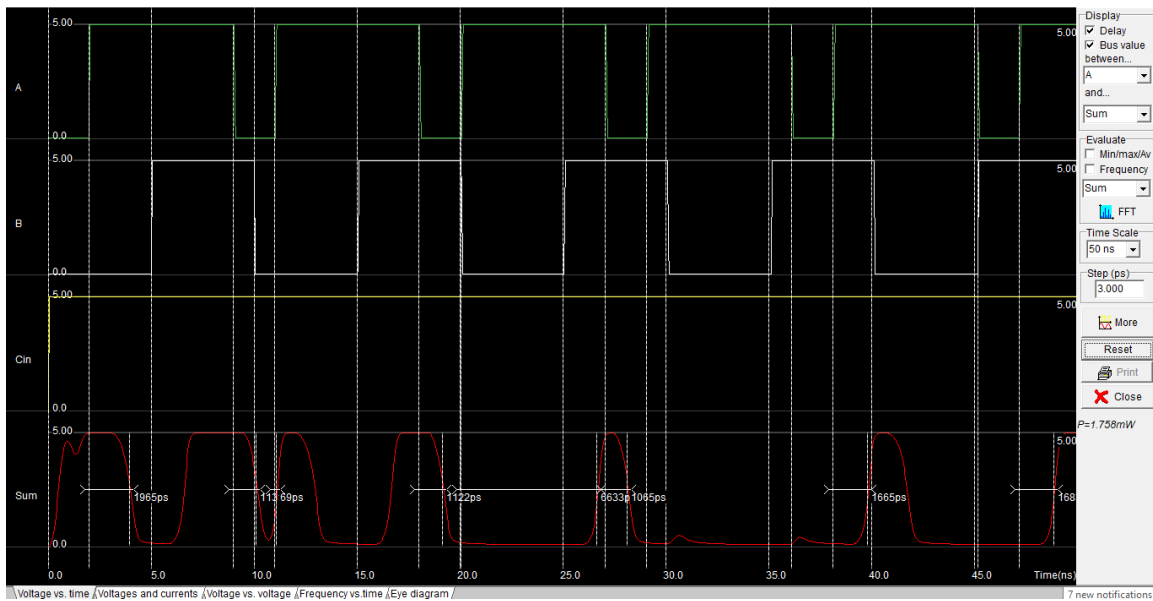


Σχ. 4 Κύκλωμα υπολογισμού αθροίσματος ενός πλήρη αθροιστή

Η πύλη που σχεδιάστηκε (Lab4_a2.msk):

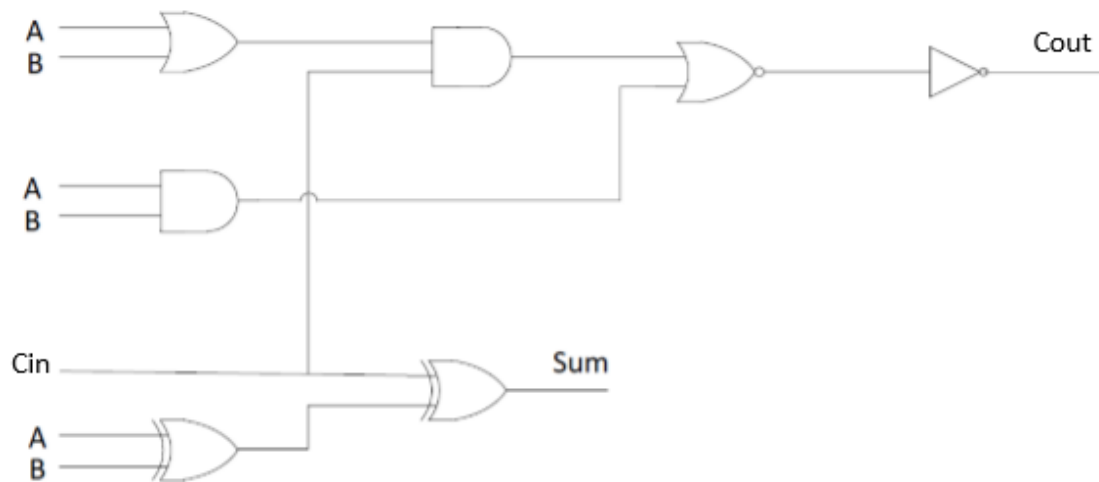


Η σωστή εύρεση του αθροίσματος επαληθεύεται από την προσομοίωση:



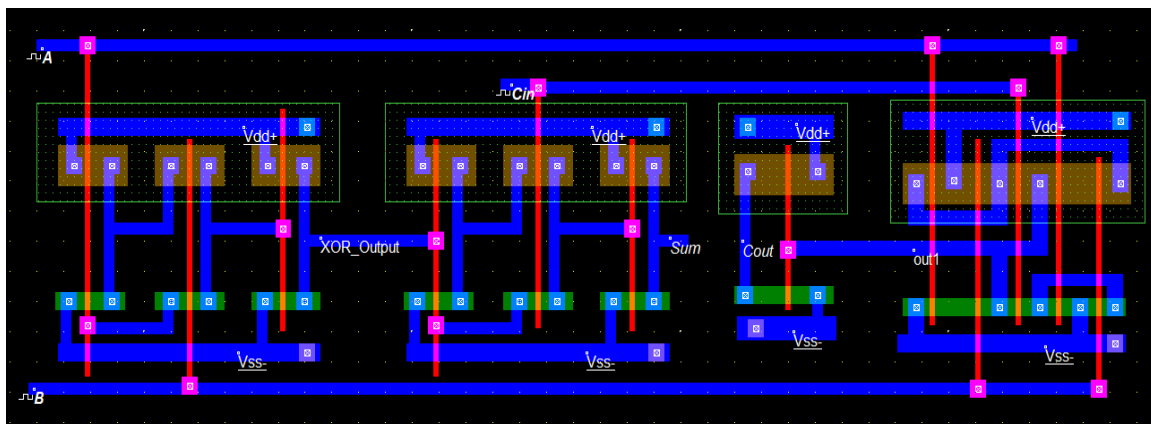
Παρατηρείται ότι έχουμε λογικό 1 στο άθροισμα μόνον όταν και οι 3 είσοδοι είναι 1 ή μόνο όταν η μία είσοδος είναι 1, που είναι και το αναμενόμενο.

ε) Χρησιμοποιώντας τον σχεδιασμό της προηγούμενης εργαστηριακής άσκησης σχεδιάστε ένα μπλοκ πλήρη αθροιστή (full adder cell), όπως φαίνεται στο σχήμα 6.

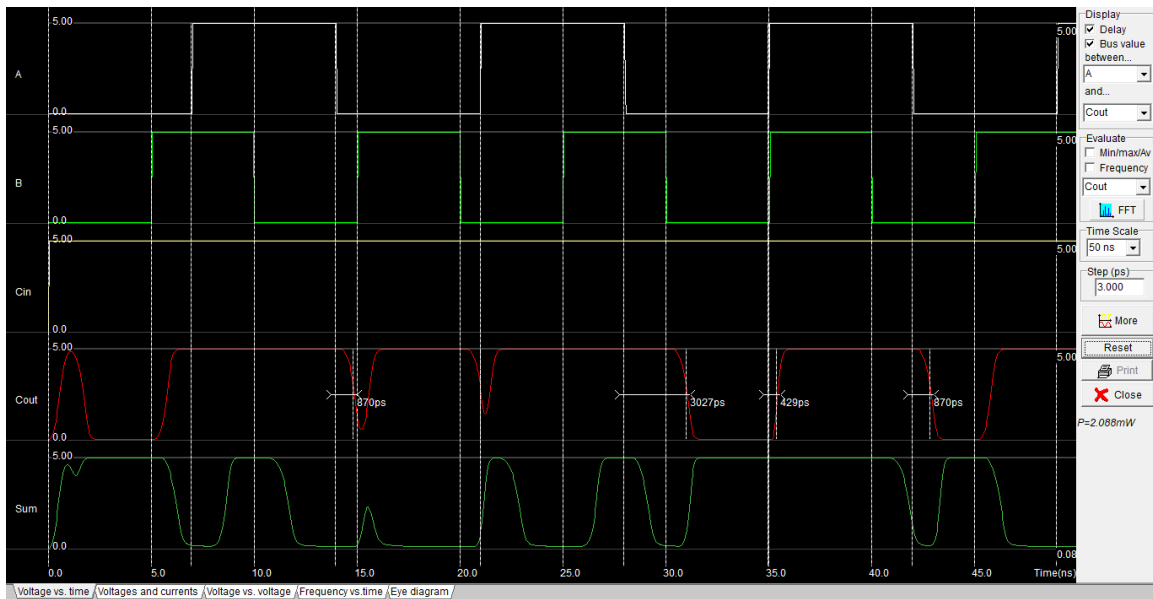


Σχ. 6 Μπλοκ πλήρη αθροιστή

Το κύκλωμα που σχεδιάστηκε (Lab4_a3.msk):



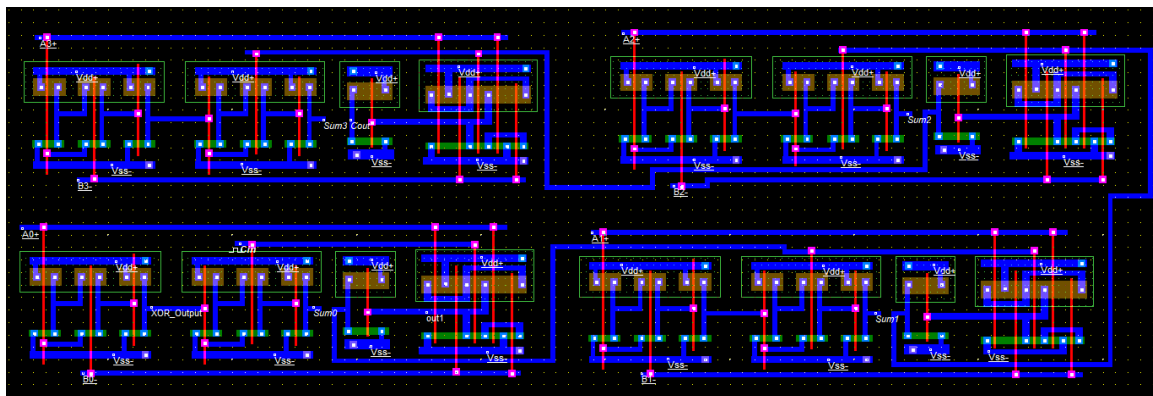
Η σωστή εύρεση του αθροίσματος και του κρατουμένου επαληθεύεται από την προσομοίωση:



Το κρατούμενο γίνεται 1 όταν τουλάχιστον δύο από τις εισόδους είναι 1, ενώ το άθροισμα είναι λογικό 1 όταν μία ή και οι τρεις εισοδοι είναι στο λογικό 1.

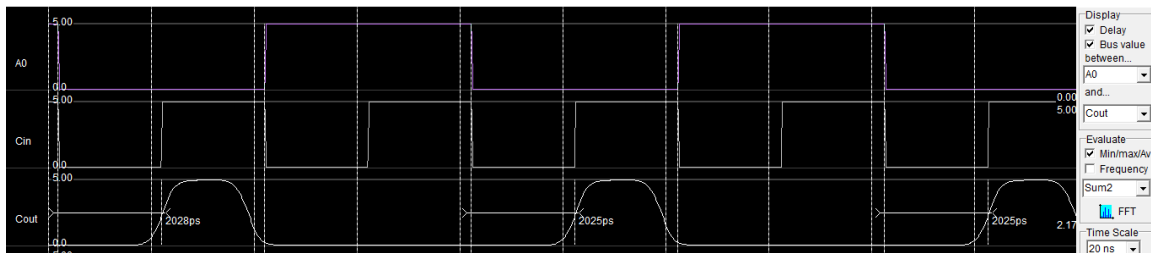
d) Συνδυάζοντας 4 μπλοκ πλήρη αθροιστή σε σειρά δημιουργήστε έναν πλήρη αθροιστή εύρους 4 bit. Αυτό μπορείτε να το επιτύχετε χρησιμοποιώντας την εντολή “Duplicate XY” από την καρτέλα “Edit”. Στη συνέχεια χρειάζεται να επιλέξετε την περιοχή που θέλετε να αντιγραφεί με το ποντίκι. Τότε εμφανίζεται το παράθυρο του Σχ. 7, μέσω του οποίου μπορεί να ρυθμιστεί ο παράγοντας αντιγραφής στους άξονες X και Y καθώς και η απόσταση των νέων μπλοκ. Από προεπιλογή τα μπλοκ εφάπτονται μεταξύ τους.

Το κύκλωμα που σχεδιάστηκε (Lab4_a4.msk)::



ε) Βρείτε το κρίσιμο μονοπάτι του αθροιστή 4 bit και μετρείστε την καθυστέρηση σε αυτό. Ποιά είναι η μέγιστη συχνότητα λειτουργίας του κυκλώματος που σχεδιάσατε;

Το κρίσιμο μονοπάτι είναι η διαδρομή στο κύκλωμα που έχει την μεγαλύτερη καθυστέρηση, στην συγκεκριμένη περίπτωση η διαδρομή από την πρώτη είσοδο έως το τελευταίο κρατούμενο εισόδου.



Η καθυστέρηση υπολογίζεται περίπου στα 2000ps από την προσομοίωση. Βάζοντας εισόδους με διάφορες τιμές κάθε φορά, παρατηρείται ότι η μέγιστη καθυστέρηση είναι κοντά στα 2500ps. Επομένως, η μέγιστη συχνότητα λειτουργίας είναι $f_{max} = 1 / 2500ps = 400MHz$.

4 Εργασία Για το Σπίτι

4.1 Μελέτη Καθυστέρησης Κυκλωμάτων CMOS

α) Βάσει του πίνακα με τις τυπικές καθυστερήσεις των βασικών πυλών τεχνολογίας CMOS υπολογίστε τη μέγιστη καθυστέρηση του κυκλώματος του πλήρη αθροιστή 4 bit και τη θεωρητική συχνότητα λειτουργίας του. Υπολογίστε τη διαφορά επί τοις εκατό ανάμεσα στα μεγέθη που υπολογίσατε και σε εκείνα που μετρήσατε και σχολιάστε τα αποτελέσματα.

$$\begin{aligned} \text{Critical Path Delay} &= D(\text{OR}) + 4D(\text{AND}) + 4D(\text{NOR}) + 4D(\text{INV}) \\ &= 5D(\text{NOR}) + 4D(\text{NAND}) + 9D(\text{INV}) \end{aligned}$$

Ο χρόνος καθυστέρησης μιας πύλης δίνεται από τον τύπο $t_{df} = t(\text{internalf}) + k \cdot t(\text{outputf})$. Στο συγκεκριμένο κύκλωμα ο βαθμός οδήγησης k είναι 1 αφού κάθε είσοδος οδηγεί μία έξοδο.

Σύμφωνα με τον πίνακα:

$$D(\text{NOR}) = 1.885ps$$

$$D(\text{NAND}) = 3.3ps$$

$$D(\text{INV}) = 1.78ps$$

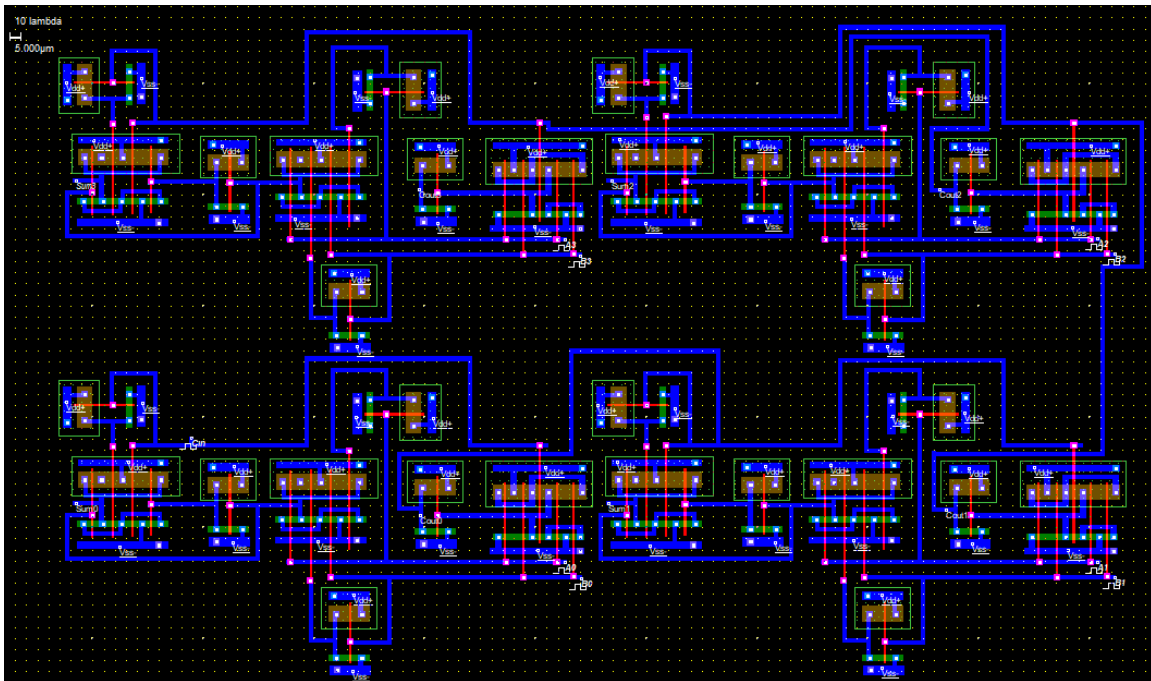
(Θεωρώντας ότι οι τιμές που δίνονται στον πίνακα είναι picoseconds)

Άρα, Critical Path Delay = 38.64ps.

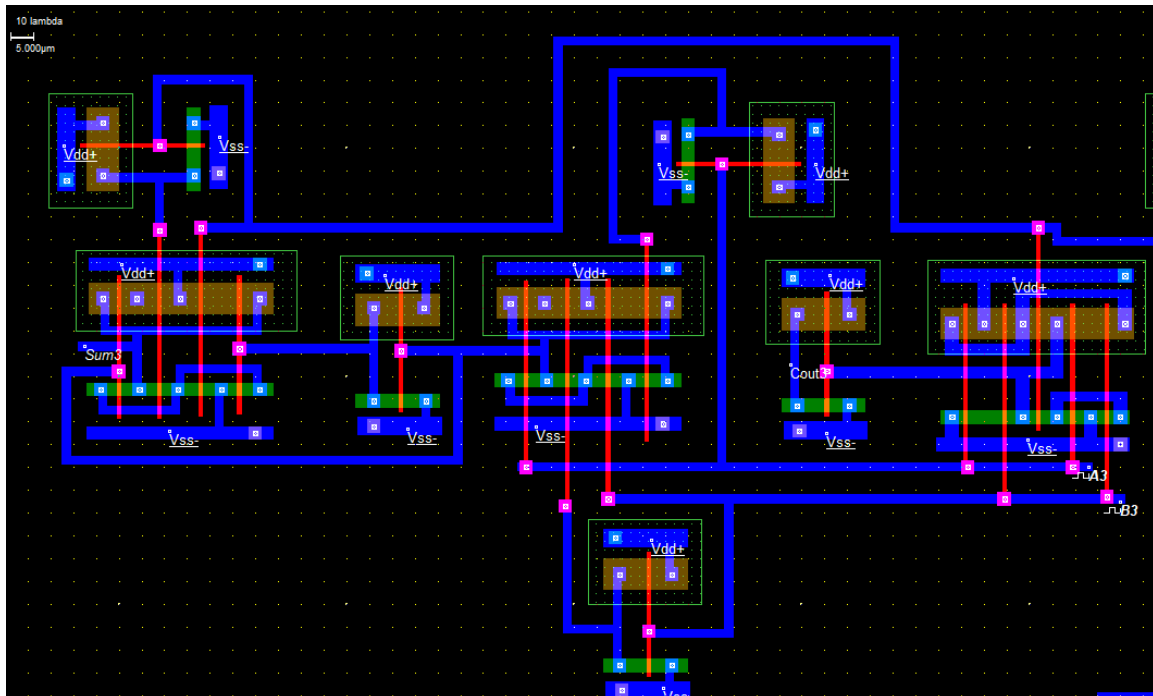
Θεωρητική συχνότητα λειτουργίας: $f = 1 / \text{Critical Path Delay} = 1 / 38.64\text{ps} = 25\text{GHz}$ περίπου. Η διαφορά είναι πολύ μεγάλη, όμως δεν προσδιορίζεται στον πίνακα ποια μονάδα μέτρησης χρησιμοποιείται.

b) Αντικαταστήστε το κύκλωμα του υπολογισμού του αθροίσματος στον πλήρη αθροιστή 1 bit με εκείνο που σχεδιάσατε στην προηγούμενη εργαστηριακή άσκηση με τη βοήθεια των μονοπατιών Euler. Υπολογίστε τη διαφορά επί τοις εκατό της καθυστέρησης και της κάλυψης επιφάνειας σε σχέση με την προηγούμενη σχεδίαση και σχολιάστε τα αποτελέσματα.

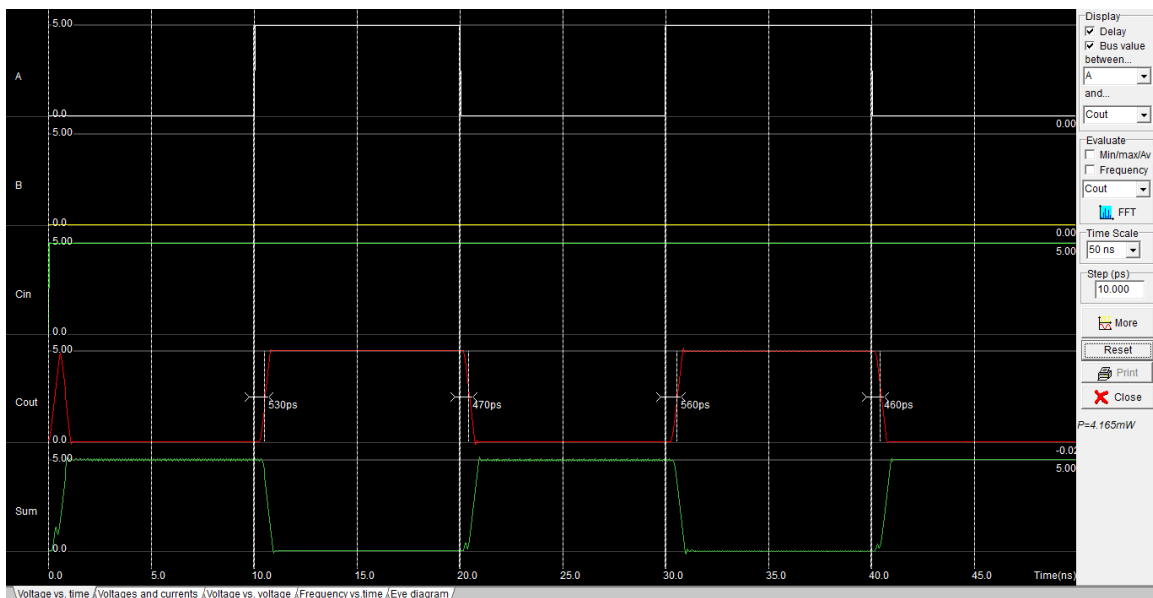
Το κύκλωμα που σχεδιάστηκε αντικαθιστώντας τον αθροιστή με το κύκλωμα του προηγούμενου εργαστηρίου (Lab4_Adder_version2.msk):



Ο κάθε Adder ξεχωριστά έχει την μορφή (Lab4_4b.msk):



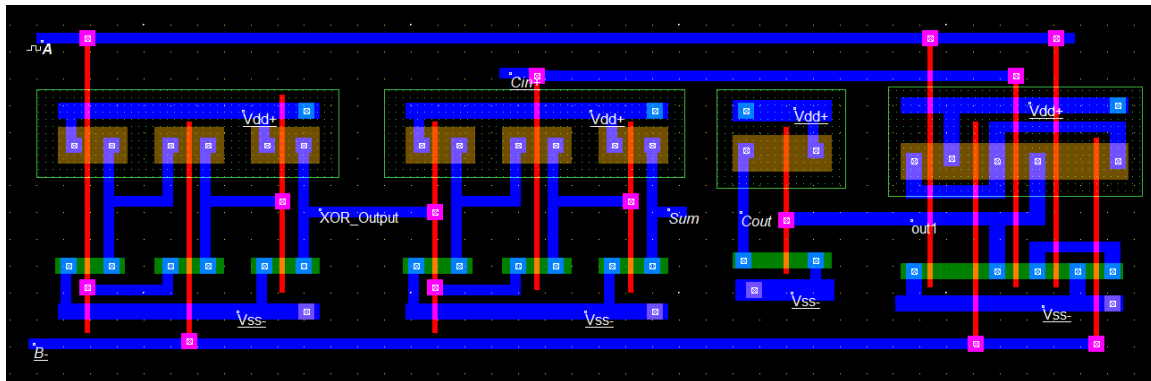
Το critical path είναι η διαδρομή από την είσοδο προς την έξοδο με την μεγαλύτερη καθυστέρηση. Επομένως από το critical path delay μετρίεται από την είσοδο A προς την έξοδο Cout χρησιμοποιώντας σταθερές στάθμες για Cin και B, ώστε η έξοδος να εξαρτάται από την κυματομορφή του A. Επομένως έχουμε critical path delay=580 ps (για κάθε αθροιστή).



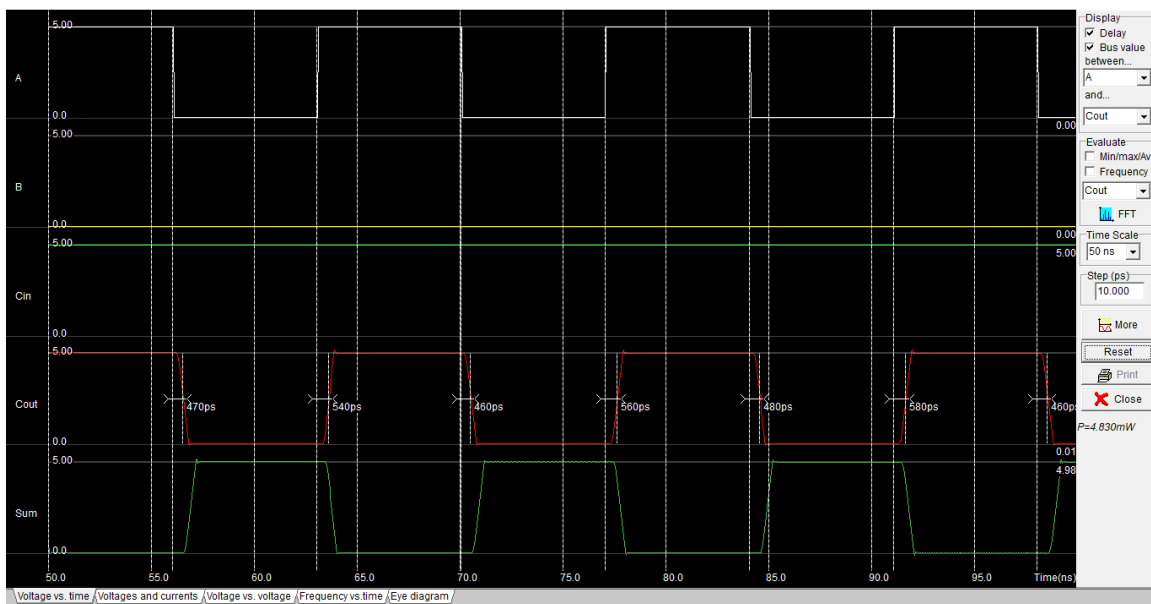
Η κάλυψη επιφάνειας ισούται με: $35502.0\mu\text{m}^2$

Layout Size	
Width:	244.0 μ m (488 lambda)
Height:	145.5 μ m (291 lambda)
Surf:	35502.0 μ m ² (0.0 mm ²)

Ο αθροιστής που κατασκευάστηκε προηγουμένως:



Critical Path Delay = 560ps.



Παρατηρείται ότι το critical path delay ουσιαστικά παραμένει ίδιο. Αυτό είναι αναμενόμενο γιατί το critical path δεν αλλάζει στα δύο κυκλώματα, το μόνο που αλλάζει είναι η υλοποίηση της XOR, η οποία όμως αφορά μόνο το μονοπάτι του Sum.

Η κάλυψη επιφάνειας ισούται με: $12480.0\mu\text{m}^2$

Layout Size	
Width:	208.0 μm (416 lambda)
Height:	60.0 μm (120 lambda)
Surf:	12480.0 μm^2 (0.0 mm ²)

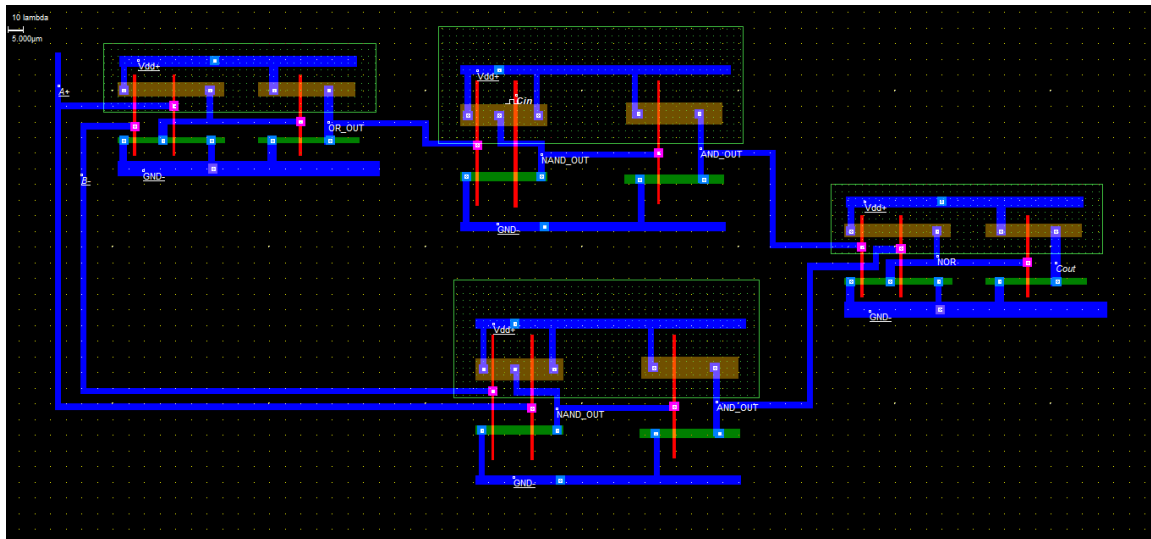
Ο νέος αθροιστής έχει πολύ μεγαλύτερη επιφάνεια. Αυτό είναι και λόγω των inverters που προστίθενται καθώς η νέα υλοποίηση της XOR χρησιμοποιεί συμπληρωματικές εισόδους.

Διαφορά επί τοις εκατό καθυστέρησης: $(580\text{ps} - 560\text{ps}) / 580\text{ps} = 0.034 = 3.4\%$

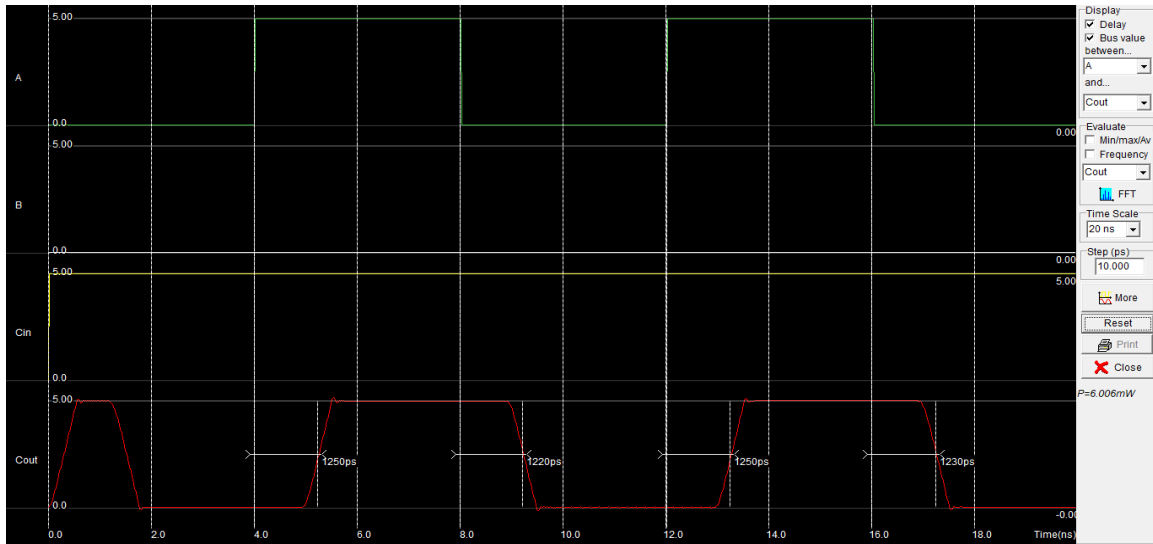
Διαφορά επί τοις εκατό επιφάνειας: $(35502.0\mu\text{m}^2 - 12480.0\mu\text{m}^2) / 35502.0\mu\text{m}^2 = 0.65 = 65\%$.

c) Σχεδιάστε το κύκλωμα υπολογισμού κρατουμένου χρησιμοποιώντας διακριτές πύλες AND και OR. Μετρείστε την καθυστέρηση και συγκρίνετέ την με τη θεωρητική τιμή που υπολογίσατε στο ερώτημα a. Σχολιάστε το αποτέλεσμα.

Το κύκλωμα που σχεδιάστηκε (Lab4_4c.msk):



Η προσομοίωση:



Critical path delay=1250 ps.

Η κάλυψη επιφάνειας ισούται με: 49297,3 μm^2

Width: 336.5 μm (673 λ)
 Height: 146.5 μm (293 λ)
 Surf: 49297.3 μm^2 (0.0 mm^2)

Η διαφορά είναι πολύ μεγάλη, όμως δεν προσδιορίζεται στον πίνακα θεωρητικών καθυστερήσεων ποια μονάδα μέτρησης χρησιμοποιείται.

d) Υπολογίστε τη διαφορά επί τοις εκατό στην καθυστέρηση και την κάλυψη επιφάνειας ανάμεσα στις περιπτώσεις όπου το κύκλωμα παραγωγής κρατουμένου έχει σχεδιαστεί με συμβατική σχεδίαση (διακριτές πύλες) και με την μέθοδο των μονοπατιών Euler. Συγκρίνετε τις δύο μεθόδους και σχολιάστε τις παρατηρήσεις σας.

Θα συγκριθούν οι υλοποιήσεις που έγιναν στο ερώτημα b και στο ερώτημα c.

Διαφορά επί τοις εκατό καθυστέρησης: $(1250 - 560) / 1250 = 0.055 = 55.2\%$

Διαφορά επί τοις εκατό επιφάνειας: $(49297,3 \mu\text{m}^2 - 12480,0 \mu\text{m}^2) / 49297,3 \mu\text{m}^2 = 0.75 = 75\%$.

Παρατηρείται ότι στην υλοποίηση με τις διακριτές πύλες αυξάνεται πολύ και η καθυστέρηση και η επιφάνεια. Αυτό είναι λογικό μιας και οι διακριτές πύλες είναι κακός τρόπος σχεδιασμού σε σύγκριση με τα μονοπάτια Euler. Επιπλέον κάθε πύλη AND και OR χρειάζεται έναν Inverter που χειροτερεύουν ακόμα πιο πολύ τα ποσοστά.

