

ΕΡΓΑΣΤΗΡΙΟ ΣΧΕΔΙΑΣΜΟΥ ΟΛΟΚΛΗΡΩΜΕΝΩΝ ΚΥΚΛΩΜΑΤΩΝ Ι (VLSI Ι)

Εργαστήριο 1

Ομάδα 04

ΕΠΩΝΥΜΟ	ΟΝΟΜΑ	ΑΡΙΘΜΟΣ ΜΗΤΡΩΟΥ
ΒΑΓΓΕΛΗΣ	ΧΡΙΣΤΟΦΟΡΟΣ	1053715
ΔΑΣΟΥΛΑΣ	ΙΩΑΝΝΗΣ	1053711

Σχεδιασμός και Προσομοίωση Βασικών Κυκλωμάτων Τεχνολογίας CMOS

Στόχος:

Στόχος της άσκησης είναι η εισαγωγή και η εξοικείωση με το εργαλείο σχεδιασμού Microwind, το οποίο θα χρησιμοποιηθεί στις επόμενες εργαστηριακές ασκήσεις. Αντικείμενο της άσκησης είναι ο σχεδιασμός και η προσομοίωση βασικών στοιχείων τεχνολογίας CMOS με σκοπό την πλήρη κατανόηση της διαδικασίας σχεδιασμού και προσομοίωσης.

Ασκήσεις εργαστηρίου:

Το εργαλείο Microwind επιτρέπει τον σχεδιασμό και την προσομοίωση μικροηλεκτρονικών κυκλωμάτων στο φυσικό επίπεδο περιγραφής (layout level), προσφέροντας αρκετές δυνατότητες ως προς την υλοποίηση αναλογικών και ψηφιακών κυκλωμάτων ή συνδυασμού αυτών.

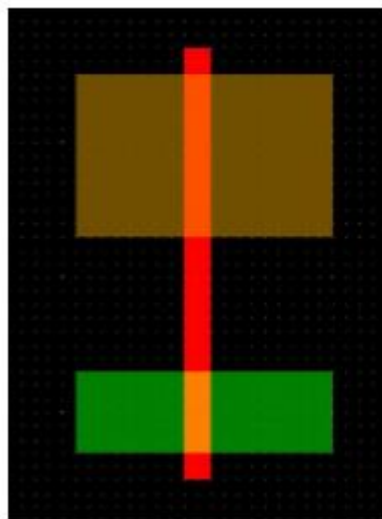
Κατά την διάρκεια του εργαστηρίου έγιναν οι απαραίτητες ρυθμίσεις του Microwind και κατασκευάστηκαν ο CMOS αντιστροφέας, η πύλη NAND δύο εισόδων και η πύλη AND δύο εισόδων χρησιμοποιώντας τον συνδυασμό του αντιστροφέα και της NAND πύλης. Για κάθε μία από τις δημιουργίες παρατηρήθηκε η συμπεριφορά τους μέσω προσομοίωσης της λειτουργίας τους καθώς και άλλα στοιχεία τους μέσω της παραμετρικής ανάλυσης, όπως αναλύεται στη συνέχεια.

Εργασία Για το Σπίτι:

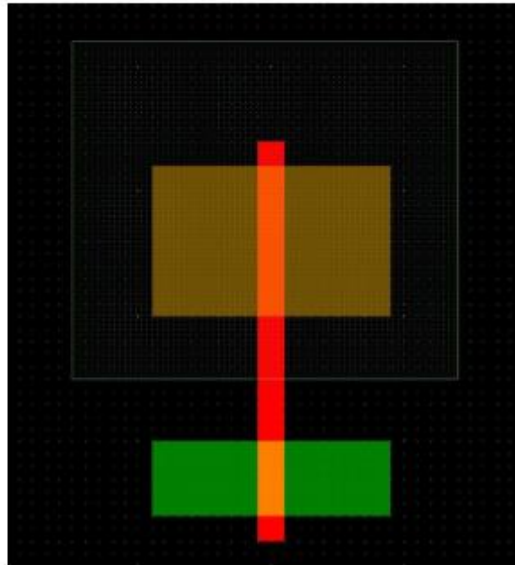
Άσκηση 5.1 – CMOS Αντιστροφέας

a) Να γίνει περιγραφή περιληπτικά της διαδικασίας κατασκευής ενός CMOS αντιστροφέα στο υλικό.

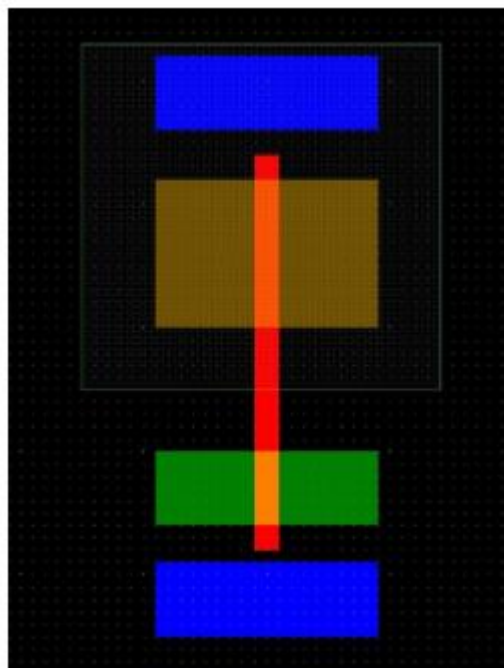
Αρχικά, επιλέχθηκε CMOS τεχνολογία 1,2 μm επιλέγοντας το αρχείο cmos12.rul από την επιλογή Select Foundry της καρτέλας File. Έπειτα, από την παλέτα επιλέχθηκε το στρώμα του πολυπυριτίου (Polysilicon) και μια λωρίδα πολυπυριτίου μήκους 2 λ , το οποίο αποτελεί το μήκος καναλιού των τρανζίστορ που πρόκειται να δημιουργηθούν, δηλαδή $L_n = L_p = 2\lambda = 1,2 \mu\text{m}$. Μετά, επιλέχθηκε το στρώμα της διάχυσης τύπου N (N+ Diffusion) και σχεδιάστηκε μία ορθογώνια περιοχή πλάτους $W_n = 3,6 \mu\text{m}$ στο κάτω μέρος της λωρίδας πολυπυριτίου, ενώ όμοια σχεδιάστηκε διάχυση τύπου P (P+ Diffusion) πλάτους $W_p = 7,2 \mu\text{m}$ στο πάνω μέρος της λωρίδας πολυπυριτίου, όπως φαίνεται στο σχήμα.



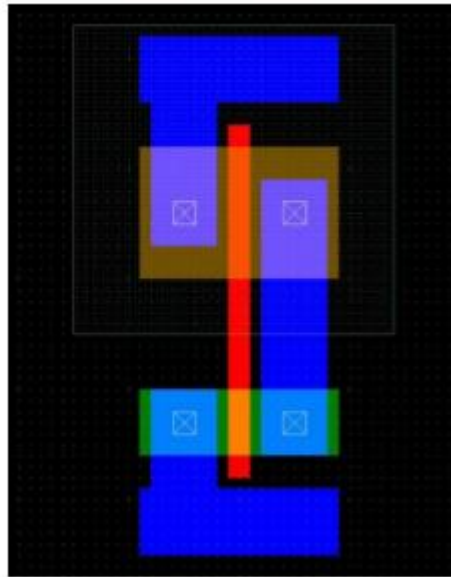
Ύστερα, δημιουργήθηκε το πηγάδι τύπου N (N well), επιλέγοντας το στρώμα πηγαδιού τύπου N και σχεδιάζοντας μια ορθογώνια περιοχή περικλείοντας τη διάχυση τύπου P.



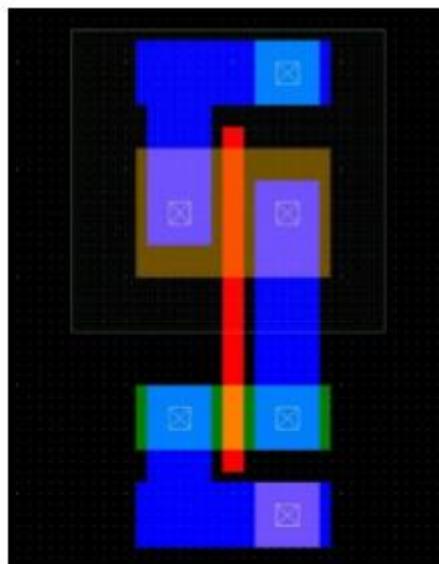
Έπειτα, προστέθηκαν οι γραμμές τροφοδοσίας και γείωσης επιλέγοντας το στρώμα μετάλλου (Metal 1) και σχεδιάζοντας δύο λωρίδες στο πάνω και κάτω σημείο του σχεδιασμού, αντίστοιχα.



Ακολούθησε η δημιουργία γραμμών διασύνδεσης και η τοποθέτηση επαφών. Χρησιμοποιώντας το στρώμα μετάλλου (Metal 1) διασυνδέθηκαν οι διαχύσεις των P και N τρανζίστορ ώστε να δημιουργήσουν τον κόμβο εξόδου, ενώ οι άλλες δύο συνδέθηκαν με τη γραμμή τροφοδοσίας και γείωσης, αντίστοιχα.

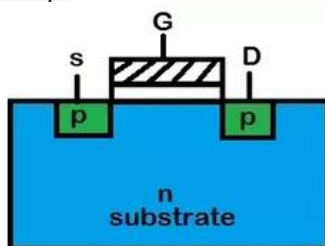


Τέλος, δημιουργήθηκαν οι επαφές πόλωσης τοποθετώντας τις κατάλληλες επαφές ώστε να συνδεθεί το πηγάδι τύπου N με την τροφοδοσία και το υπόλοιπο υπόστρωμα τύπου P με τη γείωση, όπως στην εικόνα.

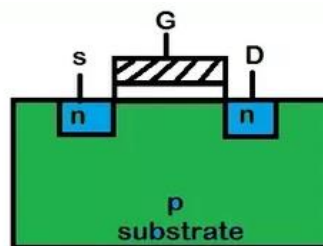


b) Ποιά είναι η χρησιμότητα του πηγαδιού τύπου N;

Τα pmos απαιτεί υπόστρωμα τύπου n και τα nmos απαιτούν υπόστρωμα τύπου p.

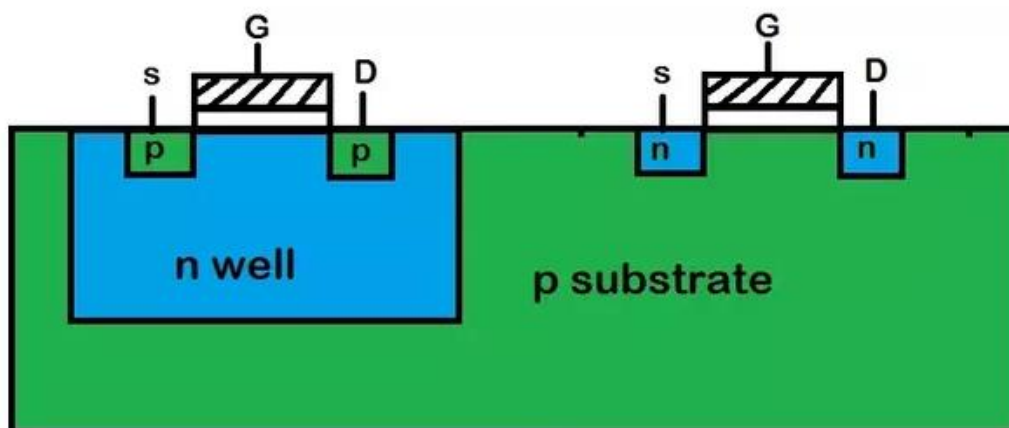


pmos



nmos

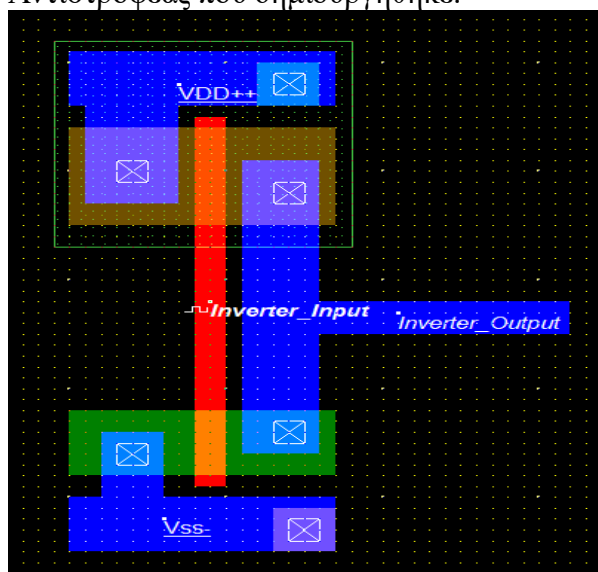
Στην τεχνολογία CMOS, χρειάζονται τρανζίστορ pmos και nmos για την κατασκευή του κυκλώματος. Τα δύο τρανζίστορ του αντιστροφέα πρέπει να είναι κατασκευασμένα πάνω στο ίδιο υπόστρωμα πυριτίου. Τα υποστρώματα πυριτίου είναι ως επί το πλείστον ντοπαρισμένα τύπου p. Έτσι, μπορούν να κατασκευαστούν μόνο τρανζίστορ nmos σε αυτά. Για να κατασκευαστούν τρανζίστορ pmos, επιλέγονται συγκεκριμένες περιοχές του υποστρώματος πυριτίου να είναι τύπου n. Αυτό είναι ανάλογο με το σκάψιμο ενός φρέατος στο υπόστρωμα τύπου p και την τοποθέτηση υλικού τύπου n σε αυτό το πηγάδι. Αυτό είναι το N well.



c) Γιατί απαιτείται πόλωση του υποστρώματος και του πηγαδιού;

Για να αποφεύγονται φαινόμενα επίδρασης της πόλωσης-σώματος, δηλαδή της επίδρασης στο ρεύμα μέσα από την πύλη εξαιτίας της τάσης μεταξύ της επαφής-υποστρώματος και κυρίως σώματος της διάταξης, χρειάζεται να πολωθεί το nMOS στην V_{ss} (υπόστρωμα), δηλαδή να γειωθεί, και το pMOS στην V_{dd} (πηγάδι) έτσι ώστε να διασφαλιστεί ότι οι εικονικές δίοδοι που δημιουργούνται εγκάρσια στο στρώμα της διάταξης, δεν πρόκειται να εμφανίσουν ορθή πόλωση. Η περιοχή N well πρέπει πάντα να πολώνεται σε υψηλή τάση για να αποφεύγεται βραχυκύκλωμα μεταξύ V_{dd} και V_{ss} .

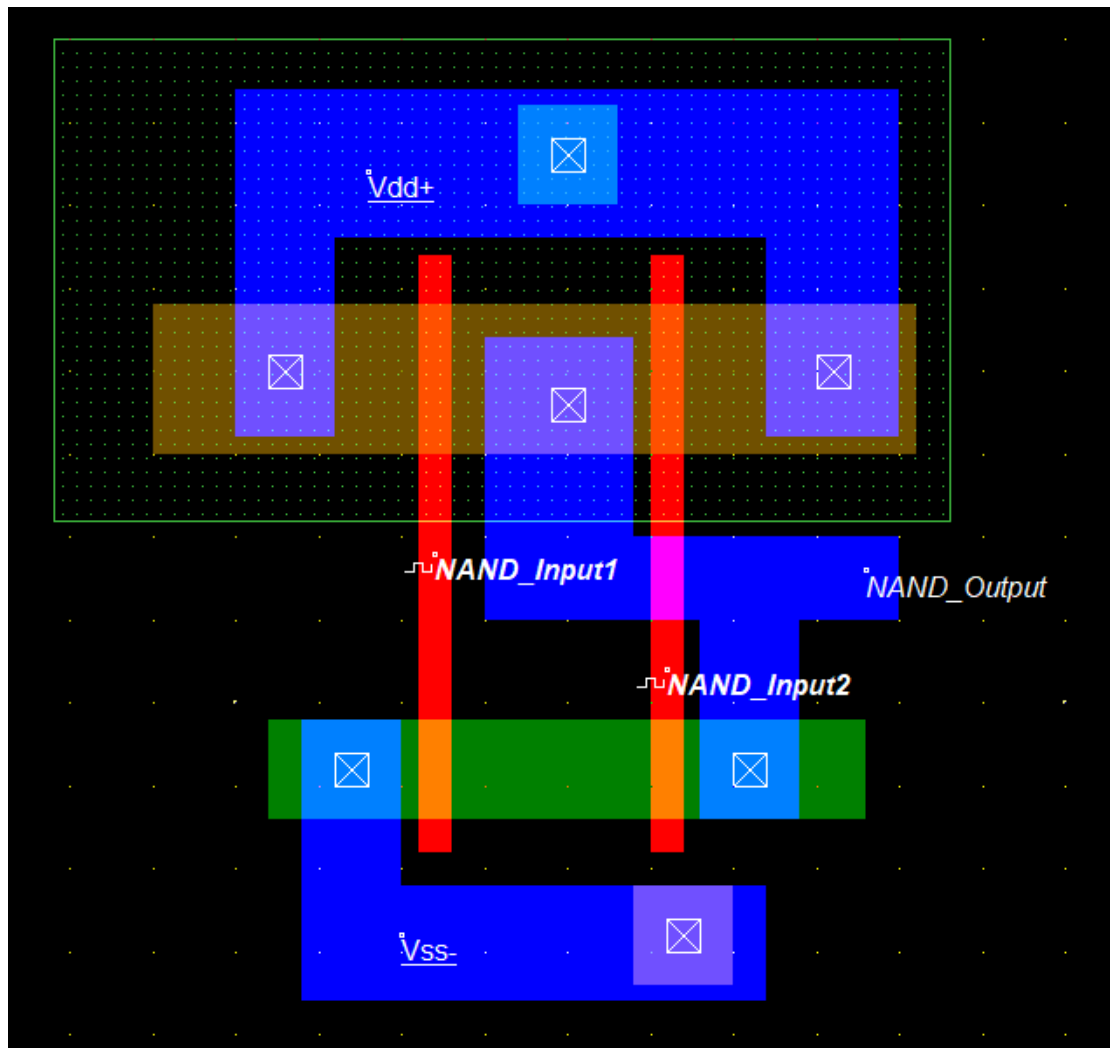
Αντιστροφέας που δημιουργήθηκε:



Άσκηση 5.2 – Πύλη NAND Δύο Εισόδων

α) Να προσομοιωθεί η πύλη που σχεδιάστηκε και ναδειχθεί ότι δουλεύει σωστά για όλους τους δυνατούς συνδυασμούς των εισόδων.

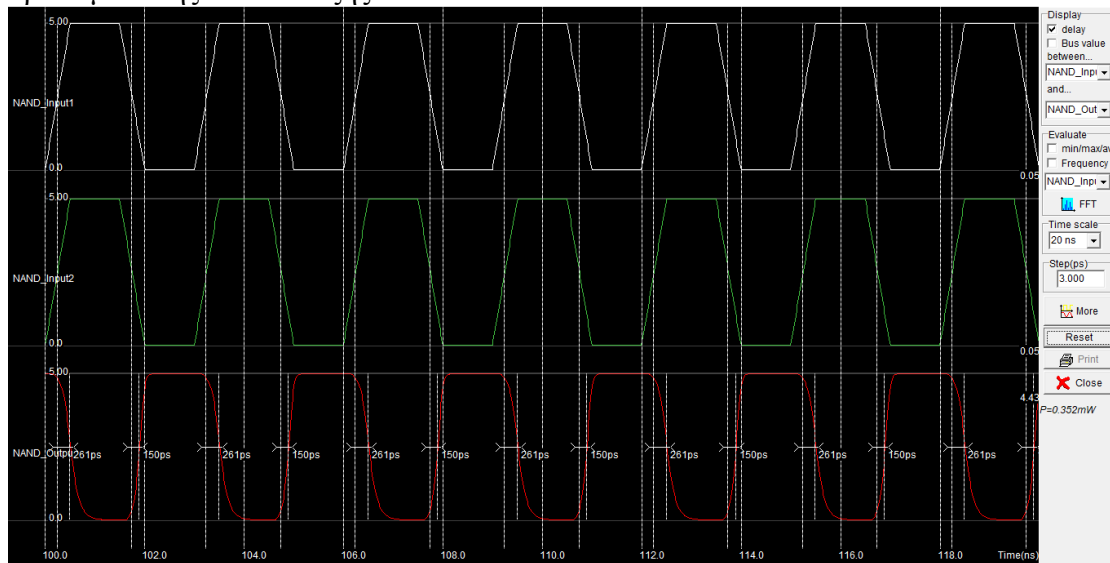
Η πύλη NAND που σχεδιάστηκε:



Πίνακας λογικής της NAND:

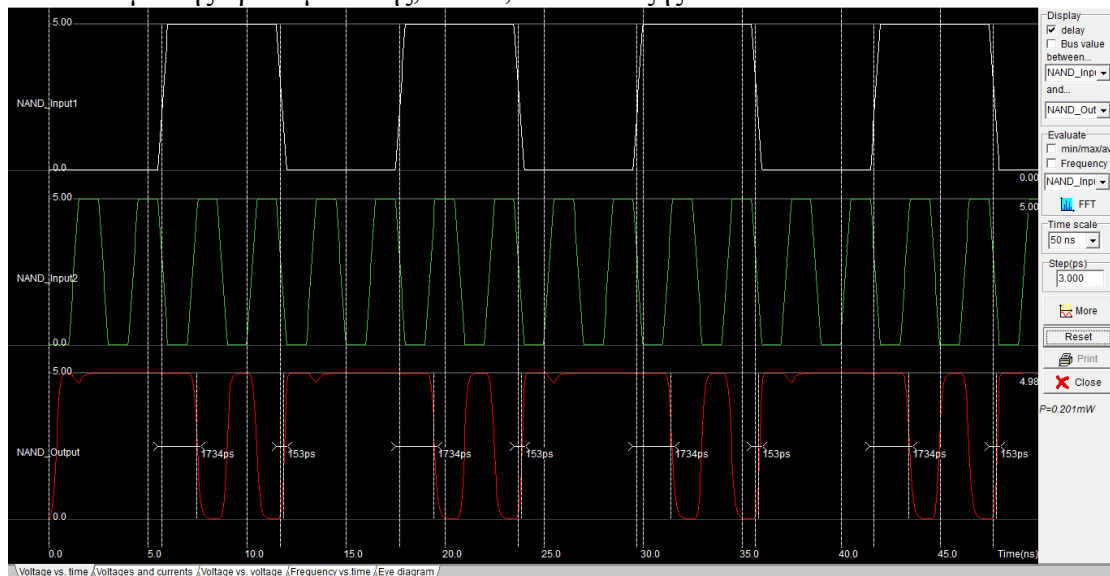
2 Input NAND gate		
A	B	A.B
0	0	1
0	1	1
1	0	1
1	1	0

Έστω αρχικά, ότι οι δύο είσοδοι είναι πανομοιότυποι. Το αποτέλεσμα της προσομοίωσης είναι το εξής:



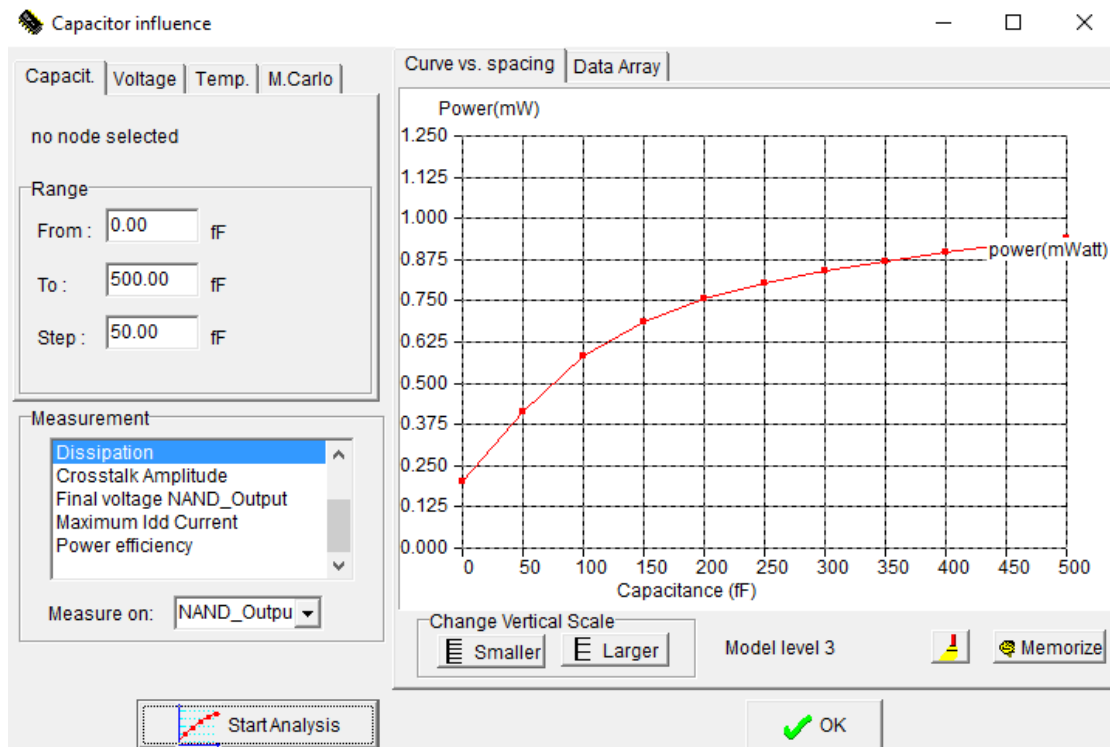
Παρατηρείται ότι επαληθεύεται ο πίνακας λογικής της πύλης, καθώς όταν και οι δύο είσοδοι είναι 0, το αποτέλεσμα είναι 1, ενώ όταν και οι δύο είσοδοι είναι 1, το αποτέλεσμα είναι 0, με τις ανάλογες καθυστερήσεις, φυσικά.

Έπειτα, γίνεται καθυστέρηση της μίας εισόδου για να μην είναι όμοιες. Το αποτέλεσμα της προσομοίωσης, πλέον, είναι το εξής:



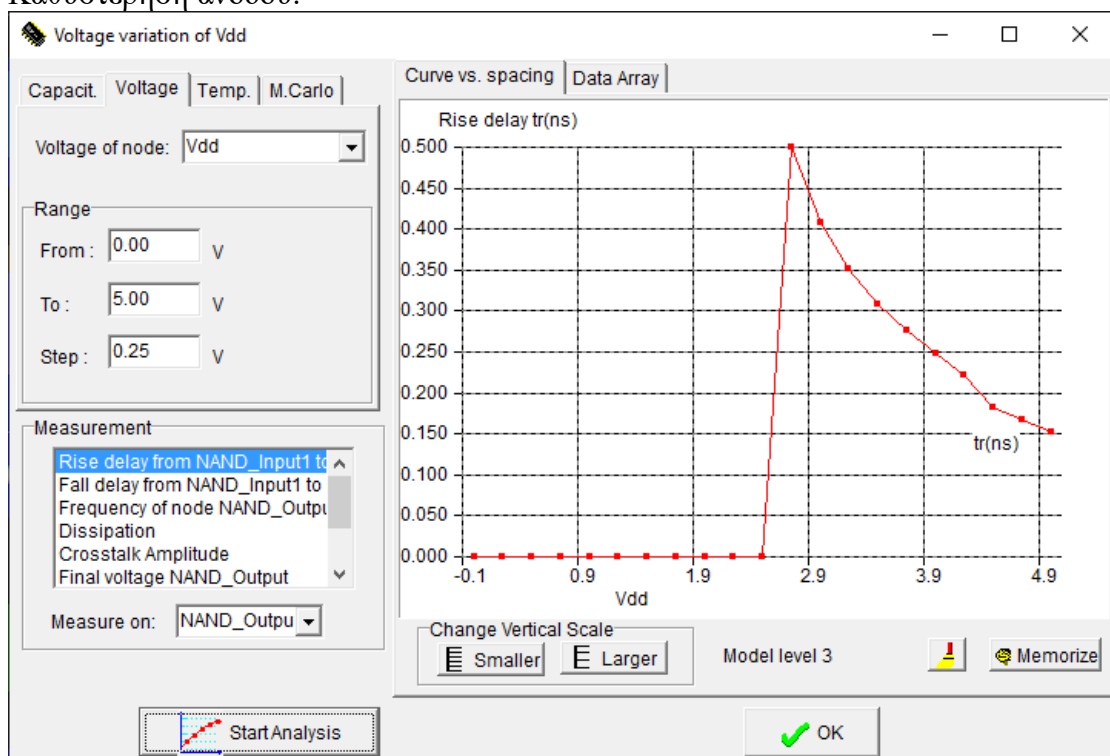
Παρατηρείται ότι επαληθεύεται ο πίνακας λογικής της πύλης, καθώς το αποτέλεσμα είναι 0, μόνον όταν και οι δύο είσοδοι είναι 1, με την ανάλογη καθυστέρηση φυσικά.

β) Να πραγματοποιηθεί παραμετρική ανάλυση της κατανάλωσης ισχύος στον κόμβο εξόδου σε σχέση με τη χωρητικότητά του, η οποία κυμαίνεται από 0 έως 500 fF με βήμα 50 fF.

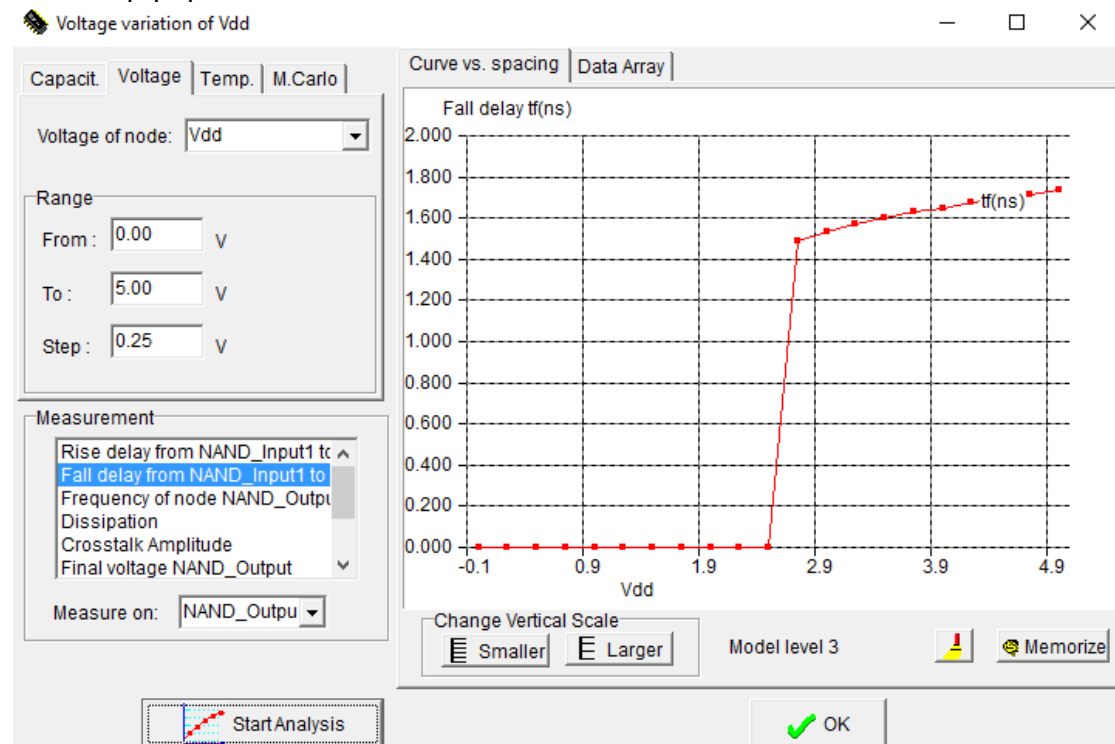


c) Να πραγματοποιηθεί παραμετρική ανάλυση της καθυστέρησης στον κόμβο εξόδου σε σχέση με την τάση τροφοδοσίας, η οποία κυμαίνεται από 0 έως 5 V με βήμα 0,25 V. Σχολιάστε τα αποτελέσματα.

Καθυστέρηση ανόδου:



Καθυστέρηση καθόδου:

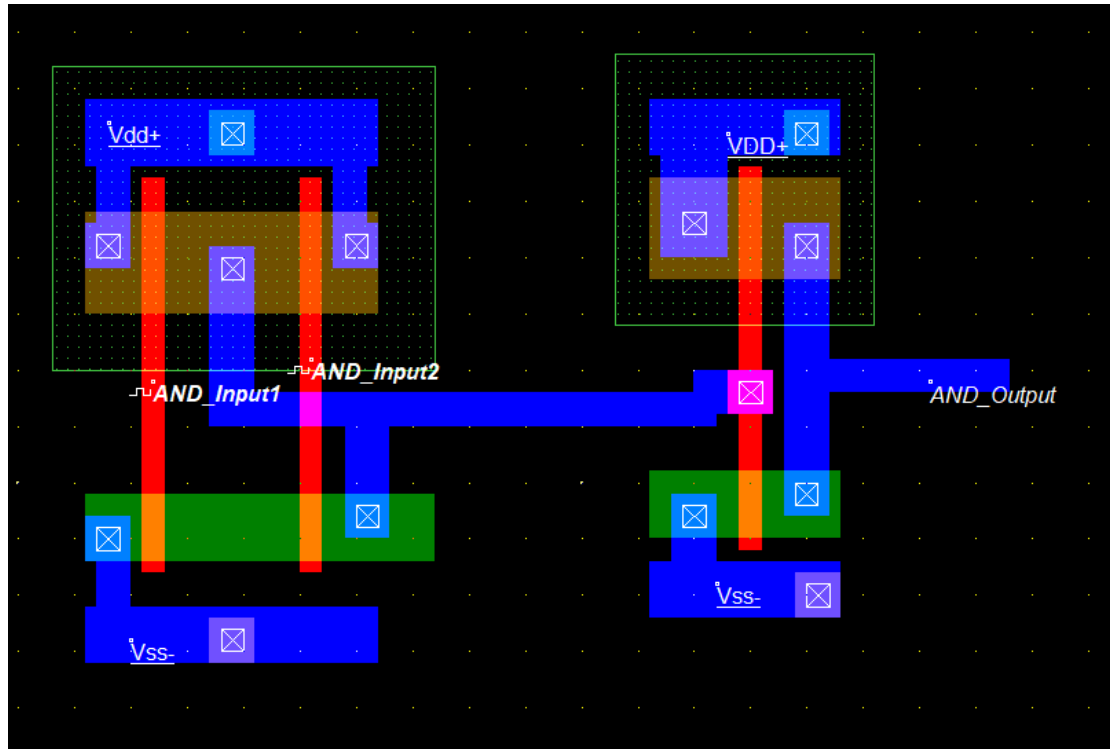


Παρατηρείται ότι μετά το πέρας των 2.5 Volt, αρχίζει να υπάρχει καθυστέρηση ανόδου και καθόδου. Και οι δύο καθυστερήσεις αρχικά παρουσιάζουν αύξηση, μέχρι να φτάσουν τα ένα peak σημείο από το οποίο και μετά αρχίζουν να μειώνονται. Αυτό φαίνεται στην χαρακτηριστική της καθυστέρησης ανόδου, που παίρνει κατευθείαν την μέγιστη τιμή της (0.5 ns) που είναι η τιμή που έχει δοθεί στην δημιουργία των εισόδων. Η μέγιστη τιμή της καθυστέρησης καθόδου αναμένεται να είναι μεγαλύτερη.

Άσκηση 5.3 – Πύλη AND Δύο Εισόδων

α) Να σχεδιαστεί μια πύλη AND δύο εισόδων συνδυάζοντας τις πύλες που έχετε ήδη σχεδιάσει.

Η πύλη AND που σχεδιάστηκε:

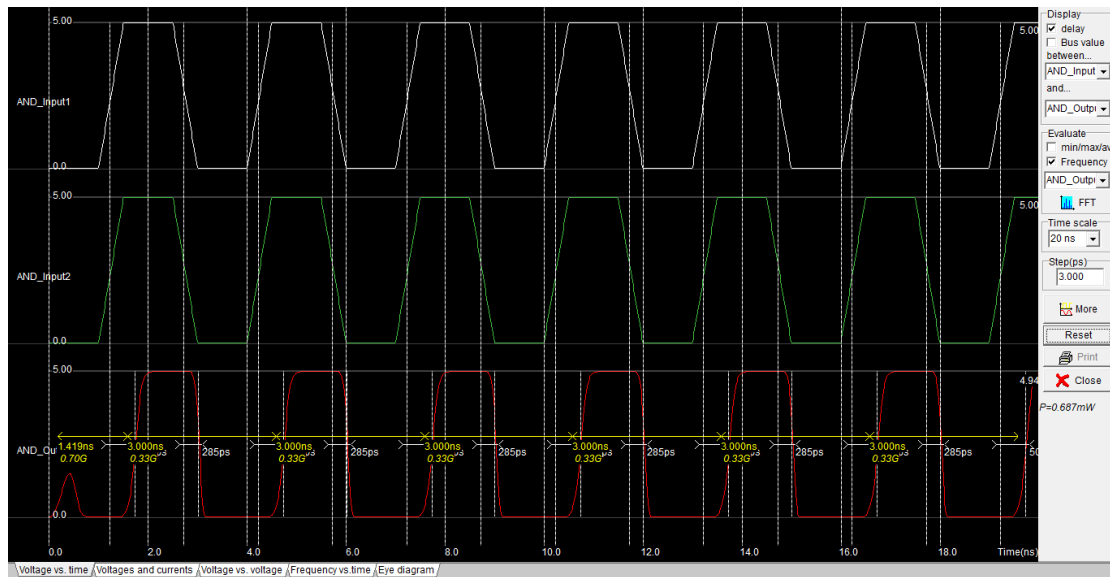


β) Να πραγματοποιηθεί η πύλη που σχεδιάστηκε και ναδειχθεί ότι δουλεύει σωστά για όλους τους δυνατούς συνδυασμούς των εισόδων.

Πίνακας λογικής της AND:

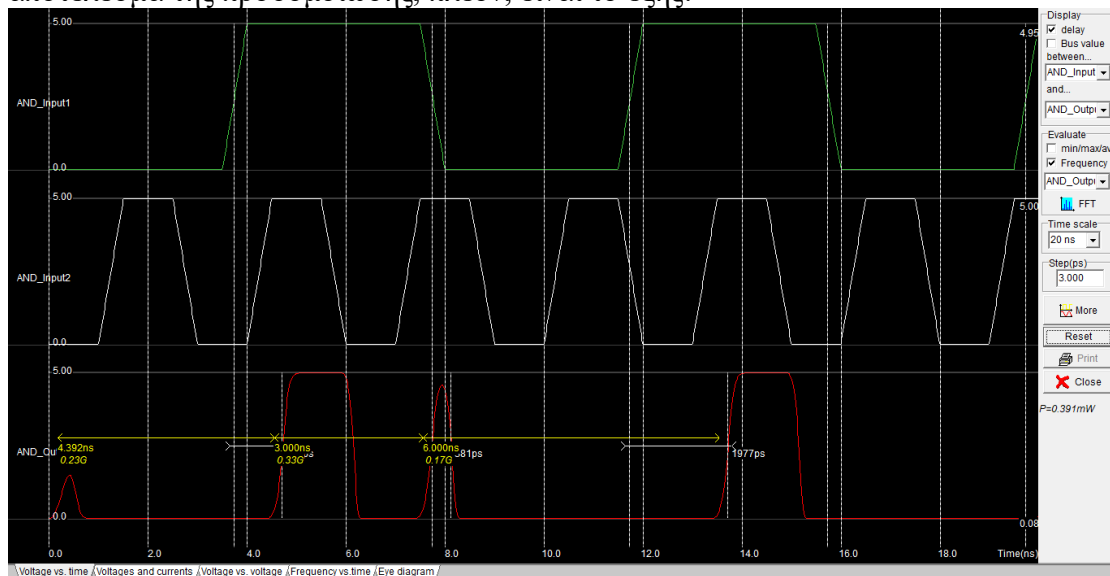
2 Input AND gate		
A	B	A.B
0	0	0
0	1	0
1	0	0
1	1	1

Έστω αρχικά, ότι οι δύο εισοδοι είναι πανομοιότυποι. Το αποτέλεσμα της προσομοίωσης είναι το εξής:



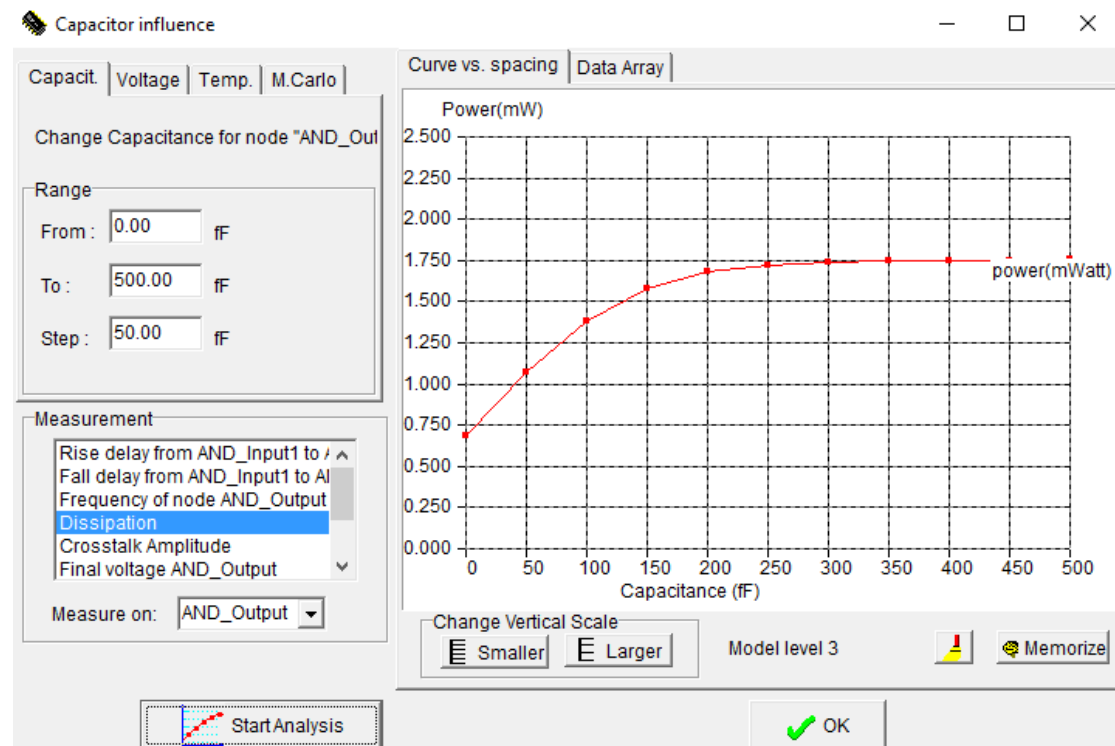
Παρατηρείται ότι επαληθεύεται ο πίνακας λογικής της πύλης, καθώς όταν και οι δύο είσοδοι είναι 0, το αποτέλεσμα είναι 0, ενώ όταν και οι δύο είσοδοι είναι 1, το αποτέλεσμα είναι 1, με τις ανάλογες καθυστερήσεις, φυσικά.

Έπειτα, γίνεται καθυστέρηση της μίας εισόδου για να μην είναι όμοιες. Το αποτέλεσμα της προσομοίωσης, πλέον, είναι το εξής:



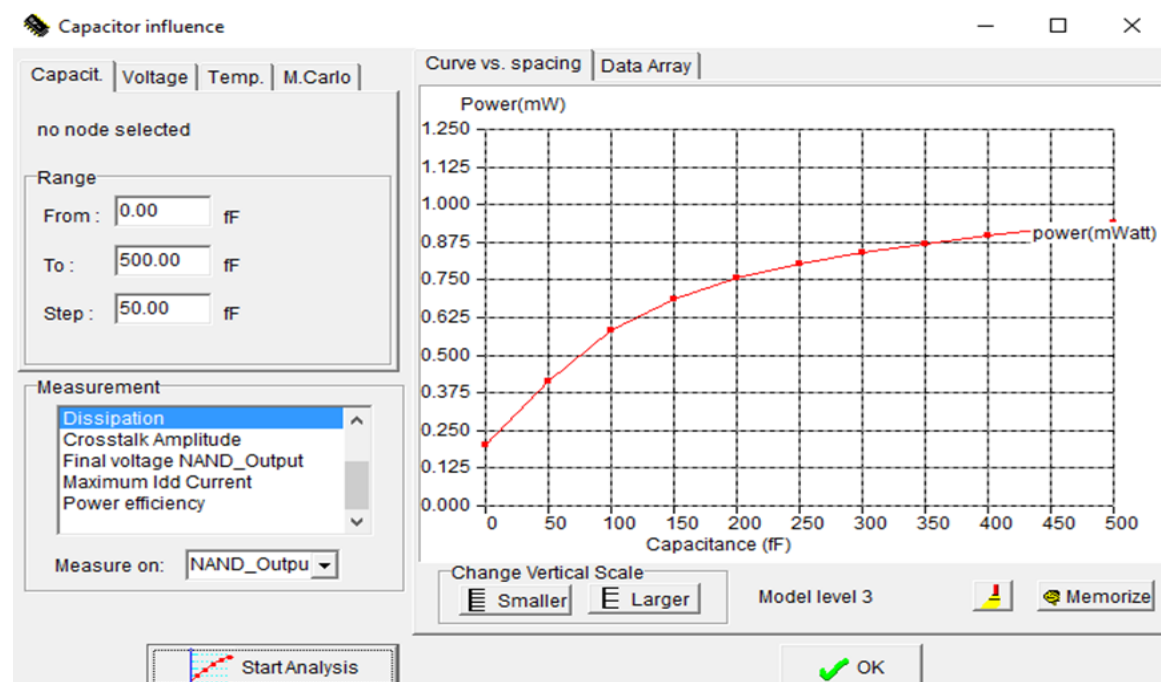
Παρατηρείται ότι επαληθεύεται ο πίνακας λογικής της πύλης, καθώς το αποτέλεσμα είναι 1, μόνον όταν και οι δύο είσοδοι είναι 1, με την ανάλογη καθυστέρηση φυσικά.

c) Να πραγματοποιηθεί παραμετρική ανάλυση της κατανάλωσης ισχύος στον κόμβο εξόδου σε σχέση με τη χωρητικότητά του, η οποία κυμαίνεται από 0 έως 500 fF με βήμα 50 fF.



Εικόνα 1. Κατανάλωση AND

d) Να γίνει σύγκριση της κατανάλωσης ισχύος των πυλών AND και NAND και δικαιολογήστε τις διαφορές τους.

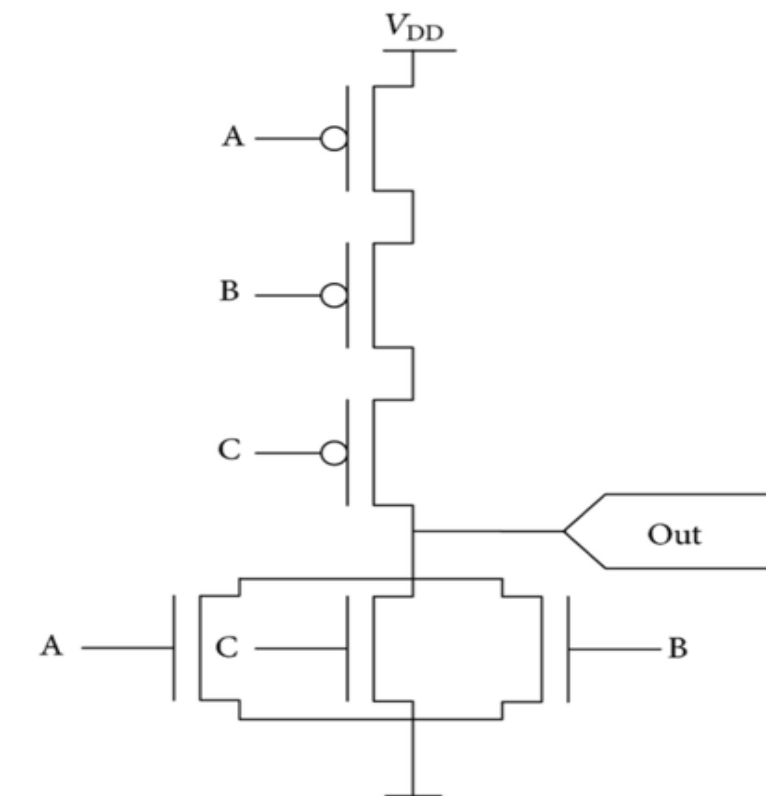


Εικόνα 2. Κατανάλωση NAND

Παρατηρείται ότι η κατανάλωση της NAND φτάνει μέχρι τα 950 mW περίπου, ενώ της AND μέχρι τα 1750 mW. Αυτό συμβαίνει διότι η AND αποτελείται από μία NAND πύλη μαζί με έναν CMOS αντιστροφέα, επομένως απαιτεί περισσότερο υλικό για να δημιουργηθεί, δύο επιπλέον τρανζίστορ συγκεκριμένα, άρα προκαλεί και μεγαλύτερη κατανάλωση.

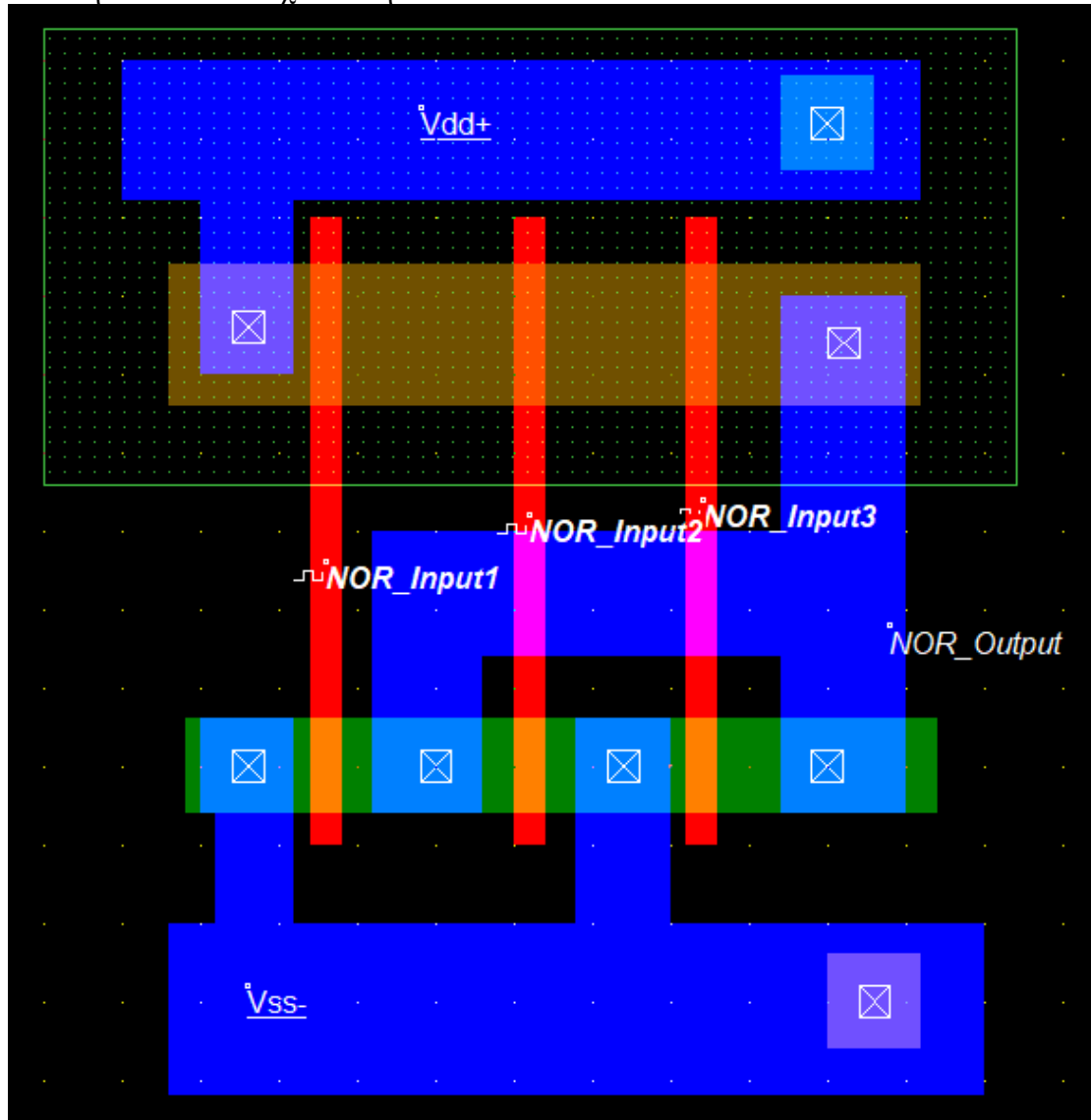
Άσκηση 5.4 – Πύλη NOR Τριών Εισόδων

a) Να σχεδιαστεί το σχηματικό διάγραμμα μίας πύλης NOR τριών εισόδων σε επίπεδο τρανζίστορ.



b) Να σχεδιαστεί η πύλη NOR τριών εισόδων σε επίπεδο υλικού (layout) χρησιμοποιώντας τα ίδια μεγέθη με την πύλη NAND και να προσομοιωθεί η συμπεριφορά της αποδεικνύοντας την ορθή λειτουργία της για όλους τους συνδυασμούς των εισόδων.

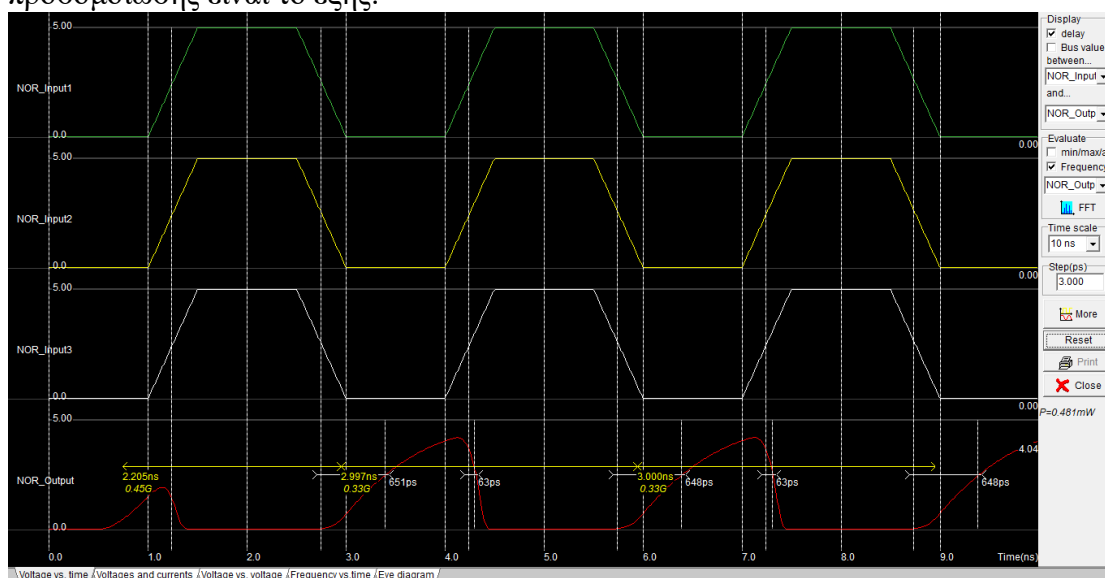
Η πύλη NAND που σχεδιάστηκε:



Πίνακας λογικής της NOR3:

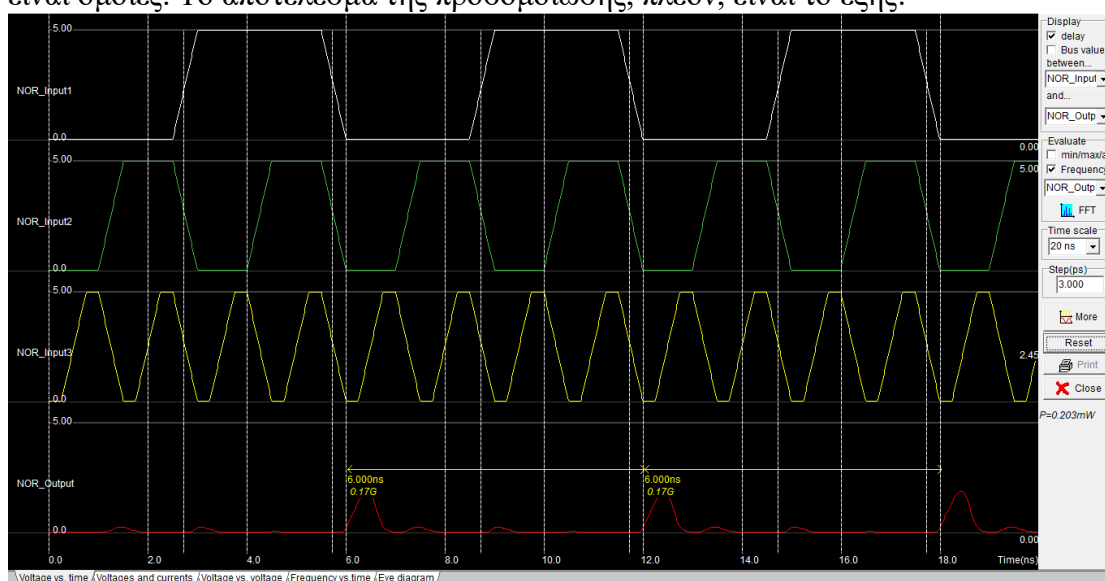
INPUTS			OUTPUT
W	X	Y	Z
0	0	0	1
0	0	1	0
0	1	0	0
0	1	1	0
1	0	0	0
1	0	1	0
1	1	0	0
1	1	1	0

Έστω αρχικά, ότι οι τρεις είσοδοι είναι πανομοιότυποι. Το αποτέλεσμα της προσομοίωσης είναι το εξής:



Παρατηρείται ότι επαληθεύεται ο πίνακας λογικής της πύλης, καθώς όταν και οι τρεις είσοδοι είναι 0, το αποτέλεσμα είναι 1, ενώ όταν και οι τρεις είσοδοι είναι 1, το αποτέλεσμα είναι 0, με τις ανάλογες καθυστερήσεις, φυσικά.

Έπειτα, γίνεται πιο αργή η πρώτη είσοδος και πιο γρήγορη η τρίτη για να μην είναι όμοιες. Το αποτέλεσμα της προσομοίωσης, πλέον, είναι το εξής:

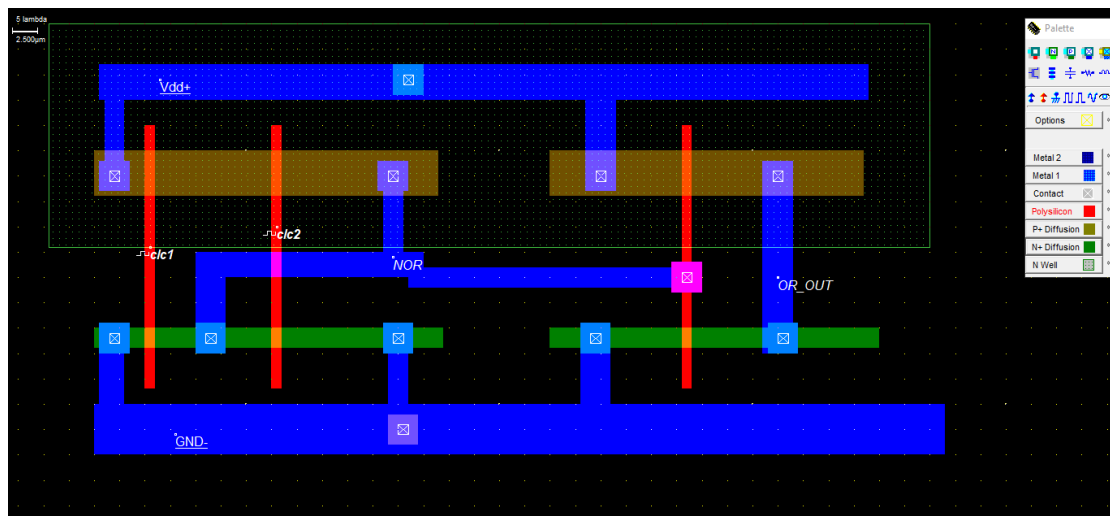


Παρατηρείται ότι επαληθεύεται ο πίνακας λογικής της πύλης, καθώς το αποτέλεσμα τείνει να γίνει 1, μόνον όταν και οι τρεις είσοδοι είναι 0, με την ανάλογη καθυστέρηση φυσικά. Λόγω της διαφορετικής ταχύτητας, όμως, των εισόδων στην προκειμένη περίπτωση δεν προλαβαίνει η έξοδος να φτάνει μέχρι το 1, διότι συνέχεια ένα από τα σήματα σταματάει να είναι 0. Θα γίνονταν 1 μόνον όταν και τα οι 3 είσοδοι γίνουν ταυτόχρονα 0 για μεγάλο χρονικό διάστημα, πράγμα αδύνατο σε αυτήν την περίπτωση.

Άσκηση 5.5 – Πύλη XOR Δύο Εισόδων

α) Να σχεδιαστεί μία πύλη OR δύο εισόδων χρησιμοποιώντας τα ίδια μεγέθη με τις προηγούμενες πύλες και να προσομοιωθεί η λειτουργία της.

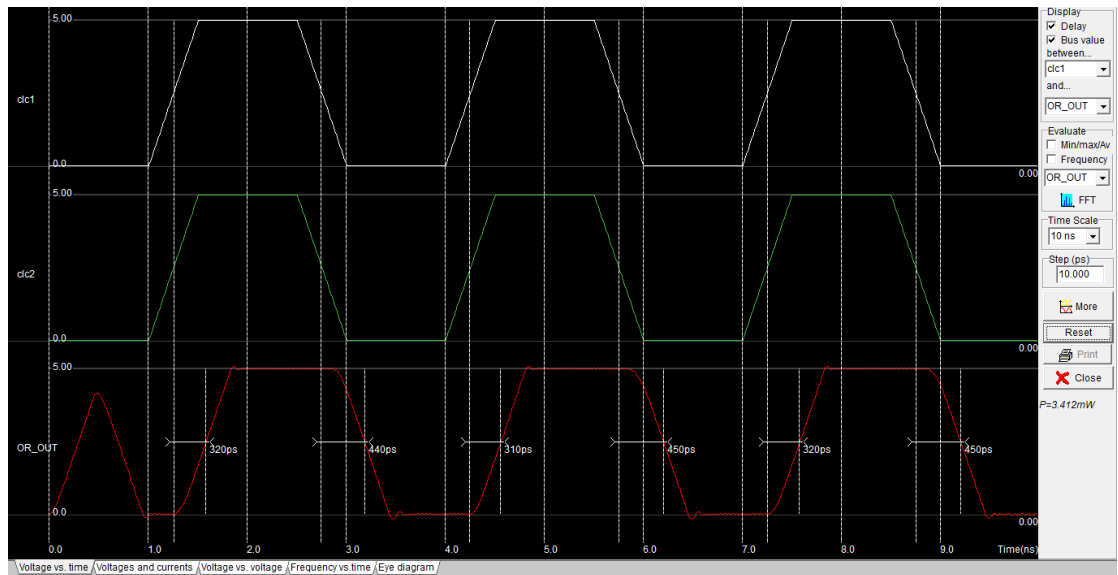
Η πύλη OR που σχεδιάστηκε:



Πίνακας λογικής της OR 2 εισόδων:

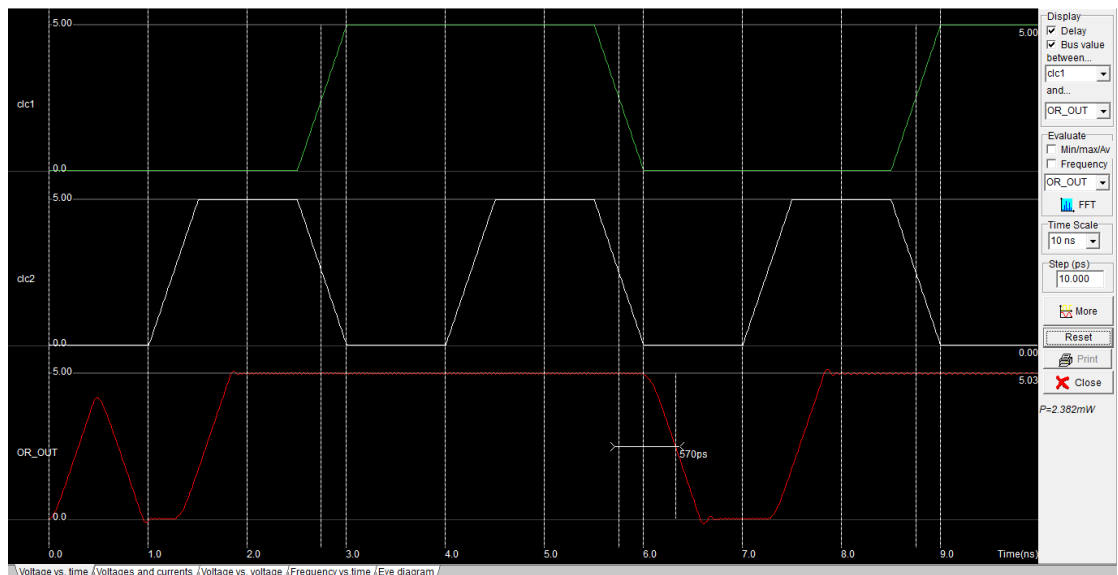
Input		Output
A	B	$F = A+B$
0	0	0
0	1	1
1	0	1
1	1	1

Έστω αρχικά, ότι οι δύο εισοδοι είναι πανομοιότυποι. Το αποτέλεσμα της προσομοίωσης είναι το εξής:



Παρατηρείται ότι επαληθεύεται ο πίνακας λογικής της πύλης, καθώς όταν και οι δύο είσοδοι είναι 0, το αποτέλεσμα είναι 0, ενώ όταν και οι δύο είσοδοι είναι 1, το αποτέλεσμα είναι 1, επίσης όταν μία από τις δύο εισόδους είναι 1 το αποτέλεσμα είναι επίσης 1. Στην έξοδο παρατηρούμε και τις ανάλογες καθυστερήσεις.

Έπειτα, γίνεται πιο αργή η πρώτη είσοδος σε σύγκριση με την δεύτερη για να μην είναι όμοιες. Το αποτέλεσμα της προσομοίωσης, πλέον, είναι το εξής:

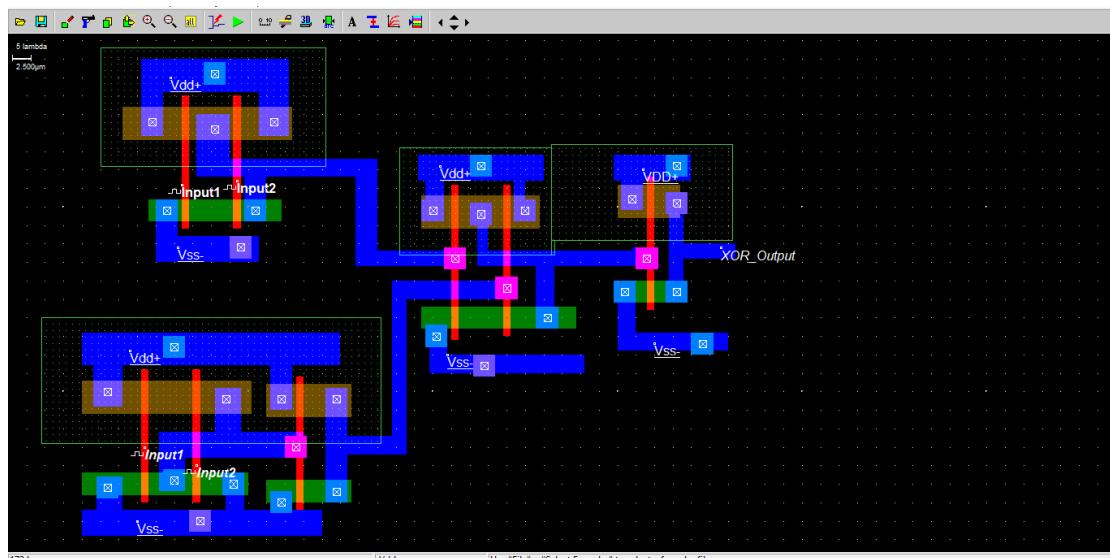
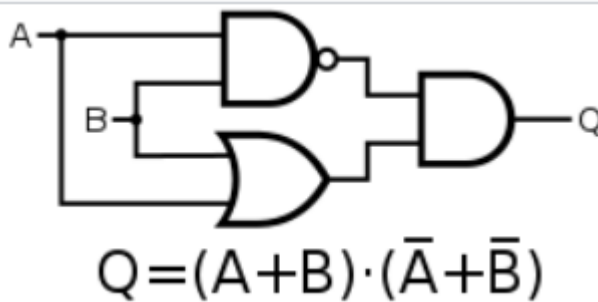


Παρατηρείται ότι επαληθεύεται ο πίνακας λογικής της πύλης, καθώς το αποτέλεσμα τείνει να γίνει 1, τουλάχιστον μία από τις δύο εισόδους είναι 1, με την ανάλογη καθυστέρηση φυσικά. Λόγω της διαφορετικής ταχύτητας, όμως, των εισόδων στην προκειμένη περίπτωση έχουμε μεγαλύτερες καθυστερήσεις.

b) Συνδυάστε τις πύλες που έχετε σχεδιάσει ώστε να σχεδιαστεί μία πύλη XOR δύο εισόδων. Προσομοιώστε τη λειτουργία της για όλους τους συνδυασμούς των εισόδων.

Συνδυάζονται οι πύλες NAND, OR και AND που έχουν σχεδιαστεί ώστε να δημιουργηθεί μία πύλη XOR δύο εισόδων. Προσομοιώνεται έπειτα η λειτουργία της για όλους τους συνδυασμούς των εισόδων.

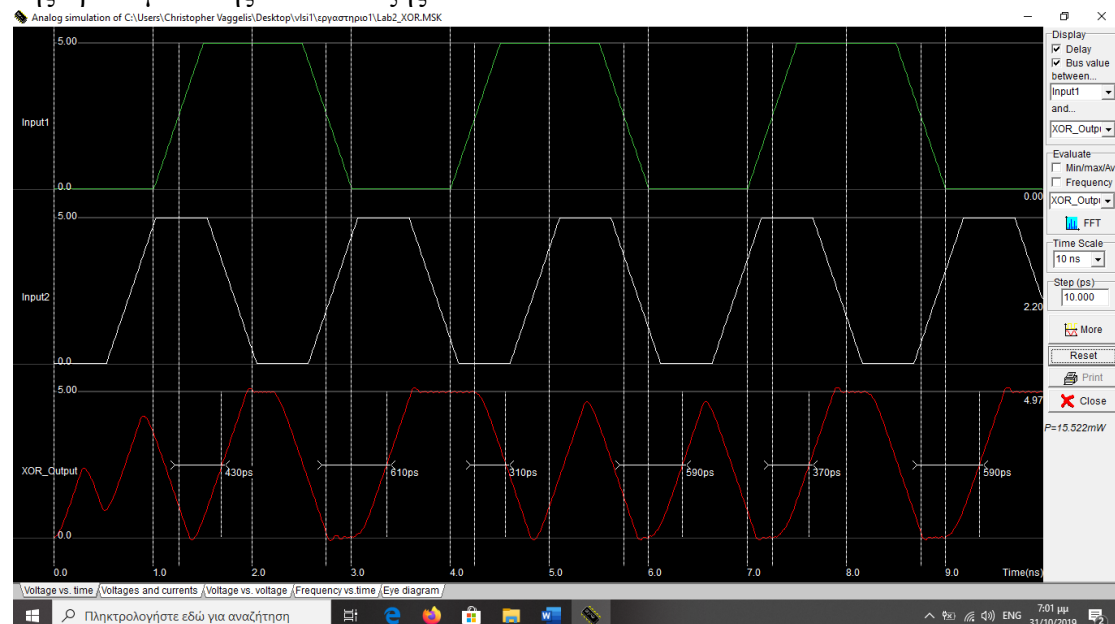
Η πύλη XOR που σχεδιάστηκε:



Πίνακας λογικής της XOR 2 εισόδων:

A	B	A XOR B
0	0	0
0	1	1
1	0	1
1	1	0

Εφαρμόζονται διαφορετικές εισόδους, καθώς με πανομοιότυπες εισόδους, δεν μπορεί να βγει κάποιο πόρισμα λόγω των μεγάλων καθυστερήσεων. Το αποτέλεσμα της προσομοίωσης είναι το εξής:



Παρατηρείται ότι επαληθεύεται ο πίνακας λογικής της πύλης, καθώς όταν και οι δύο εισόδους είναι 0 ή 1, το αποτέλεσμα είναι 0, ενώ όταν τουλάχιστον μία είσοδος είναι 1, το αποτέλεσμα είναι 1. Στην έξοδο παρατηρούνται και έντονα και οι ανάλογες καθυστερήσεις.

c) Να συγκριθούν οι χρόνοι ανόδου και καθόδου με αυτούς των επιμέρους χρησιμοποιούμενων πυλών και σχολιάστε τα αποτελέσματα.

Παρατηρείται ότι οι χρόνοι ανόδου και καθόδου στην πύλη XOR δύο εισόδων είναι μεγαλύτεροι από τους αντίστοιχους χρόνους των πυλών OR, AND και NAND διότι εισάγεται μεγαλύτερη καθυστέρηση (κάθε πύλη προσθέτει καθυστέρηση) κατά την χρησιμοποίηση των 3 πυλών στη δημιουργία της πύλης XOR.