# **Σχεδιασμός Ολοκληρωμένων Κυκλωμάτων VLSI Ι**

# Εργαστήριο 4

## Ομάδα 4

|  |  |  |
| --- | --- | --- |
| **ΕΠΩΝΥΜΟ** | **ΟΝΟΜΑ** | **ΑΡΙΘΜΟΣ ΜΗΤΡΩΟΥ** |
| ΒΑΓΓΕΛΗΣ | ΧΡΙΣΤΟΦΟΡΟΣ | 1053715 |
| ΔΑΣΟΥΛΑΣ | ΙΩΑΝΝΗΣ | 1053711 |

**4η Εργαστηριακή Άσκηση**

**Σχεδιασμός Πολύπλοκων Κυκλωμάτων CMOS και Μελέτη της Καθυστέρησης Εξόδου (Critical Path Delay)**

**Στόχος:**

Αντικείμενο της άσκησης είναι η σχεδίαση πολύπλοκων κυκλωμάτων CMOS µε τη βοήθεια του εργαλείου Microwind. Μελετάται η καθυστέρηση των πολύπλοκων αυτών κυκλωμάτων τεχνολογίας CMOS µέσω της χρησιμοποίησης των απλουστευμένων µμοντέλων καθυστέρησης για κυκλώματα CMOS πολύπλοκης λογικής. Η μέθοδος σχεδιασμού που θα χρησιμοποιηθεί κατά τη σχεδίαση είναι των µμονοπατιών Euler που µμελετήθηκαν στην προηγουμένη άσκηση.

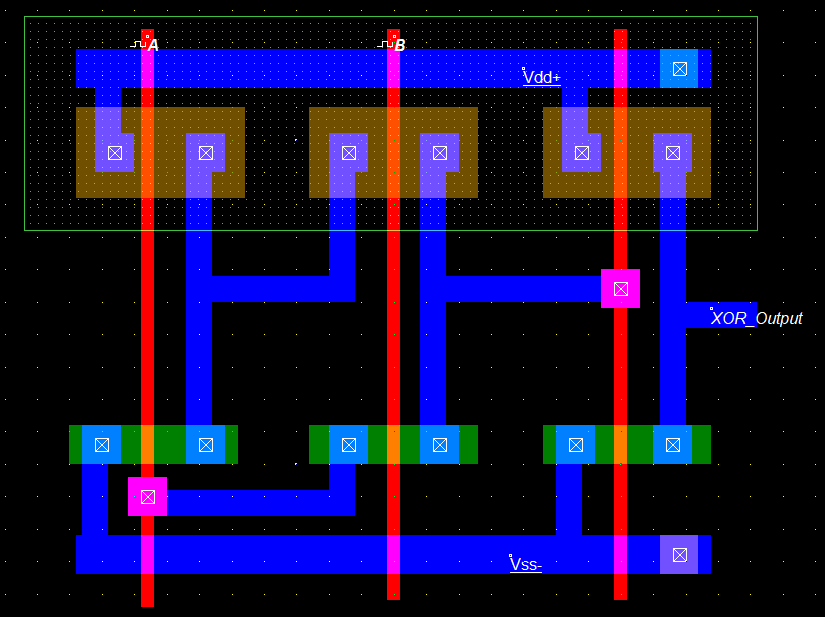
**Πειραματική Μελέτη Καθυστέρησης Πυλών CMOS**

a) Σχεδιάστε µία πύλη XOR χρησιµοποιώντας την προτεινόµενη σχεδίαση του Σχ. 5 με τα εξής χαρακτηριστικά Ln = Lp = 1,2 μm, Wn = 3,6 μm, Wp = 8,4 μm, πλάτος λωρίδων τροφοδοσίας και γείωσης 3,6 μm και πλάτος διασυνδέσεων 2,4 μm.

Εικόνα που περιέχει κείμενο

Περιγραφή που δημιουργήθηκε αυτόματα

Η πύλη που σχεδιάστηκε (Lab4\_a1.msk):



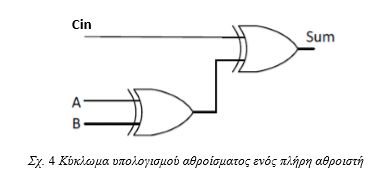
Η προσομοίωση που επαληθεύει τη σωστή λειτουργία:

Εικόνα που περιέχει τοίχος, μαύρο, εσωτερικό

Περιγραφή που δημιουργήθηκε αυτόματα

Η έξοδος ανέρχεται στα 5V μόνο όταν μία μοναδική είσοδος είναι στα 5V, με την ανάλογη καθυστέρηση.

b) Συνδυάζοντας δύο πύλες XOR σχεδιάστε το κύκλωμα υπολογισμού αθροίσματος του Σχ. 4.



Η πύλη που σχεδιάστηκε (Lab4\_a2.msk):

Εικόνα που περιέχει τοίχος, πίνακας αποτελεσμάτων, εσωτερικό, αντικείμενο

Περιγραφή που δημιουργήθηκε αυτόματα

Η σωστή εύρεση του αθροίσματος επαληθεύεται από την προσομοίωση:

Εικόνα που περιέχει υπολογιστής, εσωτερικό, μαύρο

Περιγραφή που δημιουργήθηκε αυτόματα

Παρατηρείται ότι έχουμε λογικό 1 στο άθροισμα μόνον όταν και οι 3 είσοδοι είναι 1 ή μόνο όταν η μία είσοδος είναι 1, που είναι και το αναμενόμενο.

c) Χρησιμοποιώντας τον σχεδιασμό της προηγούμενης εργαστηριακής άσκησης σχεδιάστε ένα μπλοκ πλήρη αθροιστή (full adder cell), όπως φαίνεται στο σχήμα 6.

Εικόνα που περιέχει κείμενο

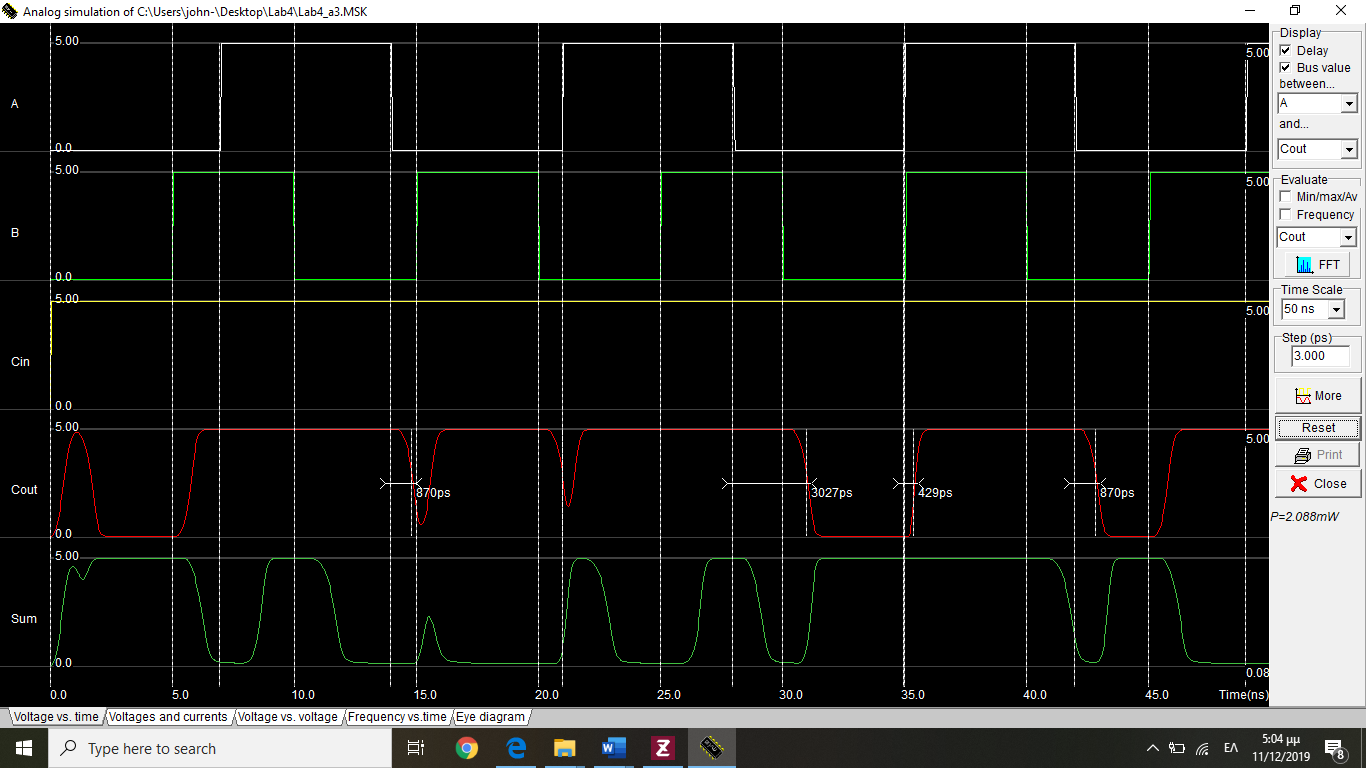
Περιγραφή που δημιουργήθηκε αυτόματα

Το κύκλωμα που σχεδιάστηκε (Lab4\_a3.msk):

Εικόνα που περιέχει εσωτερικό, οθόνη, τοίχος, αντικείμενο

Περιγραφή που δημιουργήθηκε αυτόματα

Η σωστή εύρεση του αθροίσματος και του κρατουμένου επαληθεύεται από την προσομοίωση:



Το κρατούμενο γίνεται 1 όταν τουλάχιστον δύο από τις εισόδους είναι 1, ενώ το άθροισμα είναι λογικό 1 όταν μία ή και οι τρεις είσοδοι είναι στο λογικό 1.

d) Συνδυάζοντας 4 μπλοκ πλήρη αθροιστή σε σειρά δηµιουργήστε έναν πλήρη αθροιστή εύρους 4 bit. Αυτό µπορείτε να το επιτύχετε χρησιµοποιώντας την εντολή “Duplicate XY” από την καρτέλα “Edit”. Στη συνέχεια χρειάζεται να επιλέξετε την περιοχή που θέλετε να αντιγραφεί µε το ποντίκι. Τότε εµφανίζεται το παράθυρο του Σχ. 7, μέσω του οποίου μπορεί να ρυθμιστεί ο παράγοντας αντιγραφής στους άξονες Χ και Υ καθώς και η απόσταση των νέων μπλοκ. Από προεπιλογή τα μπλοκ εφάπτονται µεταξύ τους.

Το κύκλωμα που σχεδιάστηκε (Lab4\_a4.msk)::

Εικόνα που περιέχει πίνακας, ρολόι, εσωτερικό, τοίχος

Περιγραφή που δημιουργήθηκε αυτόματα

e) Βρείτε το κρίσιμο μονοπάτι του αθροιστή 4 bit και μετρείστε την καθυστέρηση σε αυτό. Ποιά είναι η μέγιστη συχνότητα λειτουργίας του κυκλώματος που σχεδιάσατε;

Το κρίσιμο μονοπάτι είναι η διαδρομή στο κύκλωμα που έχει την μεγαλύτερη καθυστέρηση, στην συγκεκριμένη περίπτωση η διαδρομή από την πρώτη είσοδο έως το τελευταίο κρατούμενο εισόδου.

Εικόνα που περιέχει ηλεκτρονικές συσκευές

Περιγραφή που δημιουργήθηκε αυτόματα

Η καθυστέρηση υπολογίζεται περίπου στα 2000ps από την προσομοίωση. Βάζοντας εισόδους με διάφορες τιμές κάθε φορά, παρατηρείται ότι η μέγιστη καθυστέρηση είναι κοντά στα 2500ps. Επομένως, η μέγιστη συχνότητα λειτουργίας είναι fmax = 1 / 2500ps = 400MHz.

**4 Εργασία Για το Σπίτι**

**4.1 Μελέτη Καθυστέρησης Κυκλωμάτων CMOS**

a) Βάσει του πίνακα µε τις τυπικές καθυστερήσεις των βασικών πυλών τεχνολογίας CMOS υπολογίστε τη µέγιστη καθυστέρηση του κυκλώµατος του πλήρη αθροιστή 4 bit και τη θεωρητική συχνότητα λειτουργίας του. Υπολογίστε τη διαφορά επί τοις εκατό ανάμεσα στα μεγέθη που υπολογίσατε και σε εκείνα που μετρήσατε και σχολιάστε τα αποτελέσματα.

Critical Path Delay = D(OR) + 4D(AND) + 4D(NOR) + 4D(INV)   
 = 5D(NOR) + 4D(NAND) + 9D(INV)

Ο χρόνος καθυστέρησης μιας πύλης δίνεται από τον τύπο tdf = t(internalf) + k\*t(outputf). Στο συγκεκριμένο κύκλωμα ο βαθμός οδήγησης k είναι 1 αφού κάθε είσοδος οδηγεί μία έξοδο.

Σύμφωνα με τον πίνακα:

D(NOR) = 1.885ps  
D(NAND) = 3.3ps  
D(INV) = 1.78ps

(Θεωρώντας ότι οι τιμές που δίνονται στον πίνακα είναι picoseconds)

Άρα, Critical Path Delay = 38.64ps.

Θεωρητική συχνότητα λειτουργίας: f = 1 / Critical Path Delay = 1 / 38.64ps = 25GHz περίπου. Η διαφορά είναι πολύ μεγάλη, όμως δεν προσδιορίζεται στον πίνακα ποια μονάδα μέτρησης χρησιμοποιείται.

b) Αντικαταστείστε το κύκλωμα του υπολογισμού του αθροίσματος στον πλήρη αθροιστή 1 bit με εκείνο που σχεδιάσατε στην προηγούμενη εργαστηριακή άσκηση με τη βοήθεια των μονοπατιών Euler. Υπολογίστε τη διαφορά επί τοις εκατό της καθυστέρησης και της κάλυψης επιφάνειας σε σχέση με την προηγούμενη σχεδίαση και σχολιάστε τα αποτελέσματα.

Το κύκλωμα που σχεδιάστηκε αντικαθιστώντας τον αθροιστή με το κύκλωμα του προηγούμενου εργαστηρίου (Lab4\_Adder\_version2.msk):

Εικόνα που περιέχει εσωτερικό, υπολογιστής, πίνακας

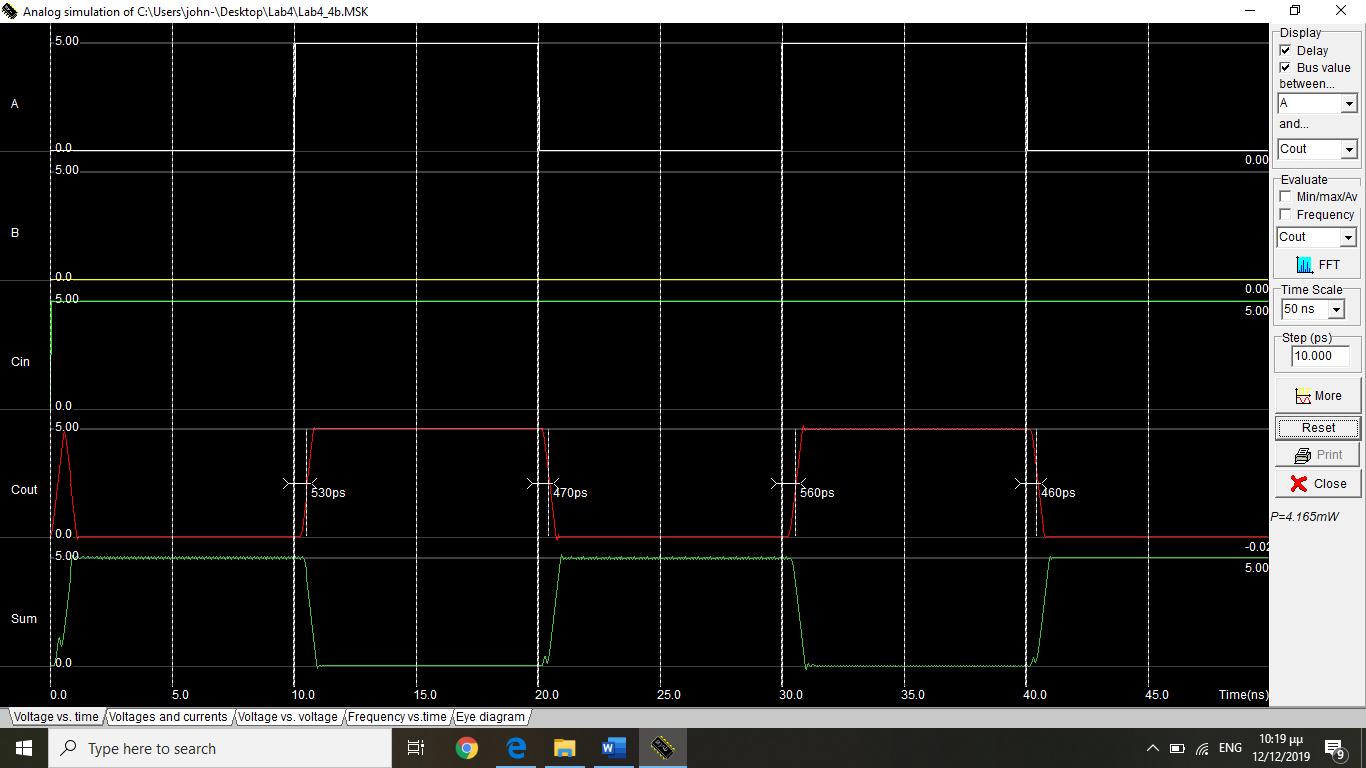
Περιγραφή που δημιουργήθηκε αυτόματα

Ο κάθε Adder ξεχωριστά έχει την μορφή (Lab4\_4b.msk):

Εικόνα που περιέχει τοίχος

Περιγραφή που δημιουργήθηκε αυτόματα

Το critical path είναι η διαδρομή από την είσοδο προς την έξοδο με την μεγαλύτερη καθυστέρηση. Επομένως από το critical path delay μετριέται από την έισοδο Α προς την έξοδο Cout χρησιμοποιώντας σταθερές στάθμες για Cin και B,ώστε η έξοδος να εξαρτάται από την κυματομορφή του Α. Επομένως έχουμε critical path delay=580 ps (για κάθε αθροιστή).



Η κάλυψη επιφάνειας ισούται με: 35502.0µm2

Εικόνα που περιέχει στιγμιότυπο οθόνης

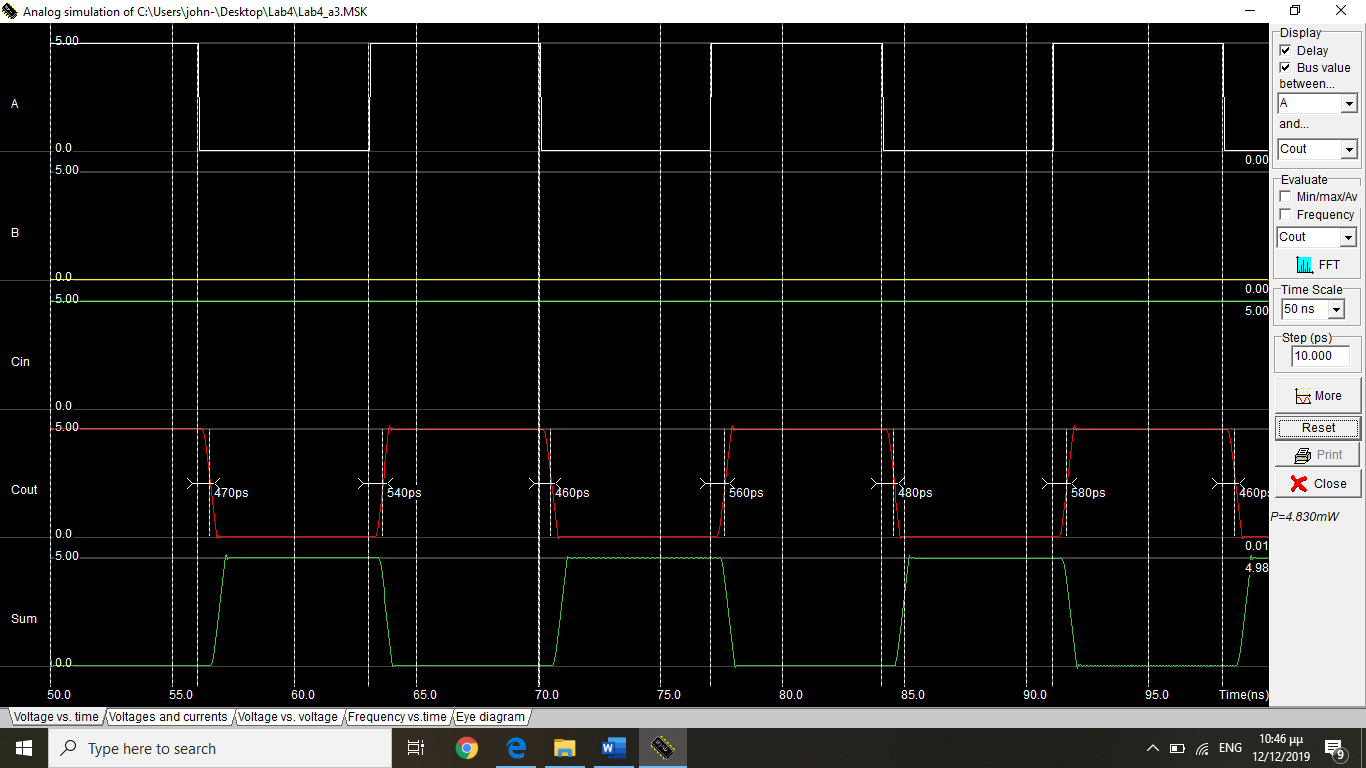
Περιγραφή που δημιουργήθηκε αυτόματα

Ο αθροιστής που κατασκευάστηκε προηγουμένως:

Εικόνα που περιέχει εσωτερικό, τοίχος, οθόνη

Περιγραφή που δημιουργήθηκε αυτόματα

Critical Path Delay = 560ps.



Παρατηρείται ότι το critical path delay ουσιαστικά παραμένει ίδιο. Αυτό είναι αναμενόμενο γιατί το critical path δεν αλλάζει στα δύο κυκλώματα, το μόνο που αλλάζει είναι η υλοποίηση της XOR, η οποία όμως αφορά μόνο το μονοπάτι του Sum.

Η κάλυψη επιφάνειας ισούται με: 12480.0µm2

Εικόνα που περιέχει στιγμιότυπο οθόνης

Περιγραφή που δημιουργήθηκε αυτόματα

Ο νέος αθροιστής έχει πολύ μεγαλύτερη επιφάνεια. Αυτό είναι και λόγω των inverters που προστίθενται καθώς η νέα υλοποίηση της XOR χρησιμοποιεί συμπληρωματικές εισόδους.

Διαφορά επί τοις εκατό καθυστέρησης: (580ps – 560ps) / 580ps = 0.034 = 3.4%

Διαφορά επί τοις εκατό επιφάνειας: (35502.0µm2 – 12480.0 µm2 ) / 35502.0µm2 = 0.65 = 65%.

c) Σχεδιάστε το κύκλωμα υπολογισμού κρατουμένου χρησιμοποιώντας διακριτές πύλες AND και OR. Μετρείστε την καθυστέρηση και συγκρίνετέ την με τη θεωρητική τιμή που υπολογίσατε στο ερώτημα a. Σχολιάστε το αποτέλεσμα.

Το κύκλωμα που σχεδιάστηκε (Lab4\_4c.msk):

Εικόνα που περιέχει τοίχος, εσωτερικό

Περιγραφή που δημιουργήθηκε αυτόματα

H προσομοίωση:

Εικόνα που περιέχει υπολογιστής, εσωτερικό, μαύρο, οθόνη

Περιγραφή που δημιουργήθηκε αυτόματα

Critical path delay=1250 ps.

Η κάλυψη επιφάνειας ισούται με: 49297,3 μm^2



Η διαφορά είναι πολύ μεγάλη, όμως δεν προσδιορίζεται στον πίνακα θεωρητικών καθυστερήσεων ποια μονάδα μέτρησης χρησιμοποιείται.

d) Υπολογίστε τη διαφορά επί τοις εκατό στην καθυστέρηση και την κάλυψη επιφάνειας ανάμεσα στις περιπτώσεις όπου το κύκλωμα παραγωγής κρατουμένου έχει σχεδιαστεί με συμβατική σχεδίαση (διακριτές πύλες) και με την μέθοδο των μονοπατιών Euler. Συγκρίνετε τις δύο μεθόδους και σχολιάστε τις παρατηρήσεις σας.

Θα συγκριθούν οι υλοποιήσεις που έγιναν στο ερώτημα b και στο ερώτημα c.

Διαφορά επί τοις εκατό καθυστέρησης: (1250 – 560) / 1250 = 0.055 = 55.2%

Διαφορά επί τοις εκατό επιφάνειας: (49297,3µm2 – 12480.0µm2 ) / 49297,3µm2  = 0.75 = 75%.

Παρατηρείται ότι στην υλοποίηση με τις διακριτές πύλες αυξάνεται πολύ και η καθυστέρηση και η επιφάνεια. Αυτό είναι λογικό μιας και οι διακριτές πύλες είναι κακός τρόπος σχεδιασμού σε σύγκριση με τα μονοπάτια Euler. Επιπλέον κάθε πύλη AND και OR χρειάζεται έναν Inverter που χειροτερεύουν ακόμα πιο πολύ τα ποσοστά.