Τμήμα Ηλεκτρολόγων Μηχανικών & Τεχνολογίας Υπολογιστών

Εργαστήριο Σχεδιασμού Ολοκληρωμένων Κυκλωμάτων

**Σχεδιασμός Ολοκληρωμένων Κυκλωμάτων VLSI II**

**Εργαστήριο 1**

**Εισαγωγή στη Γλώσσα Περιγραφής Υλικού VHDL και στο Εργαλείο Modelsim**

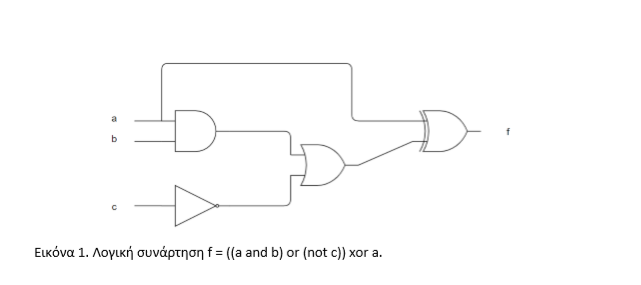
**Ομάδα 10**

**Μέλη: Δασούλας Ιωάννης – 1053711**

**Μαργαρίτης Γρηγόριος – 1053651**

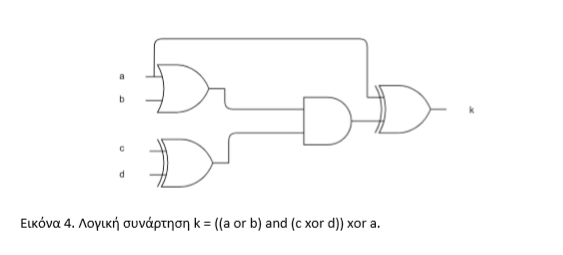
**1. Εκπόνηση εργαστηριακής άσκησης**

**Αρχικά, ακολουθήθηκαν όλα τα βήματα για την εγκατάσταση, εκκίνηση του ModelSim, δημιουργήθηκε νέο project όπου κατασκευάστηκε σε κώδικα VHDL το κύκλωμα:**



**2. Εργασία προς παράδοση**

**Έπειτα με ανάλογο τρόπο δημιουργήθηκε το κύκλωμα της εργασίας προς παράδοση.**



**Ο κώδικας που δημιουργήθηκε (lab1.vhd):**

**library ieee;**

**use ieee.std\_logic\_1164.all;**

**--this entity impliments the k = ((a or b) and (c xor d)) xor a boolean function**

**entity circuit is**

**port( a: in std\_logic;**

**b: in std\_logic;**

**c: in std\_logic;**

**d: in std\_logic;**

**k: out std\_logic**

**);**

**end circuit;**

**architecture circuit\_arch\_1 of circuit is**

**-- decleration of internal signals**

**signal or\_ab: std\_logic;**

**signal xor\_cd: std\_logic;**

**signal and\_abcd: std\_logic;**

**begin**

**or\_ab <= a OR b;**

**xor\_cd <= d XOR c;**

**and\_abcd <= or\_ab AND xor\_cd;**

**k <= and\_abcd XOR a;**

**end circuit\_arch\_1;**

**Στην προσομοίωση χρησιμοποιήθηκε ρολόι στις εισόδους.**

**Είσοδος a: Περίοδος 100ps**

**Είσοδος b: Περίοδος 200ps**

**Είσοδος c: Περίοδος 100ps**

**Είσοδος d: Περίοδος 200ps**

**Επιλέχθηκαν διπλάσιες μεταξύ τους συχνότητες ώστε να είναι εμφανείς όλοι οι δυνατοί συνδυασμοί.**

**Τα αποτελέσματα της προσομοίωσης επαληθεύουν τα θεωρητικά αποτελέσματα σύμφωνα με τους πίνακες αληθείας των πυλών OR, XOR και AND :**

Εικόνα που περιέχει ρολόι

Περιγραφή που δημιουργήθηκε αυτόματα

**or\_ab = OR (a,b)**

|  |  |  |
| --- | --- | --- |
| **a** | **b** | **or\_ab** |
| **0** | **0** | **0** |
| **0** | **1** | **1** |
| **1** | **0** | **1** |
| **1** | **1** | **1** |

**xor\_cd = XOR (c,d)**

|  |  |  |
| --- | --- | --- |
| **c** | **d** | **xor\_cd** |
| **0** | **0** | **0** |
| **0** | **1** | **1** |
| **1** | **0** | **1** |
| **1** | **1** | **0** |

**and\_abcd = AND (or\_ab, xor\_cd)**

|  |  |  |
| --- | --- | --- |
| **or\_ab** | **xor\_cd** | **and\_abcd** |
| **0** | **0** | **0** |
| **0** | **1** | **0** |
| **1** | **0** | **0** |
| **1** | **1** | **1** |

**k = XOR (a, and\_abcd)**

|  |  |  |
| --- | --- | --- |
| **a** | **and\_abcd** | **k** |
| **0** | **0** | **0** |
| **0** | **1** | **1** |
| **1** | **0** | **1** |
| **1** | **1** | **0** |