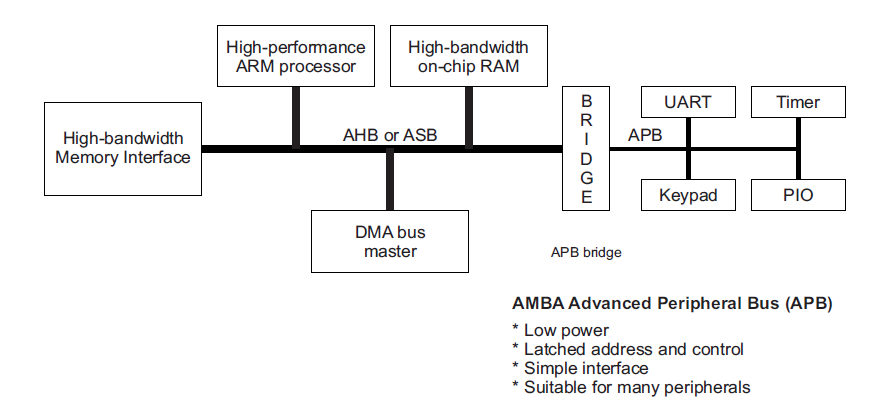
**基于AMBA-APB总线的UART设计实验**

**一、 功能介绍**

**1、AMBA-APB总线**

APB总线协议是ARM公司提出的AMBA总线结构总线结构之一。APB总线主要应用在低带宽的外设上，如UART、 I2C，它的架构不像AHB总线是多主设备的架构，APB总线的唯一主设备是APB桥（与AXI或AHB相连），因此不需要仲裁一些request/grant信号。APB的协议也十分简单，甚至不是流水的操作，固定两个时钟周期完成一次读或写的操作。其特性包括：两个时钟周期传输，无需等待周期和回应信号，控制逻辑简单，只有四个控制信号。一个典型的基于AMBA的微控制器框图如下图所示。



一个基于AMBA的微控制器通常会包含一个高速的系统总线用来连接CPU及DMA等设备，并通过一个桥连接到APB总线用来连接一些低速的外设。

**2、通用异步收发传输器（UART）**

UART是一种通用串行数据总线，用于异步通信。该总线双向通信，可以实现全双工传输和接收。在嵌入式设计中，UART用于主机与辅助设备通信，如汽车音响与外接AP之间的通信，与PC机通信包括与监控调试器和其它器件，如EEPROM通信。

UART作为异步串口通信协议的一种，工作原理是将传输数据的每个字符一位接一位地传输。

其中各位的意义如下：

起始位：先发出一个逻辑“0”的信号，表示传输字符的开始。

数据位：紧接着起始位之后。数据位的个数可以是5、6、7、8等，构成一个字符。通常采用ASCII码。从最低位开始传送，靠时钟定位。

奇偶校验位：数据位加上这一位后，使得“1”的位数应为偶数(偶校验)或奇数(奇校验)，以此来校验数据传送的正确性。

停止位：它是一个字符数据的结束标志。可以是1位、1.5位、2位的高电平。 由于数据是在传输线上定时的，并且每一个设备有其自己的时钟，很可能在通信中两台设备间出现了小小的不同步。因此停止位不仅仅是表示传输的结束，并且提供计算机校正时钟同步的机会。适用于停止位的位数越多，不同时钟同步的容忍程度越大，但是数据传输率同时也越慢。

空闲位：处于逻辑“1”状态，表示当前线路上没有数据传送。

波特率：是衡量资料传送速率的指标。表示每秒钟传送的符号数（symbol）。一个符号代表的信息量（比特数）与符号的阶数有关。

**二、 系统结构**



apb\_biu：APB总线接口模块，将APB总线转换为较为简单的BIU总线。该模块产生写使能、读使能、字节使能信号（字节使能信号表明了数据总线位宽的使用情况），寄存器偏移地址等信号。以读操作为例，APB总线信号经过该模块，产生读使能、与位宽相应的字节使能信号，寄存器偏移地址信号。

apb\_reg\_file：寄存器组模块，实现APB总线可以读写的寄存器组。接收apb\_biu模块的BIU总线信号，实现寄存器组的读写操作，并将控制信号送给后级myuart模块。

myuart：UART功能模块顶层。接收来自apb\_reg\_file的控制信号，实现UART发送与接收功能。

clk\_divider：时钟分频模块，产生频率为波特率的脉冲信号clk\_en。uart\_tx\_op与uart\_rx\_op按照clk\_en信号产生串行输出、解包串行输入。

uart\_tx\_op：数据发送模块，实现UART发送功能。

uart\_rx\_op：数据接收模块，实现UART接收功能。

**三、apb\_uart基本寄存器**

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| 偏移地址 | 位宽 | 类型 | 名称 | 位含义 |
| 0x00 | 32 | R/W | 控制寄存器（CR） | [0:1]：数据位长度  00：5bits  01：6bits  10：7bits  11：8bits  [2:3]：停止位长度  00: 1位停止位  01: 1.5位停止位  10: 2位停止位  [4:5]：校验类型  00: 无校验位  01: 偶校验  10: 奇校验  [6]：接收数据准备好状态  [7]：数据发送完成状态 |
| 0x04 | 32 | W | 发送缓存寄存器（THR） | [7:0]：发送字节 |
| 0x08 | 32 | R | 接收缓存寄存器（RBR） | [7:0]：接收字节 |
| 0x0C | 32 | R/W | 中断状态寄存器（ISR） | [0]：接收数据准备好  [1]：发送数据完成  [2]：奇偶校验错误  注：所有位均可写1清零，清除对应中断 |
| 0x10 | 32 | R/W | 波特率产生寄存器（BRGR） | [31:0]：波特率分频比  波特率 = pclk / 波特率分频比 / 16 |
| 0x14 | 32 | R/W | 中断使能寄存器（IER） | [0]：使能接收数据准备好中断  [1]：使能发送数据完成中断  [2]：使能奇偶校验错误中断 |

**四、编程模型**

发送流程模型



接收流程模型



**五、端口定义**

**1、apb\_uart端口定义**

module apb\_uart

(

// APB bus bus interface

input pclk, // APB clock

input presetn, // APB reset

input psel, // APB slave select

input [9:0] paddr, // APB address

input pwrite, // APB write/read

input penable, // APB enable

input [31:0] pwdata, // APB write data bus

output [31:0] prdata, // APB read data bus

//UART interface

output sout, // UART serial output

output sin, // UART serial input

output intr // interrupt

);

**2、myuart端口定义**

module uart\_tx\_op

(

input clk,

input rst\_n,

input clk\_en,

input [1:0] data\_bit\_num,

input [1:0] stop\_bit\_num,

input [1:0] parity\_type,

input [7:0] datain,

input shoot,

output reg uart\_sout

);

module uart\_rx\_op

(

input clk,

input clk\_en,

input rst\_n,

input [1:0] data\_bit\_num,

input [1:0] stop\_bit\_num,

input [1:0] parity\_type

input uart\_sin,

output reg dataout\_valid,

output reg [7:0] dataout

);

module clk\_divider

(

input clk,

input rst\_n,

input [31:0] divisor,

output reg clk\_en

);

**六、实验要求与测试流程**

1. uart\_tx\_op、uart\_rx\_op发送接收功能（70%）

* 系统时钟clk频率100MHz，clk\_divider分频产生clk\_en（9600）。
* uart\_tx\_op在shoot有效后将datain串行发送至uart\_sout。
* uart\_rx\_op在uart\_sin接收到数据后将有效数据放至dataout并产生dataout\_vld数据有效信号。
* 推荐使用状态机。

1. apb\_uart发送接收功能（20%）

* apb\_reg\_file中至少包含CR、THR、RBR。
* APB主设备写入THR寄存器后，apb\_uart产生对应的串行输出，APB主设备在CR发送数据完成状态有效后继续发送流程。
* apb\_uart接收到串行输入后，APB主设备在CR接收数据准备好状态有效时，读取RBR寄存器从而读出数据。

1. apb\_uart参数配置、中断流程（10%）

* 支持波特率可调（9600,115200）。
* 支持数据位长度可调。
* 支持奇偶校验功能可调。
* 包含中断流程。发送中断流程、接收中断流程、奇偶校验错误中断流程。

注：统一使用apb\_biu 、提供apb\_uart tb模板，提供模块端口定义。

**七、实验时间安排**

第四周周一晚上：实验要求讲解及分组，2-3人一组。

第七周周一晚上：rtl编写、仿真、答疑。

第八周周一晚上：交实验报告，一组一份；现场展示，要求PPT，每组展示时间7分钟，提问3分钟。