|  |  |  |
| --- | --- | --- |
|  | **计划内容** | **计划时间（天）** |
| 1 | 搜索UART | 0.5 |
| 2 | 学习Verilog | 2 |
| 3 | 状态机与UART | 3 |
| 4 | 仿真 | 1 |

# 搜索UART（0.5天）

利用搜索引擎（如百度百科）搜索UART

任务：

什么是UART？

UART串行通信的组成

什么是波特率？

# 学习Verilog（2天）

任务：

使用Modelsim软件

Module是什么？

如何定义I/O？

如何写时序逻辑，如何写组合逻辑？

什么是状态机？如何用Verilog写状态机（三段式）？ （重点）

# 状态机与UART（3天）

任务：

画出UART的状态机

通过改变输入，改变UART的校验方式、终止位位数、波特率。（难点）

接收端进行包处理的时候，如何通过参数实例化改变处理的位置与长度。（难点）

Modelsim使用步骤：

1. 新建工程：打开Modelsim，点击左上角File，点击new，点击project
2. 添加文件：右键，点击add to project，选择new files，选择type为Verilog
3. 在添加的文件中写代码，写好后点击上方compile进行编译，下方会显示是否有error。

# 仿真（1天）

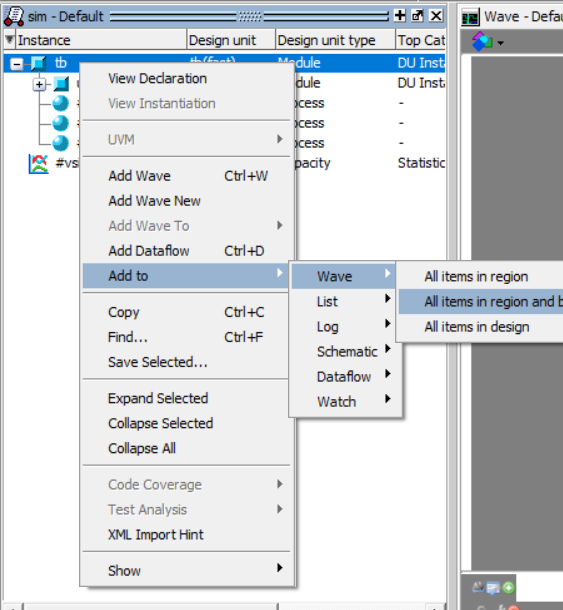
任务：

如何写test bench文件？

如何查看结果波形？

步骤：

1. 在左侧选择library窗口（写代码时窗口为project窗口），点击work，右键tb文件，点击simulate
2. 弹出sim窗口，按下图添加信号波形。



1. 在上面填写仿真时间，点击run开始仿真，如下图：

