

华中科技大学

# 课程实验报告

## 模 60 计数器 VHDL 设计实验

|      |            |
|------|------------|
| 院 系  | 材料科学与工程学院  |
| 专业班级 | 电子封装 1801  |
| 姓 名  | 肖玉奇        |
| 学 号  | U201810991 |

2020 年 11 月 10 日

# 目 录

|          |                            |          |
|----------|----------------------------|----------|
| <b>1</b> | <b>实验目的 .....</b>          | <b>1</b> |
| <b>2</b> | <b>实验要求 .....</b>          | <b>1</b> |
| 2.1      | 基本功能 .....                 | 1        |
| <b>3</b> | <b>实验原理 .....</b>          | <b>1</b> |
| 3.1      | 基本原理 .....                 | 1        |
| 3.2      | 基础知识 .....                 | 1        |
| <b>4</b> | <b>实验内容 .....</b>          | <b>2</b> |
| 4.1      | 实验代码 .....                 | 2        |
| 4.2      | 仿真波形 .....                 | 4        |
| 4.3      | RTL Schematic .....        | 5        |
| 4.4      | Technology Schematic ..... | 6        |
| <b>5</b> | <b>总结与感想 .....</b>         | <b>6</b> |

# 1 实验目的

1. 掌握可编程逻辑器件的应用开发技术——设计输入、编译、仿真和器件编程；
2. 熟悉 EDA 软件使用；
3. 掌握 VERILOG HDL 设计方法；
4. 分模块、分层次数字系统设计。
5. 实现模 60 计数器 VHDL 设计

# 2 实验要求

## 2.1 基本功能

计数分同步计数器和异步计数器,本设计可以采用同步计数方式。在时钟脉冲的作用下,计数器进行加 1 计数操作,60 个脉冲后计数器清零并循环计数

# 3 实验原理

## 3.1 基本原理

模 60 计数器分为 3 个模块,一个模 10 计数器模块,一个模 6 计数器模块,二者级联得到一个模 60 计数器,模块 counter60 调用 counter10 和 counter6。

级联模 60 计数器由模 6 计数器和模 10 计数器组成,模 10 计数器计数到 9,产生一个进位,这时模 6 计数器在使能信号有效的情况下开始计数一次,模 10 计数器继续计数,然后计数到 9 产生进位,模 6 计数器又计数一次,如此下去,直到模 6 计数器到 5,模 6 计数器在使能信号有效的情况下,进位一次。

## 3.2 基础知识

### 1.层次化,模块化的设计方法

对于一个复杂的数字系统,运用层次化设计方法,使设计课题进一步细化,分块设计,条理清晰。另外,在调试时可采用逆向调试方式,即从模块调试向总体调试方向开展调试工作,使设计中出现的问题在模块级就能发现,及时处理,这样就

会使一个复杂的设计变得容易调试, 缩短了设计时间。

2. 自顶向下---从系统级开始把系统划分为基本单元, 然后再把每个基本单元划分为下一层次的基本单元, 一直这样做下去直到可以直接用 元件库中的元件来实现为止。

3. 自下而上---是一种传统的设计方法, 从存在的基本单元出发, 设计树最末枝上的单元要么是已经制造出的单元要么是其他项目已开发好的单元或者是可外购得到的单元, 逐级叠加, 逐模块叠加, 直至实现功能。

4. VERILOG 层次化设计中调用底层模块的方法:

基本方式: 模块名 调用名(端口名表项)

调用方式一: 位置对应调用方式; 注意位置要严格对应;

调用方式二: 端口名对应调用方式; 注意端口名要保持一致。

## 4 实验内容

### 4.1 实验代码

```
//模 60 计数器的 Verilog HDL 设计
module counter60(clk, rst_n, en, dout, co);
input clk, rst_n, en;
output[7:0] dout;
output co;
wire co10_1, co10, co6;
wire[3:0] dout10, dout6;
counter10 u1(.clk(clk), .rst_n(rst_n), .en(en), .dout(dout10), .co(co10_1));
//模 10 计数器的进位为 co10_1
and u3(co10,en,co10_1);
//co10_1 与 en 的与为 co10
counter6 u2(.clk(clk), .rst_n(rst_n), .en(co10), .dout(dout6), .co(co6));
//co10_1 与 en 的与为 co10,作为模 6 计数器的使能信号
and u4(co, co10, co6);
//模 6 计数器的进位和模 6 的使能信号 co10 的与作为模 60 计数器的进位
assign dout = {dout6,dout10};
//模 60 计数器的输出, 高位为模 6 计数器的输出, 低位为模 10 计数器的输出,
读法是 8421BCD 码读法
endmodule
//模 6 计数器模块
module counter6(clk, rst_n, en, dout, co);
input clk, rst_n, en;
```

```

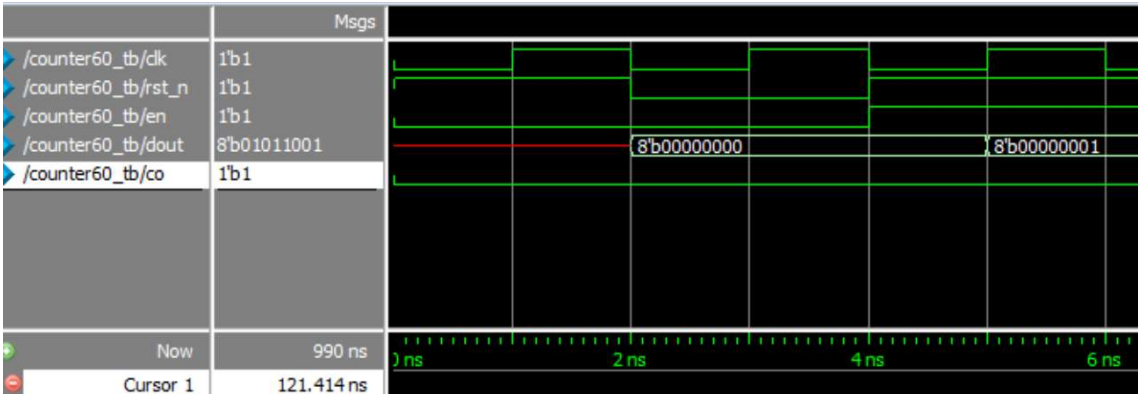
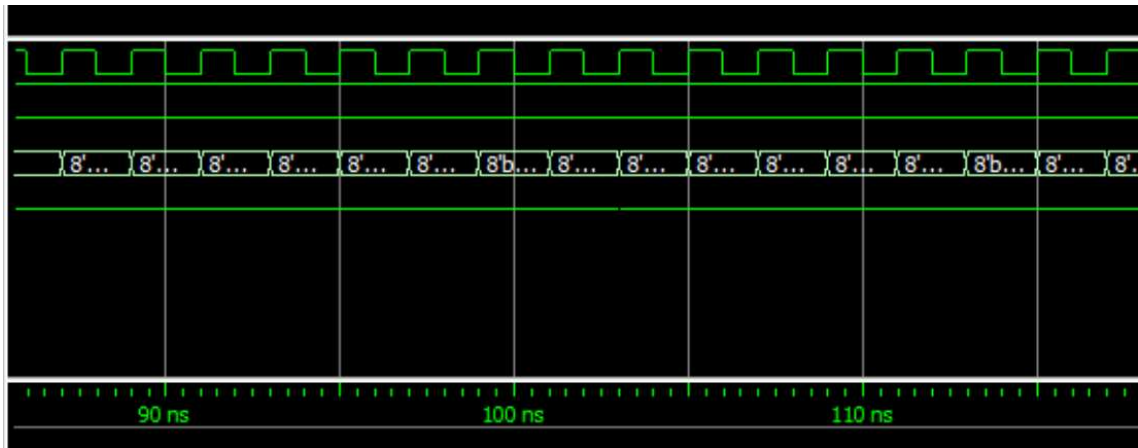
output[3:0] dout;
reg [3:0] dout;
output co;
always@(posedge clk or negedge rst_n)
begin
    if(!rst_n)
        dout <= 4'b0000;          //系统复位，计数器清零
    else if(en)
        if(dout == 4'b0101)        //计数值达到 5 时，计数器清零
            dout <= 4'b0000;
        else
            dout <= dout + 1'b1; //否则，计数器加 1
    else
        dout <= dout;
end
assign co = dout[0]&dout[2];
//当计数达到 5(4'b1001)时，进位为 1，计数值为其他，都没有进位
endmodule
//模 10 计数器模块
module counter10(clk, rst_n, en, dout, co);
input clk, rst_n, en;
output[3:0] dout;
reg [3:0] dout;
output co;
always@(posedge clk or negedge rst_n)
begin
    if(!rst_n)
        dout <= 4'b0000;          //系统复位，计数器清零
    else if(en)
        if(dout == 4'b1001)        //计数值达到 5 时，计数器清零
            dout <= 4'b0000;
        else
            dout <= dout + 1'b1; //否则，计数器加 1
    else
        dout <= dout;
end
assign co = dout[0]&dout[3];
//当计数达到 5(4'b1001)时，进位为 1，计数值为其他，都没有进位
Endmodule

//模 10 计数器的测试文件
`timescale 1ns/1ps
module counter60_tb;
reg clk, rst_n, en;
wire[7:0] dout;

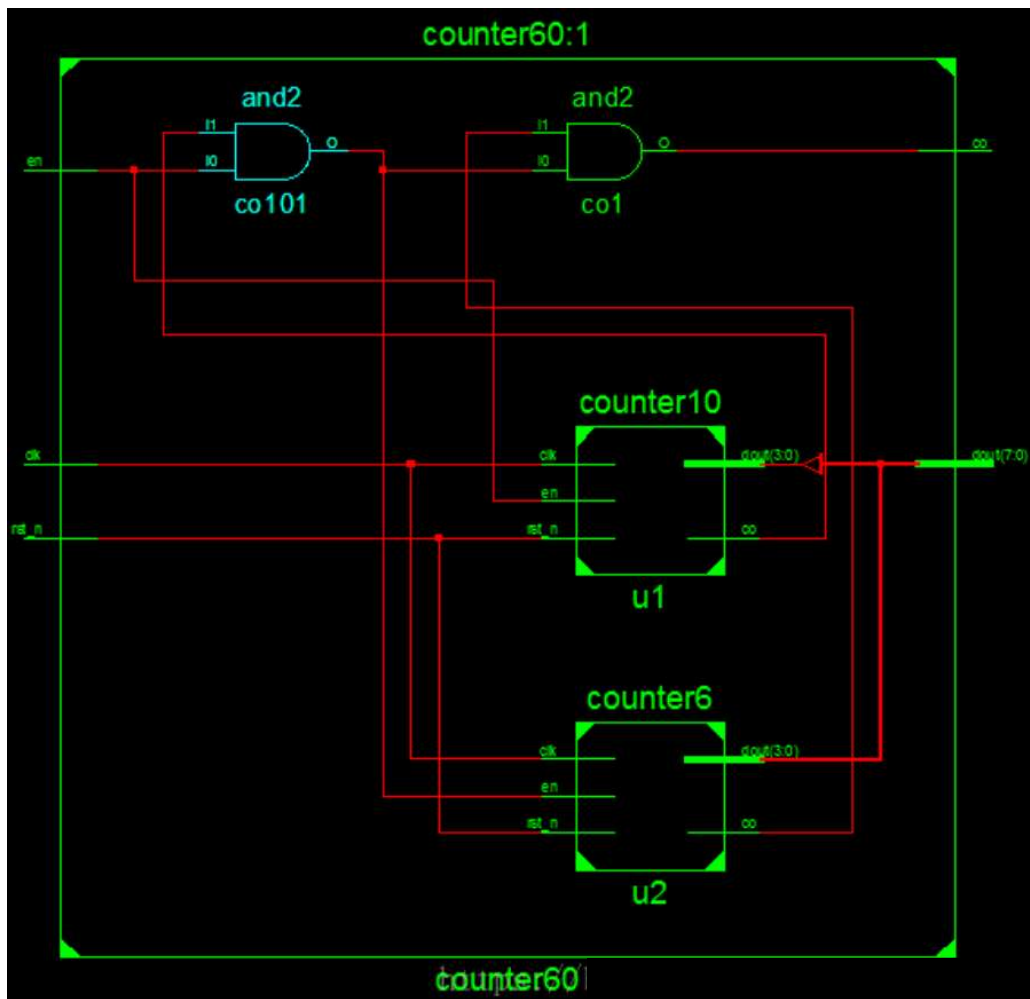
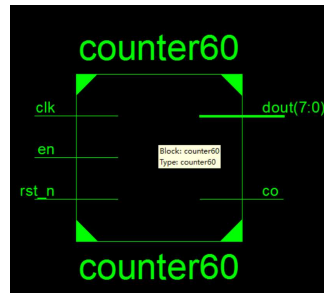
```

```
wire co;
//时钟设计周期为 2ns
always
begin
    #1 clk = ~clk;
end
//初始化
initial
begin
    clk = 1'b0;
    rst_n = 1'b1;
    en = 1'b0;
    #2 rst_n = 1'b0;
    #2 rst_n = 1'b1; en = 1'b1;    //计数使能信号有效，且不复位
end
    counter60 u5(.clk(clk), .rst_n(rst_n), .en(en), .dout(dout), .co(co));
endmodule
```

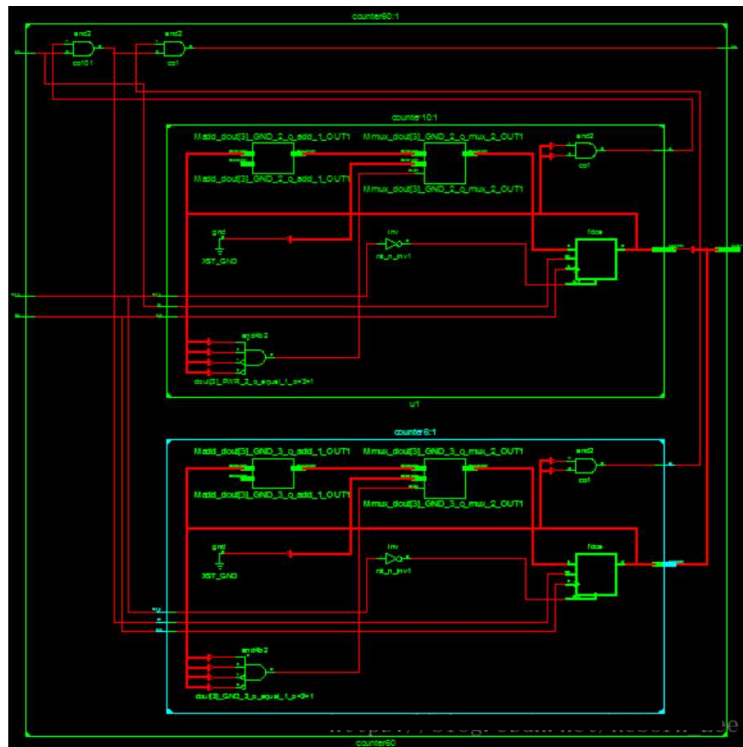
4.2 仿真波形



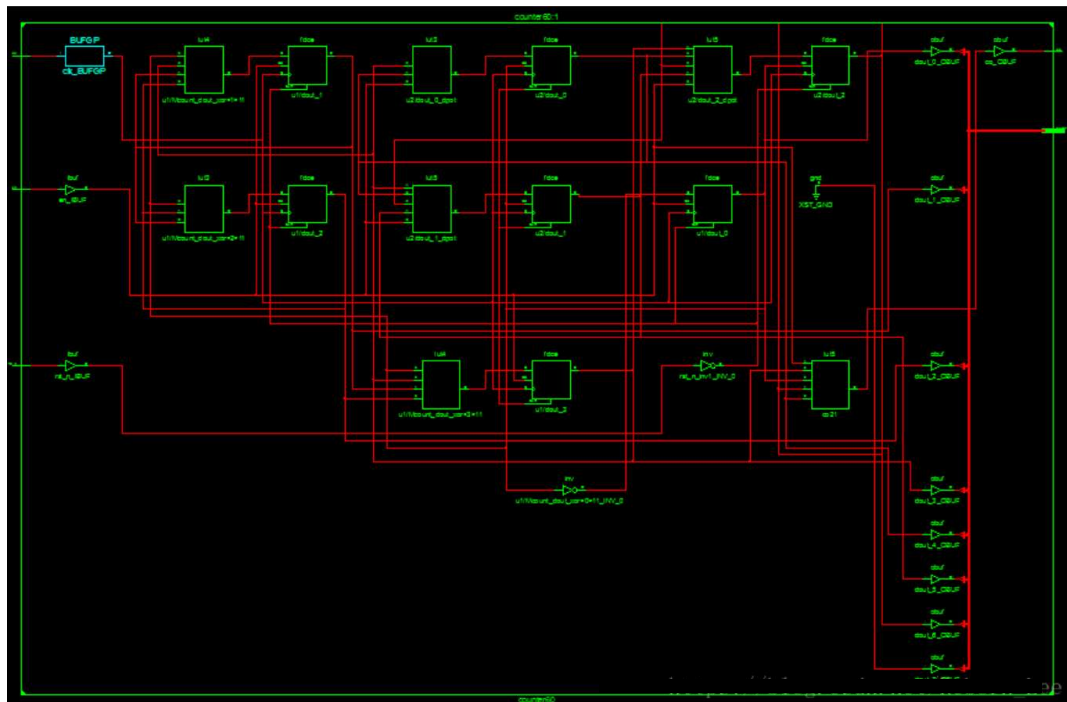
### 4.3 RTL Schematic



模 10 计数器的进位 `co` 和使能信号 `en` 与运算之后作为模 6 计数器的使能信号，模 6 计数器的进位信号与自身的使能信号相与作为模 60 计数器的进位信号。



#### 4.4 Technology Schematic



## 5 总结与感想

通过参考示例代码可以完成相应的 60 进制计数器的编写以及测试，此次实验完成的较为顺利。本实验的代码以及原理较为简单，主要是学习掌握并练习 Verilog HDL 语言描述的语法规则以及熟悉其使用，为数字钟设计实验打下基础。