

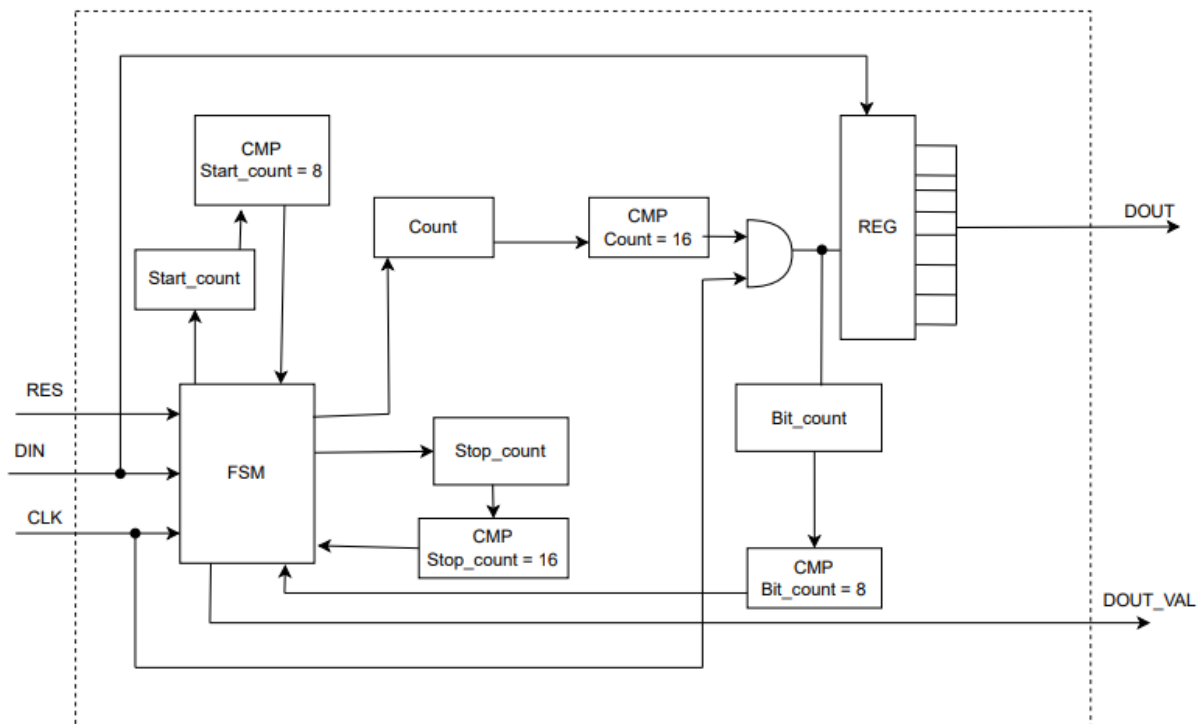
Vysoké učení technické v Brně

Fakulta informačních technologií

INC – Návrh číslicových systémů
Návrh obvodu UART

Architektura navrženého obvodu (na úrovni RTL)

Schéma obvodu



Popis funkce:

Obvod se skládá z několika komponent:

FSM – Finite State Machine (stavový automat) – řídí chování obvodu

Start_count – čítač, počítá dobu do midbitu **START BITU**

Count – čítač, počítá dobu mezi midbity jednotlivých bitů zprávy

Bit_count – čítač, počítá počet přenesených bitů zprávy

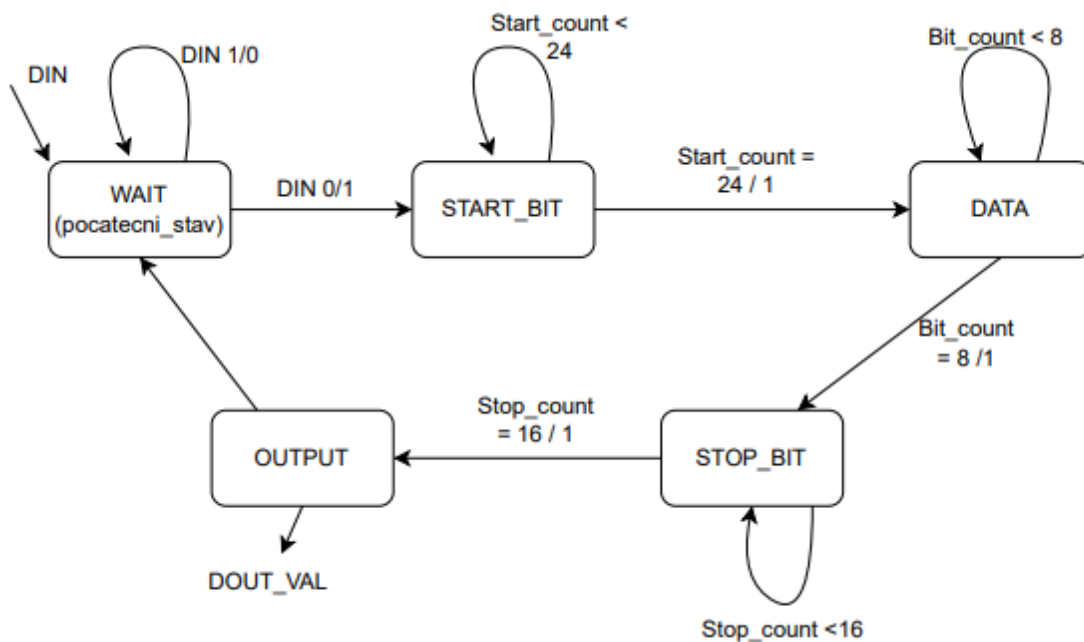
Stop_count – čítač, počítá dobu do midbitu **STOP BITU**

REG – posuvný registr, ukládá a následně převádí data do paralelní podoby

Obvod čeká na **START BIT** (log 0). Jakmile přijde tak začne pomocí hodinového signálu počítat dobu do midbitu **START BITU**. Poté se pomocí FSM přepne do stavu **DATA** a přijímá jednotlivé bity zprávy a ukládá je do registru. Rychlost přijímaných dat je 16x menší než rychlost hodinového signálu, proto čítač **Count** kontroluje dobu potřebnou k přesunu mezi midbitem jednoho bitu a midbitem následujícího bitu. Po samotných bitech zprávy, jejichž počet hlídá čítač **Bit_count**, následuje jeden nebo více **STOP BITŮ** (log 1). Jejich výskyt hlídá čítač **Stop_count**. Po jejich nalezení dojde k potvrzení platnosti zprávy pomocí **DOUT_VAL** (log 1 po dobu jednoho taktu hodinového signálu) a k odeslání dat z registru na **DOUT**.

Návrh automatu (Finite State Machine)

Schéma automatu



Popis funkce:

Automat se skládá z pěti stavů:

WAIT (počáteční stav), START_BIT, DATA, STOP_BIT, OUTPUT

Vstupy: DIN – přijímaná data

Výstupy: DOUT_VAL – validace výstupních dat

Automat je v počátečním stavu **WAIT**, kdy čeká na počáteční bit. Následně se přepne do stavu **START_BIT**, kdy čeká na midbit (střed bitu, kde jsou data nejstabilnější) počátečního bitu. Poté se přepne do stavu **DATA**, kdy přijímá data od LSB po MSB a zapisuje je do registru. Po přijetí všech bitů, což hlídá counter **Bit_count** se přepne do stavu STOP_BIT, kdy čeká 16 cyklů hodinového signálu, aby se data dostala do středu **stop bitu**. Po uplynutí této doby dojde k výpisu dat z registru a potvrzení dat pomocí **DOUT_VAL**, který se nastaví na log. 1 po dobu jednoho cyklu hodinového signálu.

Snímek obrazovky ze simulací

