

数字逻辑与处理器基础知识与方法

T^TT

2024 年 9 月 23 日

目录

		2.1 从电路到逻辑门	3
		2.2 组合逻辑	3
1 布尔代数	2	2.2.1 组合逻辑电路的分析方法	4
1.1 数的编码与表示	2	2.2.2 组合逻辑电路的设计过程	4
		2.2.3 组合逻辑电路的评价指标	4
2 逻辑计算	3	2.2.4 组合逻辑电路的设计实例	4

1 布尔代数

1.1 数的编码与表示

定义 1.1.1. 二进制

二进制是基数为 2，只有两个数码 0 和 1 的数制。二进制数中，每一个数码称为一个二进制位 (**bit**)，权值最小的二进制位称为**最低位 (LSB)**，权值最大的二进制位称为**最高位 (MSB)**。

所有的 4-bit 二进制数如表 1.1 所示。

表 1.1: 4-bit 二进制数

BIN			DEC	HEX	BIN			DEC	HEX
0	0	0	0	0	1	0	0	0	8
0	0	0	1	1	1	0	0	1	9
0	0	1	0	2	1	0	1	0	A
0	0	1	1	3	1	0	1	1	B
0	1	0	0	4	1	1	0	0	C
0	1	0	1	5	1	1	0	1	D
0	1	1	0	6	1	1	1	0	E
0	1	1	1	7	1	1	1	1	F

二进制数的**左移**运算和**右移**运算分别是将二进制数的所有位向左或向右移动一位，移动后的空位补 0。左移一位相当于乘 2，右移一位相当于除 2。

定义 1.1.2. BCD 码

BCD (binary-coded decimal) 码是二进制编码的一种，用 4 位二进制数表示一个十进制数的一位。**8421 BCD 码**的编码规则是：用二进制数的 0-9 的编码表示十进制数的 0-9，不使用二进制数的 10-15 的编码。

由于 8421 BCD 码是**有权码**，其加减法运算可以直接使用二进制数和十进制数的加减法运算规则。

例题 1.1.1. (1) $34_{10} + 45_{10} = 0011\ 0100_{BCD} + 0100\ 0101_{BCD} = 0111\ 1001_{BCD} = 79_{10}$ 。

(2) $14_{10} + 9_{10} = 0001\ 0100_{BCD} + 0000\ 1001_{BCD} = 0001\ 1101_{BCD} \xrightarrow{\text{进位}} 0010\ 0011_{BCD} = 23_{10}$ 。

8 个二进制位称为一个**字节**。

2 逻辑计算

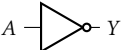







2.1 从电路到逻辑门

定义 2.1.1. 逻辑门

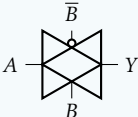
逻辑门是一种能够实现逻辑运算的电路，其输入和输出均为逻辑值。逻辑门的输入和输出均为二进制数，输入的二进制数称为**输入变量**，输出的二进制数称为**输出变量**。

常用的逻辑门如表 2.2 所示。

表 2.2: 常用逻辑门

逻辑门	符号	记号	运算	逻辑门	符号	记号	运算
非门		NOT	$Y = \overline{A}$	缓冲器		BUF	$Y = A$
与非门		NAND	$Y = \overline{A \cdot B}$	与门		AND	$Y = A \cdot B$
或非门		NOR	$Y = \overline{A + B}$	或门		OR	$Y = A + B$
异或非门		XNOR	$Y = \overline{A \oplus B}$	异或门		XOR	$Y = A \oplus B$

元件 2.1. 传输门

记号 

特性 传输门是一种多输入单输出的逻辑门，其输出为与或逻辑（AND-OR）运算的结果。

2.2 组合逻辑

定义 2.2.1. 组合逻辑

组合逻辑是一种逻辑电路，其输出仅取决于当前的输入及延时，与电路的历史状态无关。组合逻辑电路中没有反馈回路。

2.2.1 组合逻辑电路的分析方法

2.2.2 组合逻辑电路的设计过程

2.2.3 组合逻辑电路的评价指标

2.2.4 组合逻辑电路的设计实例

A) 编码器 (Encoder) 用 m 个二进制位对 $n \leq 2^m$ 个输入信号进行编码, 得到 m 位二进制代码的电路。

B) 译码器 (Decoder) 用 n 个二进制位对 $m \leq \log_2 n$ 个输入信号进行译码, 得到 n 位二进制代码的电路。

C) 多路选择器 (Multiplexer, MUX) 用 n 个控制信号对 2^n 个输入信号进行选择, 得到一个输出信号的电路。

D) 加法器 用于实现二进制数的加法运算。

例题 2.2.1. 设计一个 4-bit 全加器电路。

解. 1-bit 全加器有 3 个输入信号 (A 、 B 和进位信号 C_{in})、2 个输出信号 (本位的和 S 、进位输出信号 C_{out}), 其真值表如表 2.3 所示。

表 2.3: 1-bit 全加器真值表

A	B	C_{in}	S	C_{out}
0	0	0	0	0
0	0	1	1	0
0	1	0	1	0
0	1	1	0	1
1	0	0	1	0
1	0	1	0	1
1	1	0	0	1
1	1	1	1	1

则

⑤