

数字逻辑与处理器基础知识与方法

T^TT

2024 年 9 月 26 日

目录

		2.1 从电路到逻辑门	3
		2.2 组合逻辑	3
1 布尔代数	2	2.2.1 组合逻辑电路的分析方法	3
1.1 数的编码与表示	2	2.2.2 组合逻辑电路的设计过程	5
		2.2.3 组合逻辑电路的评价指标	6
2 逻辑计算	3	2.2.4 组合逻辑电路的设计实例	6

1 布尔代数

1.1 数的编码与表示

定义 1.1.1. 二进制

二进制是基数为 2，只有两个数码 0 和 1 的数制。二进制数中，每一个数码称为一个二进制位 (**bit**)，权值最小的二进制位称为**最低位 (LSB)**，权值最大的二进制位称为**最高位 (MSB)**。

所有的 4-bit 二进制数如表 1.1 所示。

表 1.1: 4-bit 二进制数

BIN			DEC	HEX	BIN			DEC	HEX
0	0	0	0	0	1	0	0	0	8
0	0	0	1	1	1	0	0	1	9
0	0	1	0	2	1	0	1	0	A
0	0	1	1	3	1	0	1	1	B
0	1	0	0	4	1	1	0	0	C
0	1	0	1	5	1	1	0	1	D
0	1	1	0	6	1	1	1	0	E
0	1	1	1	7	1	1	1	1	F

二进制数的**左移**运算和**右移**运算分别是将二进制数的所有位向左或向右移动一位，移动后的空位补 0。左移一位相当于乘 2，右移一位相当于除 2。

定义 1.1.2. BCD 码

BCD (binary-coded decimal) 码是二进制编码的一种，用 4 位二进制数表示一个十进制数的一位。**8421 BCD 码**的编码规则是：用二进制数的 0-9 的编码表示十进制数的 0-9，不使用二进制数的 10-15 的编码。

由于 8421 BCD 码是**有权码**，其加减法运算可以直接使用二进制数和十进制数的加减法运算规则。

例题 1.1.1. (1) $34_{10} + 45_{10} = 0011\ 0100_{BCD} + 0100\ 0101_{BCD} = 0111\ 1001_{BCD} = 79_{10}$ 。

(2) $14_{10} + 9_{10} = 0001\ 0100_{BCD} + 0000\ 1001_{BCD} = 0001\ 1101_{BCD} \xrightarrow{\text{进位}} 0010\ 0011_{BCD} = 23_{10}$ 。

8 个二进制位称为一个**字节**。

2 逻辑计算

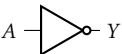

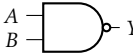
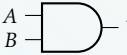




2.1 从电路到逻辑门

定义 2.1.1. 逻辑门

逻辑门是一种能够实现逻辑运算的电路，其输入和输出均为逻辑值。逻辑门的输入和输出均为二进制数，输入的二进制数称为**输入变量**，输出的二进制数称为**输出变量**。

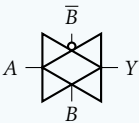
常用的逻辑门如表 2.2 所示。

表 2.2: 常用逻辑门

逻辑门	符号	记号	运算	逻辑门	符号	记号	运算
非门		NOT	$Y = A' ^1$	缓冲器		BUF	$Y = A$
与非门		NAND	$Y = \overline{A \cdot B}$	与门		AND	$Y = A \cdot B$
或非门		NOR	$Y = \overline{A + B}$	或门		OR	$Y = A + B$
异或非门		XNOR	$Y = \overline{A \oplus B}$	异或门		XOR	$Y = A \oplus B$

元件 2.1. 传输门

记号



特性

传输门是一种多输入单输出的逻辑门，其输出为
$$Y = \begin{cases} A, & B = 1 \\ \text{undefined}, & B = 0 \end{cases}$$

2.2 组合逻辑

定义 2.2.1. 组合逻辑

组合逻辑是一种逻辑电路，其输出仅取决于当前的输入及延时，与电路的历史状态无关。组合逻辑电路中没有反馈回路。

2.2.1 组合逻辑电路的分析方法

分析组合逻辑电路，即是从给定的设计电路（晶体管或逻辑门电路）中，找出输入与输出之间的关系，用真值表、布尔表达式等形式表示。

¹为区别单个的非逻辑和其他多目运算中的非，这里约定单独的非逻辑用 A' 表示，夺目运算附带的非逻辑用 \overline{A} 表示。

例题 2.2.1. 分析如图 2.1a 所示的组合逻辑电路。

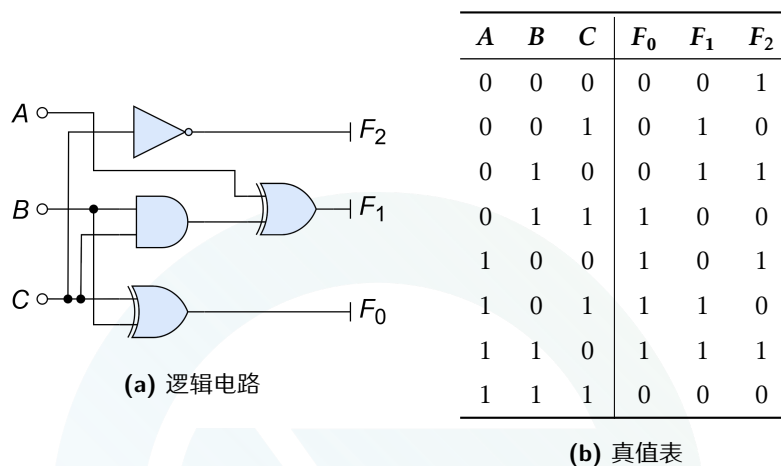


图 2.1: 组合逻辑电路实例 1

解. 根据逻辑门的运算规则, 可得到

$$\begin{cases} F_0 = A \oplus (B \cdot C) \\ F_1 = B \oplus C \\ F_2 = \bar{C} \end{cases}$$

因此, 该组合逻辑电路输出的真值表如表 2.1b 所示。可以看出, 这个电路所实现的功能为 $(F_0 F_1 F_2)_2 = (ABC)_2 + 1$, 这是一个 3-bit 二进制自增电路。⑤

例题 2.2.2. 分析如图 2.2a 所示的组合逻辑电路。

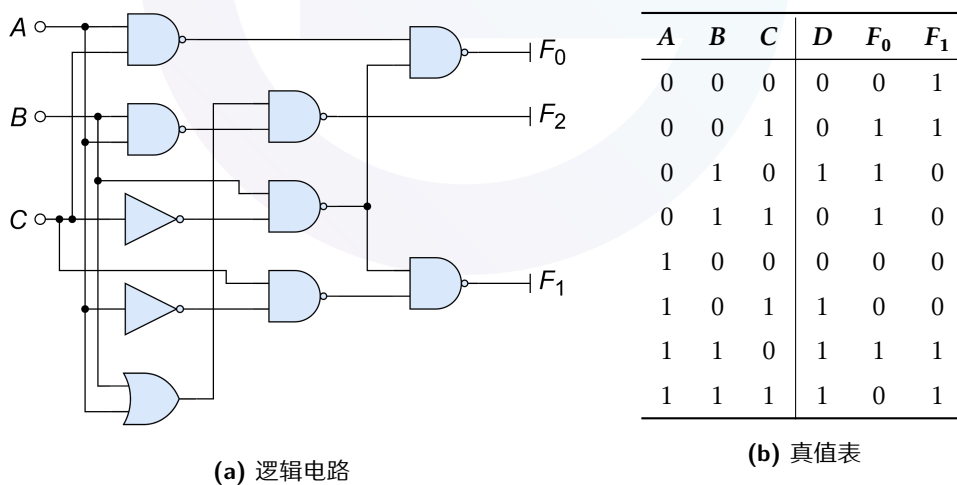


图 2.2: 组合逻辑电路实例 2

解. 根据逻辑门的运算规则, 可得到

$$\begin{cases} F_0 = \overline{AC} \cdot \overline{Bc} \\ F_1 = \overline{BC} \cdot \overline{CA} \\ F_2 = (A + B) \cdot \overline{AB} \end{cases}$$

因此, 该组合逻辑电路输出的真值表如表 2.2b 所示, 这是一个 Gray 码递增电路。

⑤

2.2.2 组合逻辑电路的设计过程

设计一个组合逻辑电路, 需要将算法转化为二元逻辑的计算, 化简后用逻辑电路结构实现。

例题 2.2.3. 设计一个 2-bit 比较器。

解. 2-bit 比较器的设计需求为:

- 功能: 比较两个 2-bit 二进制数的大小;
- 输入: 两个 2-bit 二进制数 A_1A_0 和 B_1B_0 ;
- 输出: 三个逻辑值 LT 、 EQ 和 GT , 分别表示 $A < B$ 、 $A = B$ 和 $A > B$ 。

用卡诺图表示出 LT 、 EQ 和 GT 的逻辑表达式如表 2.3 所示, 即知其两级与或表达式为

$$LT = A_1'B_1 + A_1'A_0B_0 + A_0'B_1B_0$$

$$EQ = A_1'A_0B_1'B_0 + A_1'A_0B_1B_0 + A_1A_0'B_1B_0 + A_1A_0B_1B_0$$

$$GT = A_1B_1' + A_1B_1'B_0 + A_1A_0B_0'$$

其中 EQ 可以更简单地表示为

$$EQ = \overline{A_1 \oplus B_1} \cdot \overline{A_0 \oplus B_0}$$

或者利用另外两个输出的逻辑表达式, 即

$$EQ = \overline{LT + GT}$$

将 LT 、 EQ 和 GT 的逻辑表达式转化为逻辑电路, 即可得到 2-bit 比较器的设计。

⑤

表 2.3: 2-bit 比较器设计的卡诺图

(a) LT	(b) EQ	(c) GT
$A_1A_0 \setminus B_1B_0$	$A_1A_0 \setminus B_1B_0$	$A_1A_0 \setminus B_1B_0$
00	00	00
01	01	01
11	11	11
10	10	10

如上 4-bit 输入的逻辑运算已经比较复杂。对于更加复杂的逻辑运算, 在处理中需要采取更多的技巧以简化运算, 如:

- 将输入变量分组, 写成更简单的逻辑表达式的多级运算:

$$f(A, B, C, \dots) = F(g_1(A, B, \dots), g_2(C, \dots), \dots)$$

- 将输入变量分离, 写成更简单的逻辑表达式的分支计算:

$$f(A, B, C, \dots) = A \cdot g_1(B, C, \dots) + \bar{A} \cdot g_2(B, C, \dots)$$

- 从结构化表达式中找出重复的部分加以复用, 简化逻辑电路。

同时, 还需要照应到实际的功耗、性能、面积等要求。

2.2.3 组合逻辑电路的评价指标

评价逻辑电路的主要指标包括:

- 稳态因素:
 - 逻辑电平: 逻辑电路的输入和输出电平高低;
 - 噪声容限: 逻辑电路抵抗噪声的能力;
 - 静态功耗: 逻辑电路在稳态工作时的功耗, 主要与电路的 V_{CC} 有关;
 - 面积: 逻辑电路的物理尺寸;
 - 扇出系数: 逻辑门的输出能够驱动的输入数量。
- 动态因素:
 - 传输延迟和时钟频率: 逻辑电路的输入到输出的延迟时间;
 - 时序容限: 逻辑电路的输入信号的时序要求;
 - 动态功耗: 逻辑电路在工作时的功耗, 主要与电路的切换频率有关;
 - 噪声: 逻辑电路在工作时产生的噪声。

2.2.4 组合逻辑电路的设计实例

A) 编码器 (Encoder) 和译码器 (Decoder) 用 m 个二进制位对 $n \leq 2^m$ 个输入信号进行编码, 得到 m 位二进制代码的电路, 称为 $2^m - m$ 线编码器。

例题 2.2.4. 设计一个 4-2 线编码器用作抢答器, 其中每个抢答按钮按下时对应输入信号为 1, 其余输入信号为 0。

解. 4 个输入信号的抢答器的真值表如表 2.3a 所示^a, 容易得到其逻辑表达式为

$$Y_0 = A_3 + A_1$$

$$Y_1 = A_3 + A_2$$

该编码器的设计如图 2.3b 所示。

但是, 这个编码器不能满足抢答器的优先要求。为了实现优先级, 可以将输入信号的优先级从高到低排列, 然后将优先级高的输入信号的输出信号设为 1, 优先级低的输入信号的输出信号设为 0。具体的电路设计略。 ⑤

^a 由于编码器的输入信号类型数最多为输出信号所能表示的最大数值, 其必定要用无关项的形式归总一些设计之外的情况。考虑到输出信号的唯一性, 表中无关项的分布不是对称的。

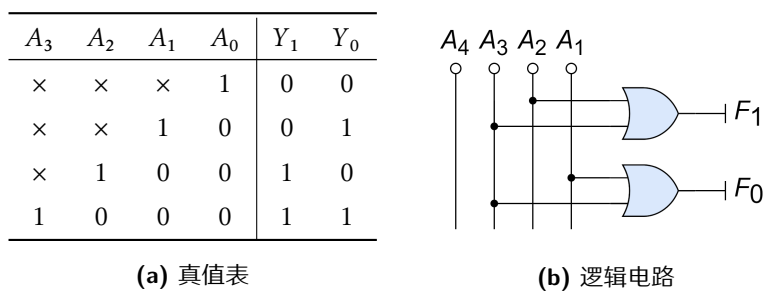


图 2.3: 4-2 线编码器设计

译码是编码的逆过程, 即将编码后的信号转换为原始信号。用 n 个二进制位对 $m \leq \log_2 n$ 个输入信号进行译码, 得到 n 位二进制代码的电路, 称为 $\log_2 n - n$ 线译码器。

B) 多路选择器 (Multiplexer, MUX) 用 n 个控制信号对 2^n 个输入信号进行选择, 得到一个输出信号的电路, 称为 $2^n : 1$ 多路选择器。

C) 加法器 用于实现二进制数的加法运算。

例题 2.2.5. 设计一个 4-bit 全加器电路。

解. 1-bit 全加器有 3 个输入信号 (A 、 B 和进位信号 C_{in})、2 个输出信号 (本位的和 S 、进位输出信号 C_{out})。则

⑤