

Basic Engineering Circuit Analysis

电子电路启蒙教程

T^TT

2024 年 8 月 11 日

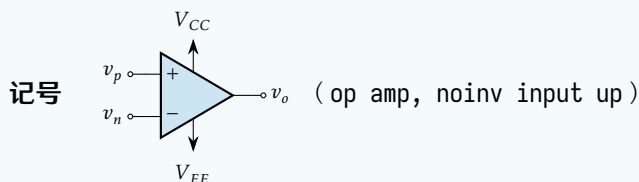
目录

5	运算放大器与反馈设计	2	6	电路应用衔接	5
5.1	运算放大器	2	6.1	CMOS 数字逻辑电路	5
5.2	运算放大器上的反馈回路	3	6.1.1	CMOS 反相器	5
5.2.1	反相闭环组态	4	6.1.2	CMOS 逻辑门电路	7
5.2.2	同相闭环组态	5	6.1.3	数字开关与动态逻辑电路	9
			6.1.4	反馈回路与存储电路	11
			6.2	振荡电路	12
			6.2.1	负阻值与振荡器	12

5 运算放大器与反馈设计

5.1 运算放大器

元件 5.1. 运算放大器 (operational amplifier)



特性 在直流电压 V_{CC} , V_{EE} 驱动下, 输出端点相对接地的电压 $v_o = A_v(v_p - v_n)$ 。

我们可以用前面的组件构建运放器的简单模型, 如图 5.1。

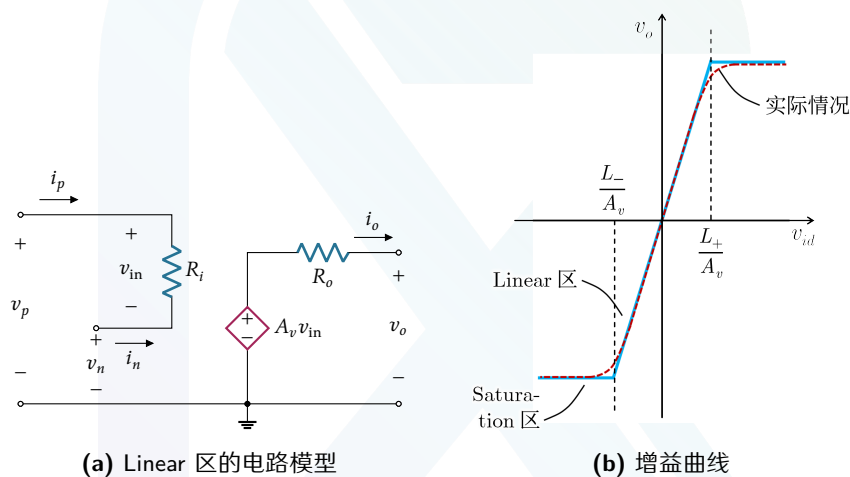


图 5.1: 运放器的增益特性模型

实际的运算放大器一般有较大的 A_v 值 ($10^4 \sim 10^8$) 和 R_i ($10^6 \sim 10^{13} \Omega$) 以及较小的 R_o ($1 \sim 100 \Omega$)。因此, 可以假设 $A_v = \infty$, $R_i = \infty$, $R_o = 0$, 这样的运算放大器称为**理想运算放大器**, 如图 5.2 所示。当理想运放工作在 Linear 区时, 有

$$i_p = i_n = 0, \quad v_p = v_n$$

因此, 只要 $v_p \neq v_n$, 理想运放的输出电平就只能为 $\pm V_{dd}$ 。

理想运放的一个直接应用是比较输入端两个信号 (通常是输入信号 v_{in} 和参照信号 v_{ref}) 的大小, 称为**过零检测器**, 记为 $v_{in} \circ v_{ref} \rightarrow v_o$ 或 $v_{ref} \circ v_{in} \rightarrow v_o$, 前者

在 $v_{in} > v_{ref}$ 时输出高电平, 后者在 $v_{in} < v_{ref}$ 时输出高电平。基于过零检测器可以构建简单的**模数转换器 (ADC)**。

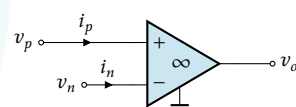


图 5.2: 理想运算放大器

过零检测器

zero-crossing
detector

注 5.1. 模拟信号与数字信号

与实际物理量变化形式类似的电信号称为**模拟信号**。在模拟信号上等时间间距地采样并用有限位数的数字表示采样值的大小,就得到**数字信号**。数字信号常以二进制表示,在电信号上表现为只有**高电平(1)**和**低电平(0)**。

要将模拟信号转换为数字信号,需要用到如图 5.3 所示的**模数转换器**,其在输入端接入模拟电信号,在 N 个输出端输出 N 位二进制数表示的数字信号。

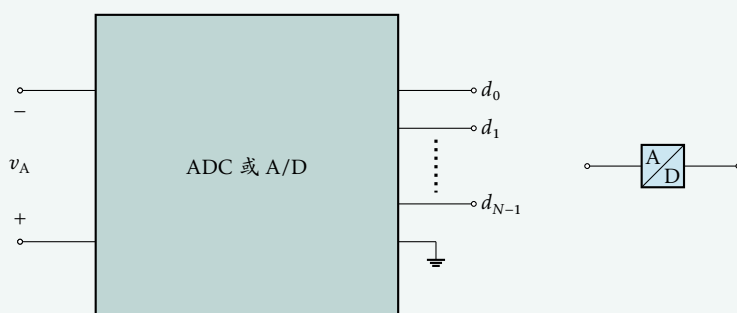
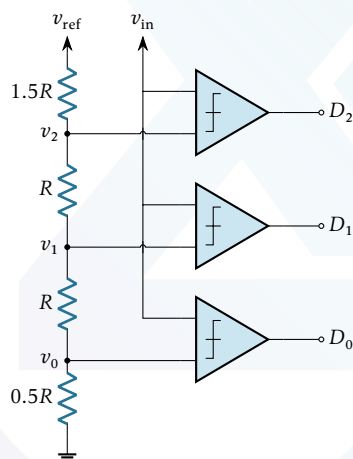


图 5.3: 模数转换器

例题 5.1.1. 求电路输出 $\overline{D_2 D_1 D_0}$ 与输入信号 v_{in} 的关系。



解. 由 KVL, 知 $v_0 = \frac{1}{8}v_{ref}$, $v_1 = \frac{3}{8}v_{ref}$, $v_2 = \frac{5}{8}v_{ref}$, 则

$$\overline{D_2 D_1 D_0} = \begin{cases} 000, & v_{in} < \frac{1}{8}v_{ref}, \\ 001, & \frac{1}{8}v_{ref} < v_{in} < \frac{3}{8}v_{ref}, \\ 011, & \frac{3}{8}v_{ref} < v_{in} < \frac{5}{8}v_{ref}, \\ 111, & v_{in} > \frac{5}{8}v_{ref} \end{cases} \quad (\text{S})$$

5.2 运算放大器上的反馈回路

例题 5.2.1. 已知单位增益缓冲器的电路结构如图 5.4a 所示, 图 5.4b 是其特性模型。若 $A_o \gg 1$, $R_o \ll R_i$, 由此考虑 $\frac{V_o}{V_S}$ 的值。

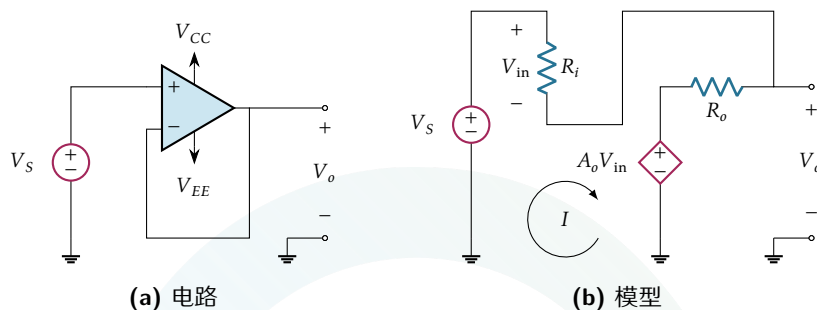


图 5.4: 单位增益缓冲器

解. 由图易知 $V_{in} = IR_i$, 且有

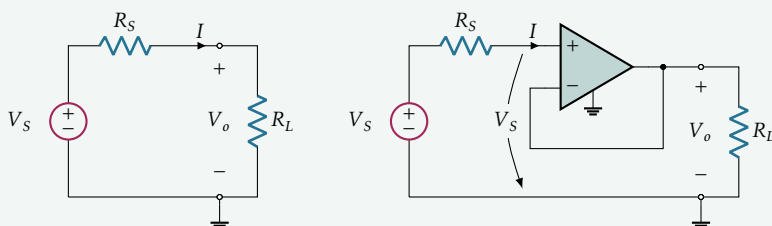
$$\begin{aligned} V_S &= IR_i + IR_o + A_o V_{in} \\ V_o &= A_o V_{in} + IR_o \end{aligned}$$

故

$$\frac{V_o}{V_S} = \frac{A_o IR_i + IR_o}{IR_i + IR_o + A_o IR_i} = \frac{1}{1 + \frac{R_i}{R_o + A_o R_i}} = \frac{1}{1 + \frac{1}{A_o + \frac{R_o}{R_i}}} \stackrel{\substack{R_o \ll R_i \\ A_o \gg 1}}{=} 1 \quad (S)$$

注 5.2. 单位增益缓冲器的作用

考虑左图电路, 有 $V_o = V_S - IR_S < V_S$ 。添加一个单位增益缓冲器后成为右图, 其中 $I \rightarrow 0$, 运放器 + 端子处电压为 V_S , 有 $V_o = V_S$ 。



左图电路中, 负载 R_L 的电压负载在源上, 提供给 R_L 的能量只能来自源 V_S ; 右图电路中, 源 V_S 几乎没有能量损失, 提供给 R_L 的能量几乎都来自运放器的电源。换句话说, 这里的单位增益缓冲器起到了隔离电源与负载的作用, 两边只有电压数值的关联而没有能量的关联。这个电路称为**电压跟随器**。

5.2.1 反相闭环组态

在图 5.5 所示的回路中, $x_o = Ax_i$, $x_f = \beta x_o$, 反馈回路对输入的影响为 $x_i = x_s - x_f$, 则有

$$A_f = \frac{x_o}{x_s} = \frac{Ax_i}{x_i + x_f} = \frac{A}{1 + A\beta} \stackrel{A\beta \gg 1}{=} \frac{1}{\beta}$$

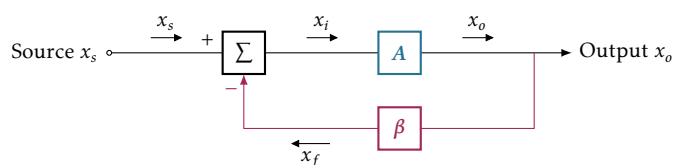
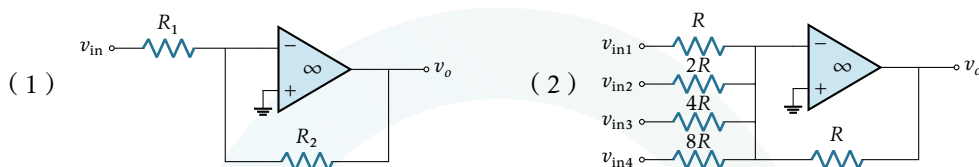


图 5.5: 负反馈模型

例题 5.2.2. 求运放电路的闭环输出。



解. (1) 构成负反馈回路, 能够保持运放工作在 Linear 区。则由 $v_n = v_p = 0$, 可有 $\frac{v_{in} - 0}{R_1} = \frac{0 - v_o}{R_2}$, 即闭环增益

$$\frac{v_o}{v_{in}} = -\frac{R_2}{R_1}$$

(2) Linear 区可以应用叠加原理, 即有

$$v_o = -\frac{R}{R} v_{in1} - \frac{R}{2R} v_{in2} - \frac{R}{4R} v_{in3} - \frac{R}{8R} v_{in4}$$

⑤

5.2.2 同相闭环组态

6 电路应用衔接

6.1 CMOS 数字逻辑电路

6.1.1 CMOS 反相器

CMOS 数字逻辑反相器如图 6.6a 所示。在其电压传输特性曲线 (图 6.6b) 上, 取切线斜率为 -1 的位置输入为 V_{IL} , V_{IH} 。而若进行级联, 则输入信号会介于输出信号的最值 V_{OL} , V_{OH} 之间。于是, 认为

- 输入信号介于 V_{OL} 和 V_{IL} 之间时, 输出视为 **高电平**, $NM_L := V_{IL} - V_{OL}$ 称为**低输入噪声门限 (裕度)**;
- 输入信号介于 V_{IH} 和 V_{OH} 之间时, 输出视为**低电平**, $NM_H := V_{OH} - V_{IH}$ 称为**高输入噪声门限 (裕度)**。

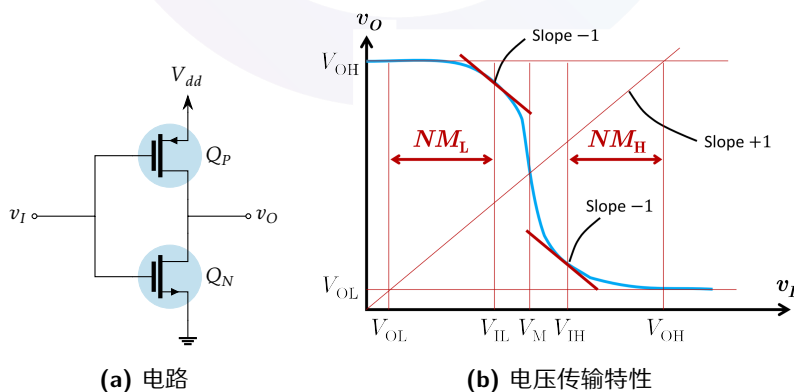


图 6.6: CMOS 反相器

在 $v_I = V_{IH}$ 处, $\begin{cases} v_{SG,P} \geq V_{th}, \\ v_{DG,P} \leq V_{th}, \end{cases}$ 即 Q_P 工作在 Saturation 区; $\begin{cases} v_{GS,N} \geq V_{th}, \\ v_{GD,N} \geq V_{th}, \end{cases}$ 即 Q_N 工作在 Triode 区。于是列式

$$\begin{cases} i_{D,P} = i_{D,N}, \\ i_{D,N} = (\mu_n C_{ox}) \left(\frac{W}{L} \right)_n \left[(v_{GS,N} - V_{th}) v_{DS,N} - \frac{1}{2} v_{DS,N}^2 \right], \\ i_{D,P} = \frac{1}{2} (\mu_p C_{ox}) \left(\frac{W}{L} \right)_p (v_{SG,P} - V_{th})^2, \\ \frac{dv_O}{dv_I} = \frac{dv_{DS,N}}{dv_{GS,N}} = -1 \end{cases} \xrightarrow{\text{假设 } (\mu_n C_{ox}) \left(\frac{W}{L} \right)_n = (\mu_p C_{ox}) \left(\frac{W}{L} \right)_p} V_{IH} = \frac{5V_{dd} - 2V_{th}}{8}$$

同理即得 $V_{IL} = \frac{3V_{dd} + 2V_{th}}{8}$ 。若进一步假设 $V_{OL} = 0$, $V_{OH} = V_{dd}$, 则可求得 $NM_L = NM_H = \frac{3V_{dd} + 2V_{th}}{8}$ 。

下面向 CMOS 反相器输入阶跃电压信号, 考察其时间和能量的动态特性。

A) 传播延迟 对 CMOS 反相器输入阶跃电压信号, 其实际输出响应如图 6.7a 所示, 变化趋势类似电容的充放电过程, 于是不妨将电路中所有容性成分集中为电容 C , 而 MOS 管保持理想, 如图 6.7b。定义输出电压从低电位到高电位、从高电位到低电位的过程中, 越过最高电平一半所用的时间为**传输延时** t_{PLH} , t_{PHL} 。

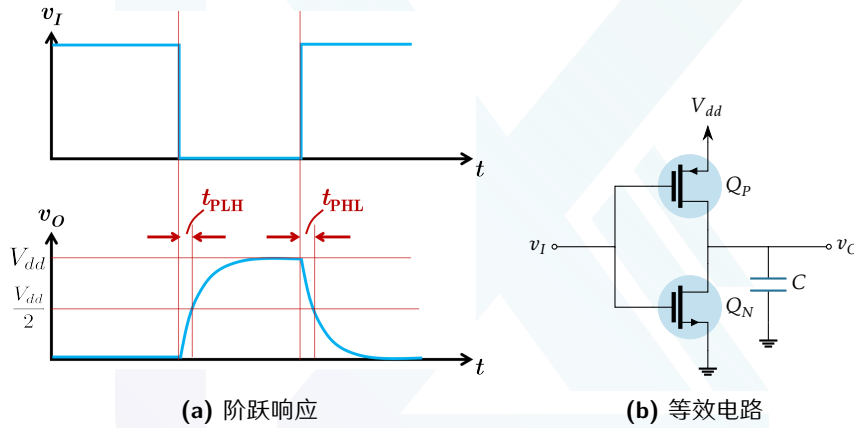


图 6.7: CMOS 反相器的传播延迟

下面考察输出由低电平到高电平的过程。

- 输入在 V_{dd} , 输出在 GND 时, Q_P 在 Cutoff 区, Q_N 在 Triode 区;
- 当输入跳变到 GND 后, Q_N 进入 Cutoff 区保持关断, Q_P 进入 Saturation 区, 有 $i_D = \frac{1}{2} k_p (v_{SG,P} - V_{th})^2 = \frac{1}{2} k_p (V_{dd} - V_{th})^2$ 为恒值, 直到 $v_{DG,P} = v_O$ 达到 V_{th} 。于是

$$t_{PLH1} = \frac{C \Delta v_O}{i_D} = \frac{2CV_{th}}{k_p(V_{dd} - V_{th})^2}$$

- 当 $v_{DG,P} = v_O$ 达到 V_{th} 后, Q_P 进入 Triode 区, 有 $i_D = k_p \left[(v_{SG,P} - V_{th}) v_{SD,P} - \frac{1}{2} v_{SD,P}^2 \right] = k_p \left[(V_{dd} - V_{th}) \cdot (V_{dd} - v_O) - \frac{1}{2} (V_{dd} - v_O)^2 \right]$, 于是

$$t_{PLH2} = \int_{V_{th}}^{\frac{V_{dd}}{2}} \frac{C dv_O}{i_D} = \frac{C}{k_p} \int_{V_{th}}^{\frac{V_{dd}}{2}} \frac{dv_O}{(V_{dd} - V_{th})(V_{dd} - v_O) - \frac{1}{2} (V_{dd} - v_O)^2} = \frac{C}{k_p(V_{dd} - V_{th})} \ln \frac{3V_{dd} - 4V_{th}}{V_{dd}}$$

故总的传输延迟为

$$t_{\text{PLH}} = \frac{2CV_{\text{th}}}{k_p(V_{dd} - V_{\text{th}})^2} + \frac{C}{k_p(V_{dd} - V_{\text{th}})} \ln \frac{3V_{dd} - 4V_{\text{th}}}{V_{dd}} \quad (6.1)$$

B) 能量消耗 电容 C 放电过程中, 耗散能量即为慢点所储能量, 为 $E_{\text{dissipated1}} = \frac{1}{2}CV_{dd}^2$; 充电过程中, 耗散能量为电源供能与电容储能之差, 即 $E_{\text{dissipated2}} = V_{dd} \int_{t_{\text{PLH}}} i_D dt - \frac{1}{2}CV_{dd}^2 = \frac{1}{2}CV_{dd}^2$ 。故, 每个周期能量消耗为 CV_{dd}^2 , 动态耗能功率即 $P_{\text{dyn}} = fCV_{dd}^2$ 。

6.1.2 CMOS 逻辑门电路

CMOS 逻辑门电路是 CMOS 反相器的扩展或推广: 逆变器由 NMOS 下拉晶体管和 PMOS 上拉晶体管组成, 以输入电压与期望输出相反的方式工作。CMOS 逻辑门将这两个晶体管扩展为如图 6.8 所示的两个网络: 由 NMOS 晶体管构成的 **下拉网络 (PDN)** 和由 PMOS 晶体管构成的 **上拉网络 (PUN)**。

这两个网络由一组输入变量以互补的方式控制。在所有期望低输出 ($Y \approx 0^1$) 的输入组合下, PDN 将导通, 将输出节点接通到地, 使得输出端 $v_Y = 0$, 同时 PUN 关断, V_{dd} 和地面之间不存在直流路径; 在所有期望高输出 ($Y \approx 1$) 的输入组合下, PUN 将导通, 将输出节点拉到 V_{dd} , 使得输出电压 $v_Y = V_{dd}$, 同时 PDN 关断, 电路中同样不存在 V_{dd} 和地之间的直流路径。

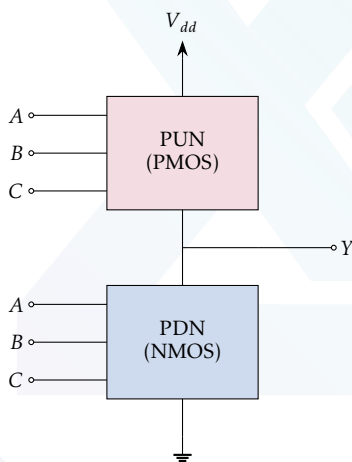


图 6.8: CMOS 逻辑门电路的一般模式

元件 6.1. 非门

记号 输入信号 A 做非运算输出 Y , 记作 $A \circ \neg \rightarrow Y$ 。

特性 $Y \approx \overline{A}$ 。

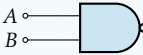
¹ 在本文档中, 为区分电压值和逻辑值两种情况, 逻辑值的相等使用 \approx ($\text{\textasciitilde{eqcirc}}$) 表示。

前面的 CMOS 反相器输出与输入的关系为

v_I	v_O
V_{dd}	GND
GND	V_{dd}

，这就是一个 CMOS 非门。

元件 6.2. 与非门

记号 输入信号 A, B 做与非运算输出 Y , 记作  Y 。

特性 $Y = \overline{A \cdot B}$ 。

如图 6.9 所示为一种 CMOS 与非门逻辑电路。当 A 或 B 有一个输入为 GND 时, 对应的 Q_{PA} 和 Q_{PB} 总有至少一路导通到 V_{dd} , 而接地路线上 Q_{NA} 和 Q_{NB} 总有至少一处断开, 输出 $Y = V_{dd}$ 。

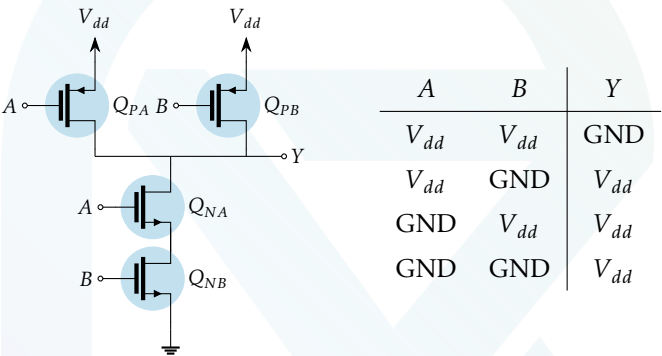
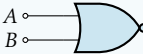


图 6.9: 一种 CMOS 与非门电路

元件 6.3. 或非门

记号 输入信号 A, B 做或非运算输出 Y , 记作  Y 。

特性 $Y = \overline{A + B}$ 。

如图 6.10 所示为一种 CMOS 或非门逻辑电路。当 A 或 B 有一个输入为 V_{dd} 时, 导通到 V_{dd} 路线上对应的 Q_{PA} 和 Q_{PB} 总有至少一处断开, 而 Q_{NA} 和 Q_{NB} 总有至少一路接地, 输出 $Y = \text{GND}$ 。

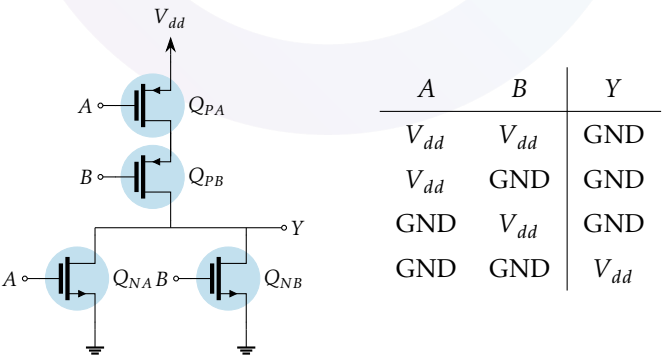


图 6.10: 一种 CMOS 或非门电路

注 6.1. 逻辑门的扇入与伪 NMOS 逻辑电路

扇入 (Fan-in) 表示单个逻辑门接受的最大输入信号数量。以上图 6.9 和图 6.10 中的逻辑门都只是 Fan-in 为 2 的情况, 但这种构造每增加 1 个输入需要多出 2 个晶体管, 不够节约硅片面积, 也会引入更多寄生电容。图 6.11 是一种伪 NMOS 逻辑电路, 通过调整 Q_P 和各 Q_N 的工艺参数, 可以使得上下同时导通时 $Y \approx \text{GND}$, 从而有 $Y \approx \overline{A+B+C+D}$, 而且每增加 1 个输入只需要多出 1 个晶体管。

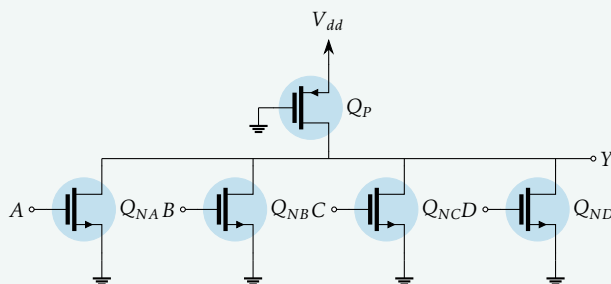


图 6.11: 一种伪 NMOS 或非门

6.1.3 数字开关与动态逻辑电路

单个的 NMOS 管可以用作开关, 如图 6.12a 所示。

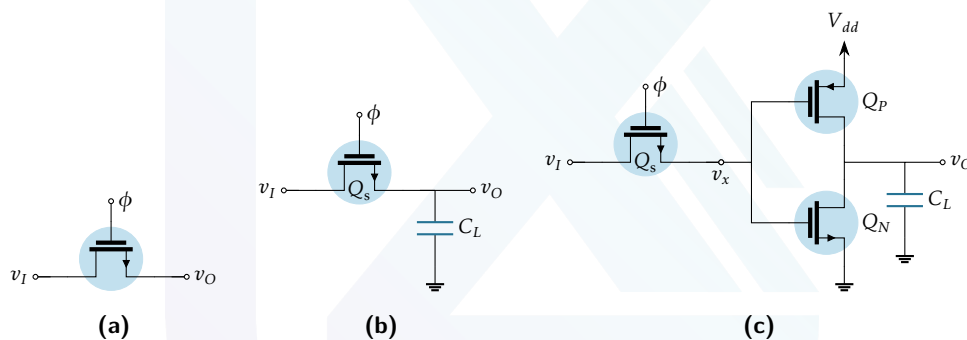


图 6.12: 单 NMOS 开关

由于电路中各种寄生电容的存在, 单 NMOS 开关输出端的阶跃响应也有传播延迟, 可看作图 6.12b 电路。但与前面反相器的响应不同的是, NMOS 导通时要求 $v_{GS,N} = \phi - v_O > V_{th}$, 即 $v_O < \phi - V_{th} \leq V_{dd} - V_{th}$, 则 $V_{OH} = V_{dd} - V_{th}$ 比供电电压低。这导致噪声门限减小, 若以此控制一个 CMOS 反相器的输入信号 (如图 6.12c), 各 MOS 管相匹配, 则 $v_{SG,P} = V_{dd} - v_x > |V_{th}|$, 即 Q_P 将始终打开。类似地, 若使用 PMOS 作开关, 由于 $v_{SG,N} = v_O - \phi > V_{th}$ 的限制, $V_{OL} = V_{th}$ 比 GND 高。

单 NMOS、单 PMOS 开关分别有不能得到理想高电平、低电平的问题。若将其并联为图 6.13 电路, 并令 $\phi = V_{dd}$, 则 v_I 跳变到 V_{dd} 时, Q_N 偏置到 Saturation 区, 负载电容充电至 $V_{dd} - V_{th}$, 此时 Q_N 关断但 Q_P 仍导通, 于是保证了 $V_{OH} = V_{dd}$; 由 MOS 管源极和漏极的对称性, 即也可保证 $V_{OL} = 0$ 。而当 $\phi = 0$ 时, Q_P 、 Q_N 均只能在 Cutoff 区, 即切断了 v_I 与 v_O 的电路联系。

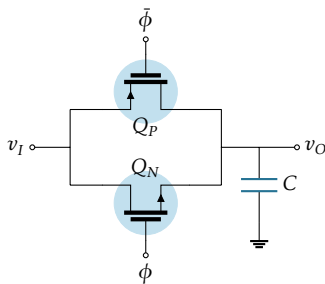
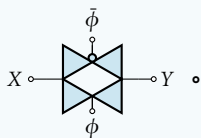


图 6.13: CMOS 传输门

元件 6.4. 传输门

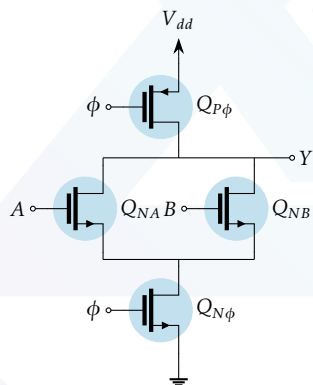
记号 信号 ϕ 控制 X 到 Y 的传输, 记作 $X \rightarrow Y$ 。



特性 当 $\phi = 1$ 时, $Y = X$ 。

CMOS 传输门电路的缺点在于使用的晶体管数目较多, 不利于节省硅片面积。如果在特定要求情境下, 可以将开关功能与逻辑运算功能结合构造电路, 则可以节省一些面积。

例题 6.1.1. 讨论下面电路中, 控制信号 ϕ 不同时, 输出信号 Y 与信号 A, B 的关系。



解. $\phi = 0$ 时, $Q_{P\phi}$ 导通而 $Q_{N\phi}$ 关断, $Y = 1$, 与 A, B 无关; $\phi = 1$ 时, $Q_{P\phi}$ 关断而 $Q_{N\phi}$ 导通, Y 接到地仅需 A, B 中有一个接到 V_{dd} , 即 $Y = \overline{A+B}$ 。

⑤

综合来看, 上例中实际上有 $Y = \overline{A+B} + \phi = (\overline{A+B}) \cdot \phi$ 。但其中, $\phi = 1$ 时 $Y = \overline{A+B}$ 要求 Q_{NA}, Q_{NB} 全部关断时 $Y = 1$, 因此必须保证在取 $\begin{cases} \phi = 1, \\ A = 1, \\ B = 1 \end{cases}$ 之前有 $Y = 1$, 即在这之前 $\phi = 0$ 。一般 ϕ 设为时钟信号。

6.1.4 反馈回路与存储电路

前面所研究的逻辑电路被称为**组合电路**，它们的输出只取决于输入的现值。因此，这些电路没有存储能力。存储电路是数字系统的重要组成部分，包含存储的逻辑电路称为**顺序电路**；也就是说，它们的输出不仅取决于输入的现值，还取决于输入的先前值。

例题 6.1.2. 用时钟信号 ϕ 控制如图 6.14a 所示的电路，分析输出信号 Q 。

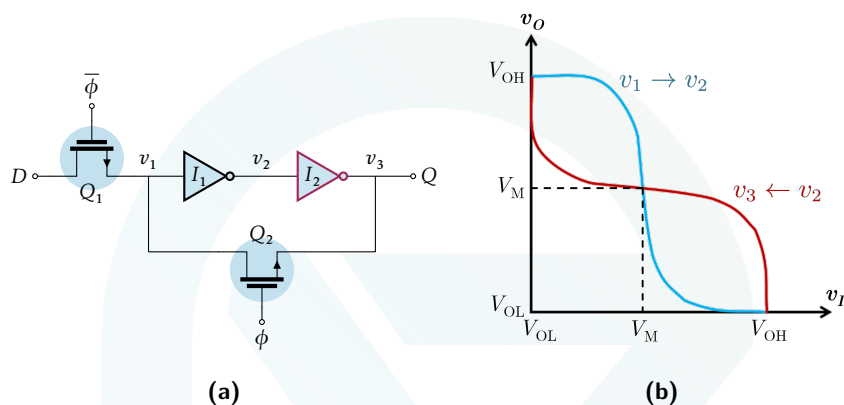


图 6.14: 一个 D 触发器电路

解. $\phi = 0$ 时, Q_1 打开、 Q_2 关闭, 可直接充电至 $Q = D$ 。

$\phi = 1$ 时, Q_1 关闭、 Q_2 打开, 反馈回路将两个反相器的输出信号送回输入。据图 6.7a 所示的传输曲线, 得此时 v_1, v_2, v_3 的关系如图 6.14b。读图可知, (V_M, V_M) 不是一个稳定的平衡点, 因此输出端 v_3 只可能取为 V_{OH} 或 V_{OL} , 即 Q 保持前面输入的 D 不变。⑤

将例 6.1.2 中的反相器用 CMOS 电路展开, 调整两个 NMOS 开关的位置, 就得到图 6.15 所示的存储单元。

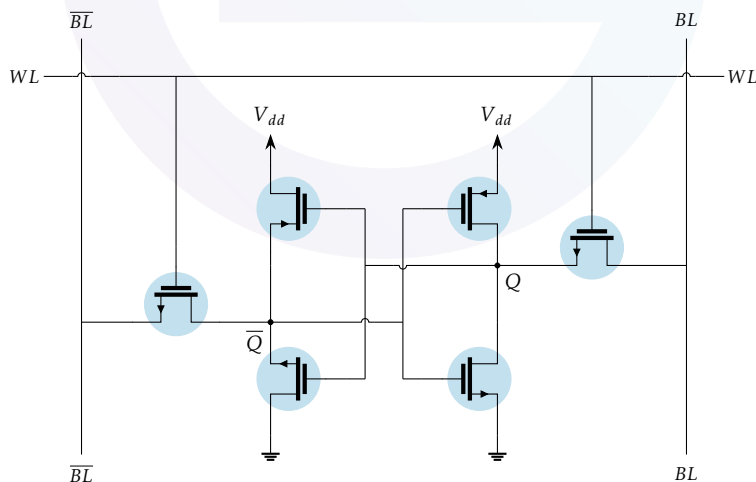


图 6.15: 一种随机存取存储器单元

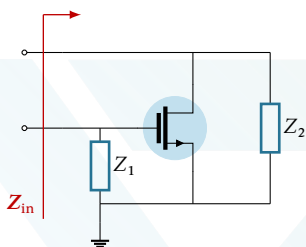
首先考虑读取操作, 并假设该单元格正在存储一个 1。在这种情况下, Q 在高电平 V_{dd} , \overline{Q} 在低电平 GND。在读取操作开始之前, BL 和 \overline{BL} 线路都被拉高到高电平范围, 这个过程称为**预充电**。为了简化问题, 这里假设 BL 和 \overline{BL} 的预充电电压为 V_{dd} , 当字线被选择和接入晶体管被打开时, 对电路的检查显示, 唯一将导电的部分如图 15

6.2 振荡电路

6.2.1 负阻值与振荡器

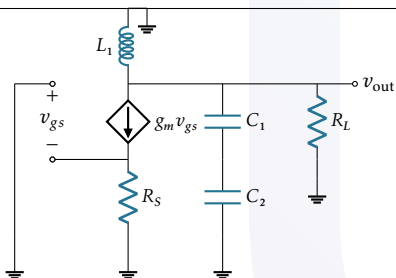
前面第 5 节已经研究, RLC 电路的振荡是一个能量衰减的过程。如果在电路中引入**负电阻**, 则电路信号的振荡有可能不再衰减。**负电阻是能量输入的一种体现。**

例题 6.2.1. 计算下面电路的小信号输入阻抗。



解.

⑤



x XtRee

