МИНИСТЕРСТВО ОБРАЗОВАНИЯ РЕСПУБЛИКИ БЕЛАРУСЬ

Учреждение образования

«Белорусский государственный технологический университет»

**Элементы цифровых приборов**

**ТРИГГЕРЫ**

Выполнил: Савченко Владислав

Минск 2020

**Цель работы:** изучение функционирования триггеров различных типов и экспериментальное определение таблиц состояния (истинности) триггеров.

**1. ОСНОВНЫЕ ТЕОРЕТИЧЕСКИЕ ПОЛОЖЕНИЯ**

*Триггер* — это устройство с двумя устойчивыми состояниями, од­но из которых — логический ноль, а другое — логическая единица. Эти состояния триггера при бесперебойном питании и при отсутствии существенных помех и наводок могут сохраняться сколь угодно дол­го. Под действием управляющих сигналов триггер способен переклю­чаться из одного состояния в другое. Основное назначение тригге­ра — хранение двоичной информации. Например, в персональных компьютерах на триггерах собрана кэш-память первого и второго уровня.

Триггер, в отличие от комбинационных схем, относится к новому виду цифровых устройств — *цифровым автоматам.* Цифровые авто­маты, кроме комбинационных схем, содержат элементы памяти. Если выходные сигналы цифрового автомата зависят как от входных сиг­налов, так и от состояния запоминающего устройства, то такие авто­маты называют автоматами Мили. Если выходные сигналы определя­ются только состояниями запоминающего устройства, то получим автомат Мура. Триггер в соответствии с этой классификацией относят к автоматам Мура.

Различают несколько разновидностей триггеров: *RS*-триггер, *D*-триггер, *JK*-триггер. Реже используются и ниже рассматриваться не будут *DV*-триггер и *T*-триггер. Если для изменения состояния триггера используется синхронизирующий сигнал, то триггер называется *син­хронным* (синхронизируемым). Если синхронизирующие сигналы не используются, то триггер называется *асинхронным.*

Схема простейшего *асинхронного RS-*триггераприведена на рис. 1. В триггере использованы схемы ИЛИ-НЕ (стрелка Пирса) с пе­рекрестными обратными связями. На рисунке введены следующие обозначения: *R* — вход установки триггера в 0, *S* — вход установки триггера в 1, *Q* — прямой выход триггера; *Q* — вспомогательный (инверсный) выход триггера, сигнал на котором инвертирован относи­тельно прямого выхода. Отметим, что такие же обозначения исполь­зуются для наименования сигналов на соответствующих контактах триггера.

Рассмотрим работу *RS*-триггера. Пусть в нулевой момент времени при нулевых сигналах на входах *R* и *S* на триггер подано напряжение питания. Однако на выходах триггера в этот момент времени оба вы­ходных сигнала будут равны нулю: *Q = Q = 0.* Мгновенно эти сигналы увеличиться не могут, так как в реальных схемах всегда имеются па­разитные емкости, а напряжение на конденсаторе скачкообразно из­мениться не может.

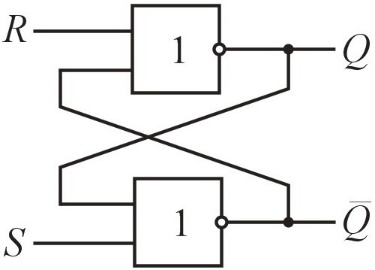


Рис. 1 Схема простейшего асинхронного *RS-*триггера

Из свойств элемента ИЛИ-НЕ следует, что при нулевых сигналах на его входах напряжение на его выходе должно возрастать до значе­ния логической единицы. На практике, из-за неидентичности двух элементов ИЛИ-НЕ на одном из выходов: *Q* или *Q,* напряжение воз­растает быстрее. Пусть более быстро напряжение возрастает на выхо­де *Q.* Это напряжение поступает на второй логический элемент и на­чинает уменьшать напряжение на его выходе *Q,* устремляя ею к нулю. В свою очередь уменьшающееся напряжение на выходе *Q*, по­падая на первый логический элемент, еще больше ускоряет увеличе­ние напряжения на выходе *Q.* Таким образом, благодаря положитель­ной обратной связи быстро устанавливается единичное состояние триггера: *Q* =1; *Q* = 0.

Подавая на вход *R* логическую единицу при *S =* 0 и используя свойства схемы ИЛИ-НЕ, получим: *Q =* 0; *Q = 1.* Так производится операция установки триггера в нулевое состояние. Если после этого сигнал на входе *R* сделать равным 0, то новое состояние триггера со­храняется. При подаче единицы на вход *S* и при *R =* 0 триггер уста­навливается в единичное состояние: *Q =* 1.

Если *R = S=* 1, то на обоих выходах *Q* и *Q* возникают нули, что противоречит определению выходов триггера. Такая комбинация управляющих сигналов запрещена (отметим, что после этого работоспособность триггера не теряется).

При хранении состояние триггера в данный момент времени определяется его со стоянием в предыдущий момент времени: *Q(n)* = *Q(n -* 1), где *п*— но­мер временного отсчета.

Условное обозначение *RS*-триггера приведе­но на рис. 2.

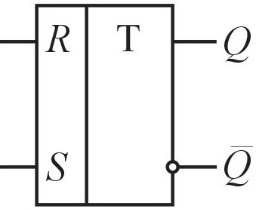
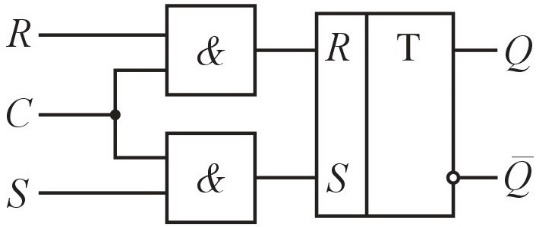
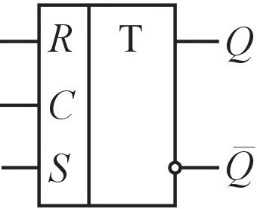


Рис. 2 Условное обозначение *RS*-триггера

Рассмотренный *RS*-триггер при наличии помех часто работает не­надежно. Например, короткие импульсные помехи, попадающие на *R-*или на *S*-входы, могут изменить состояние триггера. Для повышения помехоустойчивости и для устранения "состязаний" используют *синхронный RS-*триггер*,* схема и условное обозначение которого приве­дены на рис. 3, *а*, *б* соответственно. Состояние синхронного триггера может измениться только при установлении логической единице на входе синхронизации *С*. В этом случае элементы И "открываются" и управляющие сигналы поступают на входы асинхронного триггера. Отметим, что такая синхронизация называется *статической.*

*а б*

Рис. 3Схема (*а*) и условное обозначение (*б*) *RS-*триггера

Рассмотренные выше *RS*-триггеры невозможно использовать в цифровых устройствах с обратными связями из-за неопределенностей, возникающих при работе. Действительно, выход *Q* триггера нельзя соединить с входами *R* или *S,* так как изменения на этих выводах про­исходят практически одновременно. Такие же неопределенности будут возникать в сложных цифровых устройствах с обратными свя­зями, содержащих несколько триггеров и комбинационных схем.

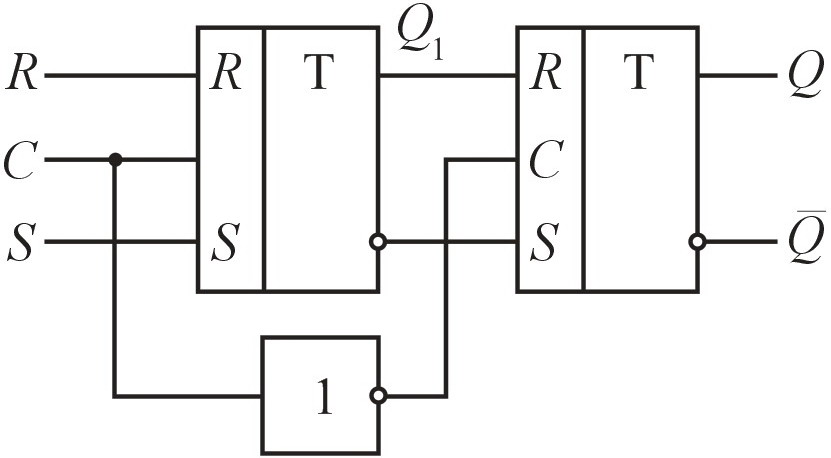


Рис. 4Схема двухступенчатого *RS-*триггера

При использовании *двухступенчатого RS-триггера,* схема которо­го приведена на рис. 4, допускается соединение его входов и выхо­дов. Двухступенчатый триггер состоит из двух синхронных *RS-*триггеров и дополнительного элемента НЕ. При подаче входных управляющих сигналов и синхросигнала производится запись ин формации в первый триггер (момент *t1* на рис. 5). При этом второй триггер не изменяет своего состояния, так как на его синхровход с инвертора подается логический ноль. Только по окончанию записи в первый триггер при изменении значения синхросигнала с единицы до нуля производится запись во второй триггер двухступенчатой схемы (момент *t2* на рис. 5).

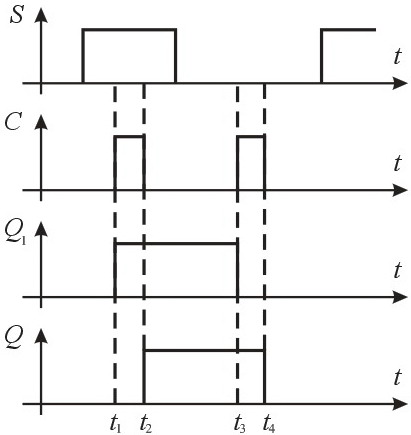


Рис. 5 Временные диаграммы работы двухступенчатого *RS*-триггера

Временные диаграммы работы двухступенчатого триггера на рис. 5 получены при условии — сигнал на входе *R* инвертирован по отношению к сигналу на входе *S.* Как видим, двухступенчатый *RS-*триггер переключается по заднему фронту синхронизирующего сиг­нала. Такая синхронизация называется *динамической.*

Условное обозначение двухступенчатого *RS*-триггера показано на рис. 6. Наличие динамической синхронизации отмечено наклонной чертой. Причем ее наклон соответствует заднему фронту синхроимпульса.

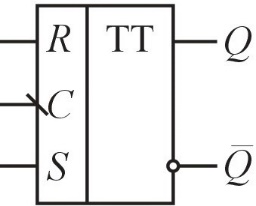
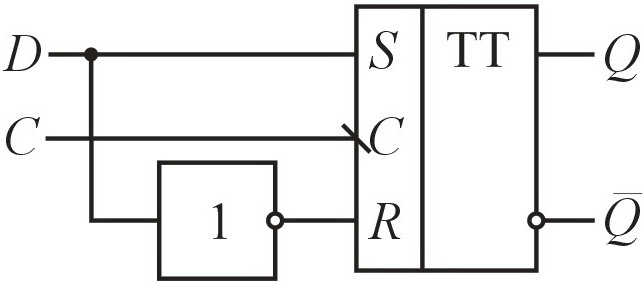
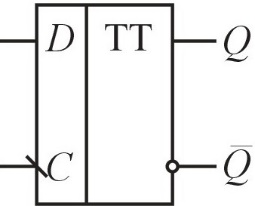


Рис. 6 Условное обозначение двухступенчатого *RS*-триггера

В справочной и учебной литературе для обозначения динами­ческой синхронизации могут также использоваться треугольник, звез­дочка, крестик и т. п. Использование двух ступеней отмечается на рис. 7 двумя буквами Т.

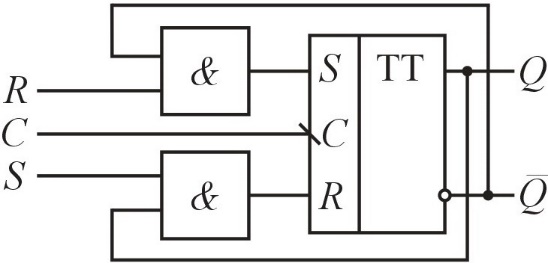
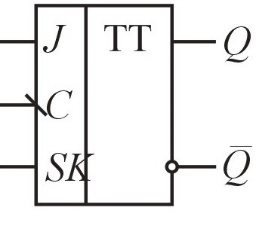
Одним из самых широко используемых триггеров является *D-триггер (триггер задержки).* Чаще всего *D*-триггер выполняется на основе двухступенчатого *D*-триггера при включении на входе дополнительного инвертора, связывающего *R-* и *S*-входы. Важное преиму­щество этого триггера состоит в том, что он имеет только один ин­формационный вход. Схема *D-*триггера и его условное обозначение приведены на рис. 7, *а*, *б* соответственно. Информация в *D-*триггер за­писывается по заднему фронту синхронизирующего импульса. Поэтому сигнал на выходе *Q* при подаче *n*-го синхроимпульса появляет­ся с задержкой на один такт: *Q(n)* = *Q(n -* 1).

*а б*

Рис. 7 Схема (*а*) и условное обозначение (*б*) *D-*триггера

Большими функциональными возможностями обладает *JK-триггер.* Схема *JK*-триггера и его условное обозначение показаны на рис. 8, *а*, *б* соответственно.

*а б*

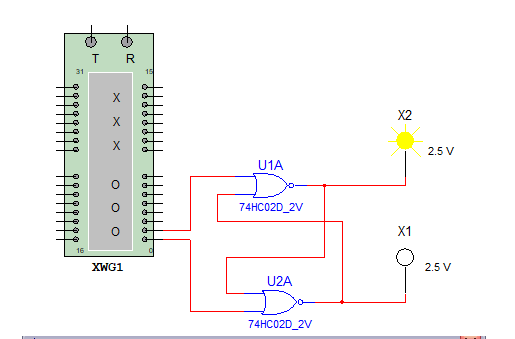
Рис. 8 Схема (*а*) и условное обозначение (*б*) *JK-*триггера

В схему включены два двухвходовых элемента И. Так как на их входы подаются выходные сигналы *RS*-триггера, то один из элементов И будет всегда закрыт для прохождения сигналов управления. По этой причине на входы *JK*-триггера можно одновременно подавать еди­ничные сигналы. Как известно, такая комбинация входных сигналов запрещена у *R*S-триггера.

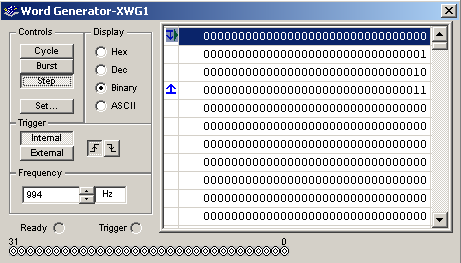
Вход *J* триггера аналогичен входу *S* рассмотренного выше *RS-*триггера, а вход *К*— входу *R RS*-триггера. Если *J=К*=0, то получим режим хранения. Если *J=К*=1, то с приходом синхроимпульса триггер изменяет свое состояние на противоположное.

**2.Выполнение Работы**

Исследую асинхронный RS-триггер с инверсными входами.Схему смоделируем при помощи программы EWB Multisim 9.



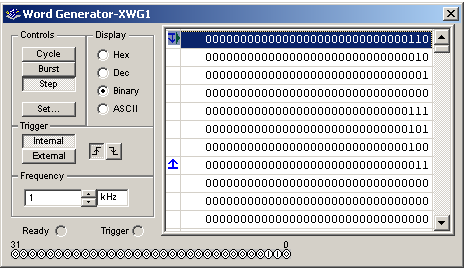
После всех проделанных операций, при помощи кнопки *Step*, которая находится в той же панели инструмента генератора слов, можно определить сигналы на выходах триггера. Для этого выбираем одно из набранных слов, и нажимаем кнопку *Step*, т.о. определяя состояние *Q* и  для данного кода.



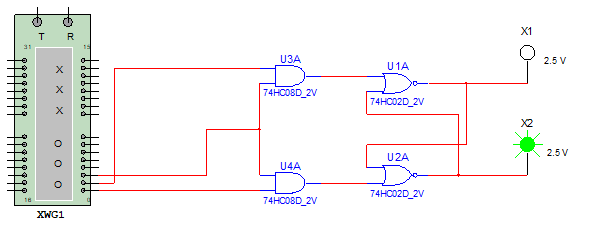
Так же составить таблицу истинности можно используя ключи. Для этого необходимо вручную замыкать ключи на источник питания 5 В или на землю, моделируя тем самым поступление на триггер сигнала 0 (ключ замкнут на землю) или 1 (ключ замкнут на источник питания).

**2.2. Исследование синхронного *RS*-триггера с инверсными входами.**

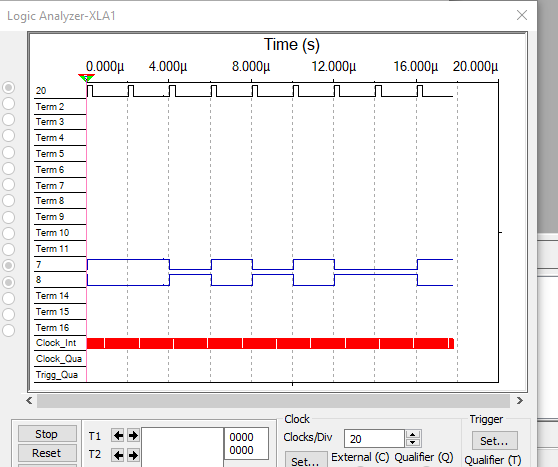
Для данного тестирования синхронного RS-триггера подсоединим два элемента к предыдущей схеме асинхронного RS- триггера:



для моделирования синхронный *RS*-триггера с инверсными входами

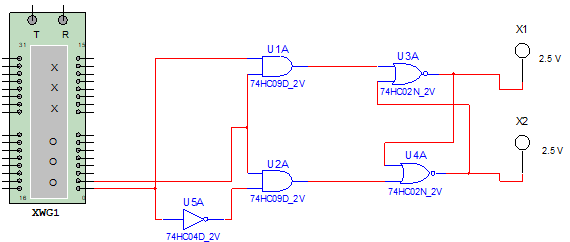


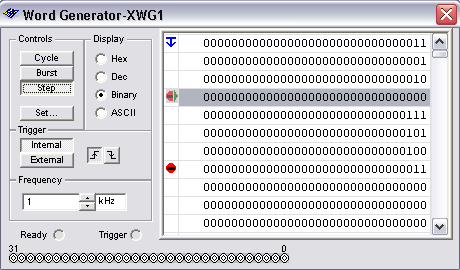
Логический Анализатор:



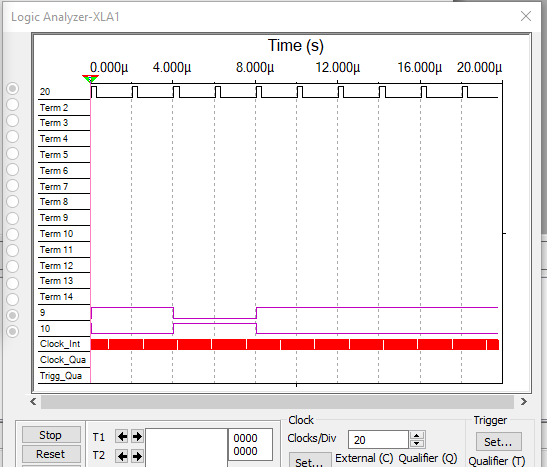
**2.3. Исследование синхронного *D*-триггера**

Для того чтобы собрать *D*-триггер, использую синхронный *RS*-триггер и инвертор (НЕ)



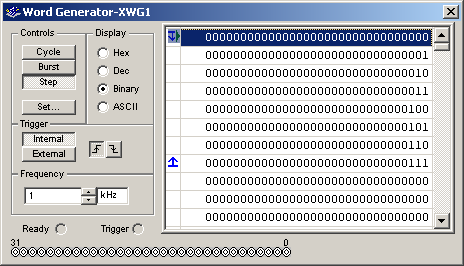


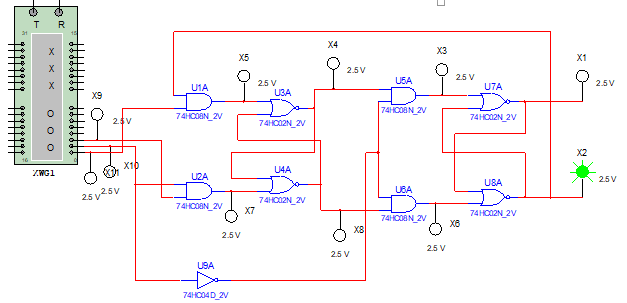
Логический анализатор:



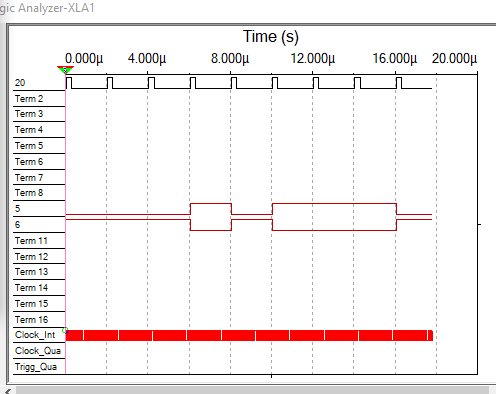
**2.4. Исследование *JK*-триггера.**

Вход *J* триггера аналогичен входу *S* рассмотренного выше *RS*-триггера, а вход *К* — входу *R* *RS*-триггера





Логический анализатор:



.