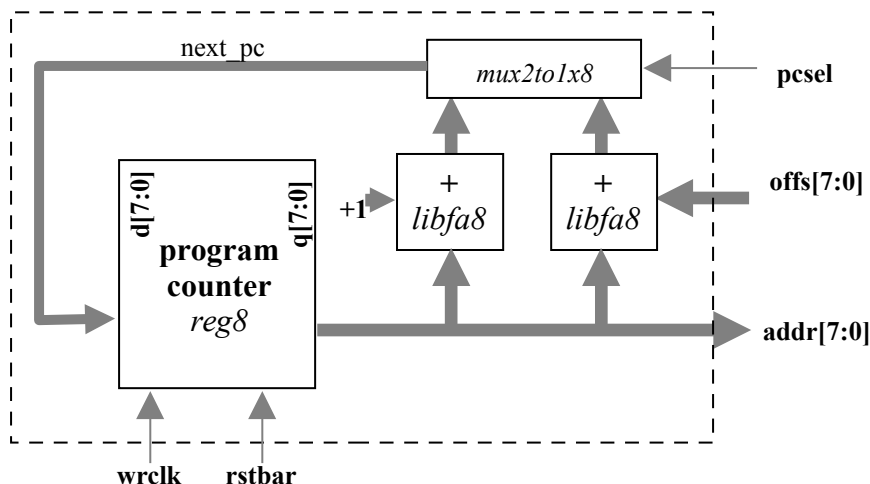


Εργαστήριο #10

1. Σύνοψη προηγούμενου εργαστηρίου.

Στο προηγούμενο εργαστήριο ολοκληρώσατε τη σχεδίαση της μονάδας του μετρητή εντολών (pclogic), όπως φαίνεται στο επόμενο σχήμα:



2. Τμήμα ελέγχου διακλαδώσεων.

Ως επόμενο βήμα θα σχεδιάσετε τη μονάδα ελέγχου εκτέλεσης των εντολών διακλαδώσεων. Μια εντολή διακλάδωσης χρησιμοποιεί 3 bits (cc[2:0]) για να δηλώσει τη **συνθήκη διακλάδωσης** και παράγει το σήμα **pcel** για τη μονάδα pclogic:

cc[2:0]	Συνθήκη διακλάδωσης
000	bn (branch never): όχι διακλάδωση
001	bz (branch on zero): διακλάδωση εάν το αποτέλεσμα της εντολής θέτει το Z flag (είναι μηδενικό)
010	bc (branch on carry): διακλάδωση εάν το αποτέλεσμα της εντολής θέτει το C flag (παράγει κρατούμενο)
011	bs (branch on sign): διακλάδωση εάν το αποτέλεσμα της εντολής θέτει το S flag (προσημασμένος αριθμός)
100	bv (branch on overflow): διακλάδωση εάν το αποτέλεσμα της εντολής θέτει το V flag (προκλήθηκε υπερχείλιση)
111	ba (branch always): διακλάδωση πάντοτε (χωρίς συνθήκη)

Εάν η απαιτούμενη συνθήκη διακλάδωσης είναι αληθής, τότε το σήμα **pcel** γίνεται 1. Το ζητούμενο λοιπόν είναι η σχεδίαση ενός cell (ονομάστε το **brlogic**), το οποίο θα δέχεται ως είσοδο τα **cc[2:0]** και τα **z, c, s, v** από την ΑΛΜ και θα παράγει το κατάλληλο σήμα **pcel** (0 όταν δεν θα εκτελεστεί η διακλάδωση και 1 όταν θα εκτελεστεί).

Υπόδειξη: Θα πρέπει να χρησιμοποιήσετε έναν αποκωδικοποιητή από 3 σε 8 (**dec3to8**, θα τον βρείτε στη βιβλιοθήκη **lablib.jelib**), καθώς και διάφορες λογικές πύλες. Ο αποκωδικοποιητής χρησιμοποιείται για να παράγει '1' σε 8 διαφορετικές γραμμές ανάλογα με τον συνδυασμό των cc[2:0]. Οι γραμμές αυτές (δείτε και τον πίνακα των συνθηκών διακλάδωσης) πρέπει να συνδυαστούν με τα Z, C, S, V (με πύλες AND) για να οδηγήσουν τελικά (μέσω πύλης OR) το σήμα pcel που καθορίζει αν θα εκτελεστεί η διακλάδωση ή όχι.