

版本历史

文档更新记录		文档名:	Lab05_利用前递解决相关引发的冲突	
		版本号	V0.1	
		创建人:	计算机体系结构研讨课教学组	
		创建日期:	2019-09-25	
更新历史				
序号	更新日期	更新人	版本号	更新内容
1	2019/09/25	贾凡	-	草稿。
2	2019/09/25	邢金璋	V0.1	初版。

文档信息反馈: xingjinzhang@loongson.cn

1 实验五 利用前递解决相关引发的冲突

在学习并尝试本章节前，你需要具有以下环境和能力：

- (1) 装有 Vivado 的电脑一台。
- (2) 熟悉 Vivado，并能初步使用。
- (3) 初步掌握 Verilog 的简单语法。
- (4) 熟悉龙芯体系结构实验箱（Artix-7）。
- (5) 了解 CPU 流水线结构。

通过本章节的学习，你将获得：

- (1) 掌握流水线数据前递设计的方法。

本次实验需要参考的文档包括但不限于：

- (1) Lab05 任务书（本文档）。
- (2) 体系结构研讨课讲义（部分）之第三、四和五章。
- (3) Lab04 任务书。

1.1 实验目的

1. 加深对流水线结构的理解。
2. 学会流水线数据前递设计。

1.2 实验设备

1. 装有 Xilinx Vivado 的计算机一台。
2. 龙芯体系结构教学实验箱（Artix-7）一套。

1.3 实验任务

本次实验只有一个子任务：

1. 在实验四的 CPU 代码基础上，加入适当的数据前递通路来减少阻塞，运行 func_lab4，要求成功通过仿真和上板验证，并且仿真运行时间较 lab4 的结果有下降。
2. 本次实验要求每个人独立提交实验报告和调试好的 RTL 代码，以报告评分和现场检查评分作为最后的实验得分：
 - (1) 报告评分：描述自己的设计方案，记录调试过程（错误记录应该配截图）。实验报告模板请使用 lab3 的模板。
 - (2) 现场检查评分：检查包含仿真检查和上板检查。

1.4 实验检查

检查前需提交实验报告（每人一份）和调试好的 RTL 代码。本次实验在 2019 年 10 月 8 日进行检查。

现场检查，分仿真检查和上板检查：

- 1) 仿真检查：对照波形进行描述寄存器写后读数据相关引发的流水线冲突。
- 2) 上板检查：查看上板行为。

现场检查要求能正确应对检查者的提问，并根据要求进行正确的操作演示

1.5 实验提交

提交的作品包括纸质档和电子档。

如果在实验四中已经完成前递设计的同学，可以再本次实验中提交上次的纸质档和电子档。

(1) 纸质档提交

提交方式：课上现场提交，每人都必须要有。

截止时间：2019 年 10 月 8 日 18:10。

提交内容：纸质档 lab5 实验报告。

(2) 电子档提交

提交方式：打包上传到 Sep 课程网站 lab5 作业下，每人都必须要有。

截止时间：2019 年 10 月 8 日 18:10。

提交内容：电子档为一压缩包，文件名是“lab5_箱子号_学号.zip”，目录层次如下（请将其中的“箱子号”替换为本组箱子号，“学号”替换为自己的学号）。

lab5_箱子号_学号/	目录，lab5 作品。
--lab5_箱子号_学号.pdf/	Lab5 实验报告，实验报告模板参考“Lab03 实验报告模板_仅供参考.docx”
--myCPU /	目录，myCPU 源码。目录请加一个 readme，简单描述下各文件。

1.6 实验环境

本次实验的硬件环境沿用 lab3 发布的 UCAS_CDE，软件环境沿用上次的 func_lab4。

本次实验的步骤是：

- 1) 准备好 lab4 的实验环境，UCAS_CDE，该环境会也作为 lab5 的实验环境。
- 2) 在 myCPU 的 RTL 中加入数据前递通路。
- 3) 运行 myCPU 工程的仿真（进入仿真界面后，直接点击 run all），开始 debug。
- 4) 仿真通过后，进行综合、布局布线和生成 bit 流文件，并进行上板验证。