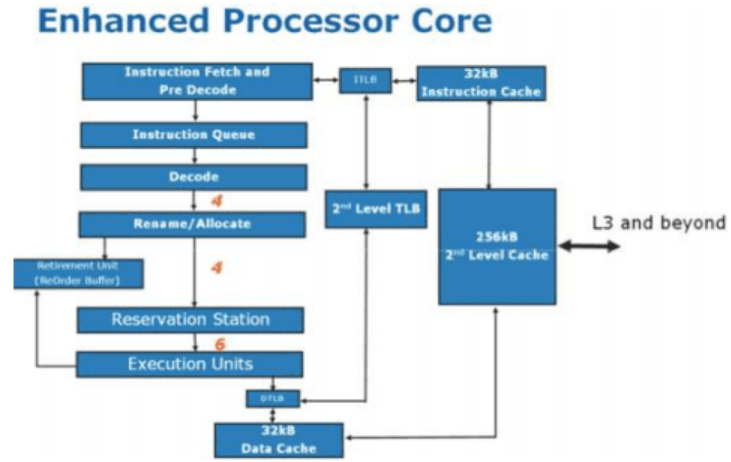
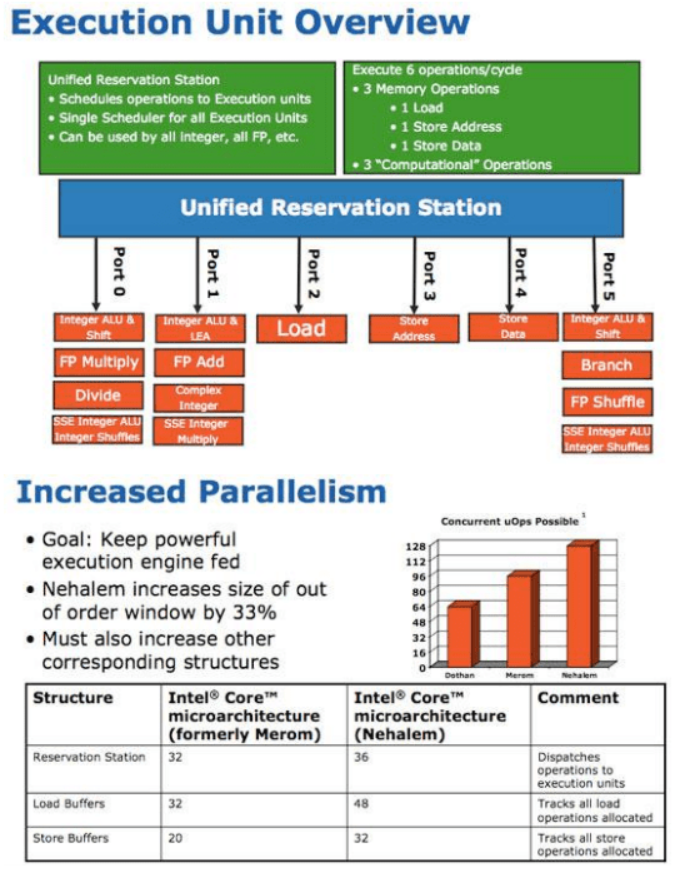
7. Intel的Nehalem处理器核的多发射机制



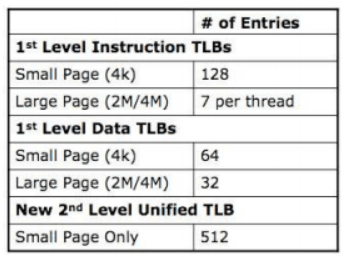
Nehalem采用4发射机制。可同时进行4条指令的译码和保留站分配。一条指令会被翻译成多条μ-code（微指令），保留站可同时发射6条微指令，最多可有4条微指令同时被提交。

流水线如图：

取指和预译码、指令队列、译码、重命名/分配、保留站、执行单元、写回、ROB提交。



ROB增加为128项，RS增加到36项，提供了更深的发射深度。

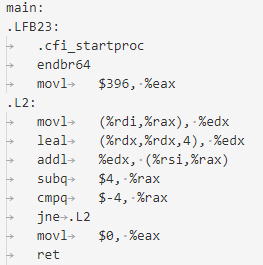


为加快访存速度，充分流水，执行单元同时支持1个Load 1个Store Address和1个Store Data，以及3个运算指令。Nehalem使用了MOB机制，支持预测、乱序的访存发射。另外，L1 Cache有32KB指令Cache和32KB数据Cache，4拍延迟；L2 Cache每个核256KB，10拍延迟；L3 Cache有共享8MB，30拍延迟。

Nehalem使用了2级分支预测BTB结构。可能是两级BTB使用不同的预测算法和不同的历史文件。比如L1 BTB使用简单而快速的算法和相对较小的历史文件，而L2 BTB则使用更慢但更准确的算法，而且被配置成是具有优先权的预测器。如果L2 BTB不同意L1 BTB的预测，则它可以撤消L1 BTB的预测，去除掉流水线中错误拾取的指令，而从新预测的RIP处重新拾取指令。

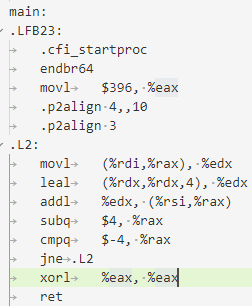
4题第3）问：

-O 无优化：



-O1与-O2 进行部分结构优化，但不进行循环展开：

比如将%eax寄存器置0的操作改用更简洁的xorl



-O3 进行循环展开：

L4段即为对之前L2段进行了4次循环展开

