# 数字电路期末实验-小组作业

实验要求：

本次实验是《数字电路》课程的最后一次实验，实验要求学生以小组为单位完成，小组要求为3人或3人以下。最后需要提交的材料有：

1. 项目源码：必须为可运行的、稳定的代码。请规范代码风格，代码风格混乱，缩进混乱的，将扣除本次实验分数的30%。
2. 小组分工及安排：明确组长和组员的分工，各个成员的工作量。
3. 项目文档：项目文档中应当包括项目的整体设计，项目的模块功能与原理说明，模块的接口定义（若有多个模块，请给出模块间的接口定义），项目的创新与特色。注：项目文档中应当包含必要的流程图和设计图。
4. 以及一切可以证明项目创新性和特色的材料，需要项目文档中说明。

项目中的代码应该具有原创性，若有参考其他人的项目，应该给予说明。若没有给予说明被发现抄袭的，将扣除抄袭模块对应部分的分数（例如：项目总分为100分，共5个模块，每有1个模块抄袭扣除本次实验总分20%的分数）。

实验提交的截止时间为：1月18日晚上20点，请将以上材料打包发送至邮箱：[wuxinxin@ict.ac.cn](mailto:wuxinxin@ict.ac.cn).

实验图

. 

实验内容：

DMA是计算机中不可缺少的一个部分，其主要实现内存中的数据与CPU中数据的交互。支持从内存中取出数据传入CPU中，也支持从CPU中取出数据传入内存中。DMA中需要有2个数据的缓冲区BUF1和BUF2，工作在不同的状态。例如：传输的方向为内存->CPU时，BUF1在接收内存传入的数据，BUF2在向CPU输出数据；只有当BUF1满了，BUF2空了之后，BUF1才和BUF2交换，交换之后，BUF2接收内存传入的数据，BUF1向CPU输出数据；如此交替下去，实现流水。

请设计一款DMA，其要求如下：

1. DMA支持双向传输数据，即支持内存向CPU中传输数据，也支持CPU向内存传输数据。但是DMA只工作在一种状态下，并且工作状态可以配置。例如：初始化的时候可配置DMA传输数据的方向（CPU->内存 或 内存->CPU），那么在本次传输中，CPU只传输这个方向的数据。
2. DMA中具有2个数据的缓冲区BUF1和BUF2，BUF1和BUF2的大小均为64bit，内存传输的位宽为4bit（即与内存交互的数据每次只传输4bit），CPU传输的位宽为8bit（与CPU交互的数据每次只传输8bit）。
3. 在与内存和CPU的交互中，存在下列外部信号位，请规范：
   1. mem\_to\_dma\_valid：MEM中传入的数据是否有效。（1bit）
   2. mem\_to\_dma \_enable：MEM是否准备好接收数据。（1bit）
   3. cpu\_to\_dma \_valid：CPU传入的数据是否有效。（1bit）
   4. cpu\_to\_dma \_enable：CPU是否准备好接收数据。（1bit）
   5. mem\_data\_in：DMA向内存传入的数据端口。（4bit）
   6. mem\_data\_out：内存向DMA传入的数据端口。（4bit）
   7. cpu\_data\_in：DMA向CPU中传入的数据端口。（8bit）
   8. cpu\_data\_out：CPU向DMA传入的数据端口。（8bit）
4. mem\_to\_dma \_valid、mem\_to\_dma \_enable、cpu\_to\_dma \_valid、cpu\_to\_dma \_enable这四个外部信号位应该是随机信号，即你设计的DMA的鲁棒性应该良好。
5. 如上面实验内容所说，例如：传输的方向为内存->CPU时，若当前状态为BUF1在接收内存传输的内容，BUF2在向CPU传输内容，若BUF1已经接收完毕，但是BUF2还没有清空，那么BUF1应该停止接收数据，并且等待BUF2清空之后进行交换，交换之后，BUF2在接收内存传输的内容，BUF1在向CPU传输内容。同理，若BUF2已经清空而BUF1没有接收满，那么BUF2需要等待BUF1接收满了之后，才进行交换。
6. 对于数据的传输，只有当valid和enable同时为高的时候，DMA才进行数据的传输工作。例如：只有mem\_to\_dma\_valid和dma\_to\_mem\_enable同时为高时，MEM向DMA传输的数据有效。请在test\_bench中打印此类条件满足时的数据，并自行验算数据的正确性。