

前言

临近期末复习，你是否还在被那种浮躁情绪所困扰？你是否看着手边一大摞的复习资料，却无从下手。或许现在的你，需要的是一本提炼了重要知识点和极具代表性试题的讲义，它能够让你利用最少的时间，对课程有一个宏观的认识，为你的复习找到一个正确的方向。

基于上述原因，我们水木观畴团队组织策划了本套讲义，该讲义与我们的速成课视频一起使用，可以让你在面对期末考试时显得更加从容。

本套讲义综合了大多数院校的期末考试范围，最终确定为八章，前三章是本课程的基础内容，组合逻辑电路和时序逻辑电路是大多数学校考查最多的内容。在学习的过程中，大家要结合视频做好笔记，水木观畴团队的授课老师拥有多年的教学经验，学完速成课，相信你一定会豁然开朗！

但人无完人，虽然我们努力去为大家打造高质量的辅导资料，可也无法避免有一些疏漏，希望各位同学体谅一下，同时也欢迎各位同学的批评与指正。

注：水木观畴团队多年致力于考研辅导，有意向考研的同学，可以选择我们的资料和辅导课程。总之一句话：要考研，就找水木观畴！

主编-水木观畴团队

目 录

第一章	数制和码制.....	3
第二章	逻辑代数基础.....	6
第三章	逻辑门电路.....	9
第四章	组合逻辑电路.....	11
第五章	触发器	17
第六章	时序逻辑电路的分析与设计	19
第七章	脉冲波形的产生和整形	27
第八章	数模转换和模数转换.....	35



第一章 数制和码制

1.1 重点提示

掌握基本的数制（二进制、八进制、十六进制、十进制）之间的互相转换

基本的码制（原码、反码、补码）

掌握常见的编码：十进制代码（包括 8421BCD 码、余 3 码、2421 码、5211 码、余 3 循环码）、格雷码

1.2 考点知识必看

一、二进制、八进制、十六进制和 10 进制的转换

公式： $D = \sum k_i d^i$ d 对应相应的进制位数

例： $(1011.01)_2 = 1 \times 2^3 + 0 \times 2^2 + 1 \times 2^0 + 0 \times 2^{-1} + 1 \times 2^{-2} = (11.25)_{10}$
 $(12.4)_8 = 1 \times 8^1 + 2 \times 8^0 + 4 \times 8^{-1} = (10.5)_{10}$

注：二进制数的组成只包含（0、1）

八进制数的组成只包含（0、1、2、3、4、5、6、7）

十六进制数的组成只包含（0、1、2、3、4、5、6、7、8、9、A、B、C、D、E、F）其中 A 对应 10，B 对应 11，C 对应 12，D 对应 13，E 对应 14，F 对应 15

二、二进制数、八进制数、十六进制数之间的相互转换

16 进制数转换为 2 进制数：

$(01011110.10110010)_2 = (5E.B2)_{16}$

注：从小数点前后每四个二进制数转化为一位 16 进制数

0101=5 1110=E 1011=B 0010=2

2 进制数转化为 16 进制数：

$(8FA.C6)_{16} = (100011111010.11000110)_2$

注：将每一个 16 进制数转换为 4 位 2 进制数，依次序写好即可

同理：8 进制数与 2 进制数之间的相互转换只需将上述例子中的 4 位二进制数换成 3 位二进制数即可

$(011110.010111)_2 = (36.27)_8$

注： $(011)_2 = (3)_8$

$(52.43)_8 = (101010.100011)_2$

八进制数和 16 进制数之间的转换：将 8 进制数转为 2 进制数，再将 2 进制数转化为 16 进制数即可。

三、码制

原码：第一位为符号位（0 表示正、1 表示负）

反码：正数的原码和反码一样、负数的反码：原码符号位不变，其余位取反之后再加 1

补码：正数的补码与原码相同，负数的补码除符号位外，将原码的每一位取反即可得到

例：写出带符号位二进制数 00011010（+26）、10011010（-26）、00101101（+45）和 1010101（-45）的反码和补码。

原码 反码 补码

00011010	00011010	00011010
10011010	11100101	11100110
00101101	00101101	00101101
10101101	11010010	11010011

四、常用的编码

十进制数 \ 编码种类	8421 码 (BCD 代码)	余 3 码	2421 码	5211 码	余 3 循环码
0	0000	0011	0000	0000	0010
1	0001	0100	0001	0001	0110
2	0010	0101	0010	0100	0111
3	0011	0110	0011	0101	0101
4	0100	0111	0100	0111	0100
5	0101	1000	1011	1000	1100
6	0110	1001	1100	1001	1101
7	0111	1010	1101	1100	1111
8	1000	1011	1110	1101	1110
9	1001	1100	1111	1111	1010
权	8421		2421	5211	

格雷码:

十进制数	自然二进制数	格雷码	十进制数	自然二进制数	格雷码
0	0000	0000	8	1000	1100
1	0001	0001	9	1001	1101
2	0010	0011	10	1010	1111
3	0011	0010	11	1011	1110
4	0100	0110	12	1100	1010
5	0101	0111	13	1101	1011
6	0110	0101	14	1110	1001
7	0111	0100	15	1111	1000

注：格雷码又称循环码，特点是每一位的状态变化都按照一定的顺序循环
例如 0000→0001→0011→0010→0110→0111→0101→0100

最右边一位按照 0110 的顺序变化

右边第二位按照 0011100 顺序变化

右边第三位按照 000011111110000 顺序变化

在格雷码的位数中每上升一位 变化中的 0 和 1 各增加一倍，但是外面是

0, 中间是 1 的规则不变

练习 1: 将十进制数 65.625 转换为二进制数。

解答:

2 65	— — — — —	余数=1=D ₀	↑
2 32	— — — — —	余数=0=D ₁	
2 16	— — — — —	余数=0=D ₂	
2 8	— — — — —	余数=0=D ₃	
2 4	— — — — —	余数=0=D ₄	
2 2	— — — — —	余数=0=D ₅	
2 1	— — — — —	余数=1=D ₆	
0			

$$\begin{array}{r} 0.625 \\ \times 2 \\ \hline 1.250 \\ \downarrow \\ \text{整数部分}=1=D_{-1} \end{array}$$

$$\begin{array}{r} 0.250 \\ \times 2 \\ \hline 0.500 \\ \downarrow \\ \text{整数部分}=0=D_{-2} \end{array}$$

$$\begin{array}{r} 0.500 \\ \times 2 \\ \hline 1.000 \\ \downarrow \\ \text{整数部分}=1=D_{-3} \end{array}$$

$$(65.625)_D = (1000001.101)_B$$

练习 2: 将二进制数 101.11 转换为十进制数。

解答:

$$\begin{aligned} (101.11)_2 &= 1 \times 2^2 + 0 \times 2^0 + 1 \times 2^{-1} + 1 \times 2^{-2} \\ &= 4 + 0 + 1 + 0.5 + 0.25 \\ &= 5.75 \end{aligned}$$

练习 3: (76)_o 的 8421BCD 码是 ()

1. (01110110)_{8421BCD}

2. (01100010)_{8421BCD}

3. (10101001)_{8421BCD}

4. (11011100)_{8421BCD}

解答:

本题最易出错: 选中 [A] 其错误的原因是 BCD 是表示十进制数, 是按逢十进一的进位关系进位, (01110110)_{8421BCD} 是表示七十六, 而 (76)_o = 7 × 8¹ + 6 × 8⁰ = 62, 是六十二, 所以正确选项为 [B]。

第二章 逻辑代数基础

2.1 重点提示

熟悉与或非逻辑运算的真值表、逻辑函数式、逻辑图

掌握逻辑代数的基本公式、常用公式、重要定理、以及利用这些公式定理化简逻辑函数

熟悉逻辑函数的两种标准形式及其特点：最大项、最小项

掌握卡诺图

2.2 考点知识必看

基本公式：

$$0-1 \text{ 律} \quad A \cdot 0 = 0$$

$$A + 1 = 1$$

$$\text{自等律} \quad A \cdot 1 = A$$

$$A + 0 = A$$

$$\text{等幂律} \quad A \cdot A = A$$

$$A + A = A$$

$$\text{互补律} \quad A \cdot \bar{A} = 0$$

$$A + \bar{A} = 1$$

$$\text{交换律} \quad A \cdot B = B \cdot A$$

$$A + B = B + A$$

$$\text{结合律} \quad A \cdot (B \cdot C) = (A \cdot B) \cdot C$$

$$A + (B + C) = (A + B) + C$$

$$\text{分配律} \quad A(B + C) = AB + AC$$

$$A + BC = (A + B)(A + C)$$

$$\text{吸收率 1} \quad (A + B)(A + \bar{B}) = A$$

$$AB + A\bar{B} = A$$

$$\text{吸收率 2} \quad A(A + B) = AB$$

$$A + AB = A$$

$$\text{吸收律 3} \quad A(\bar{A} + B) = AB$$

$$A + \bar{A}B = A + B$$

多余项定律

$$(A + B)(\bar{A} + C)(B + C) = (A + B)(\bar{A} + C) \quad AB + \bar{A}C + BC = AB + \bar{A}C$$

$$\text{求反律} \quad \overline{AB} = \bar{A} + \bar{B} \quad \overline{A + B} = \bar{A} \cdot \bar{B}$$

$$\text{否否律} \quad \overline{\bar{A}} = A$$

三大定理：

代入定理：在任何包含变量 A 的逻辑等式中，若以另外一个逻辑式代入式中所有 A 的位置，则等式仍然成立。

例

$$(A + B)' = A' \cdot B'$$

将 $(B + C)$ 代入左边等式中 B 的位置，得到

$$(A + (B + C))' = A' \cdot (B + C)' = A' B' \cdot C$$

反演定理：对于任意一个逻辑式 Y，若将其中所有的“·”“+”互换，0、

1 互换, 原变量反变量互换, 则得到的结果为 Y'

例

$$Y = A(B + C) + CD \text{ 求 } Y'$$

$$\text{利用反演定律得 } Y' = (A' + B' C')(C' + D') =$$

$$A' C' + B' C' + A' D' + B' C' D' = A' C' + B' C' + A' D'$$

注 ($B' C' D'$ 属于 $B' C'$)

对偶定理: 若两逻辑式相等, 则它们的对偶式也相等.

对偶式: 将 “ \cdot ” “ \times ” 互换, “0” 和 “1” 互换, 即得到对偶式.

若 $Y = A(B + C)$ 则对偶式为 $Y^D = A + BC$

若 $Y = (AB + CD)'$ 则对偶式为 $Y^D = ((A + B)(C + D))'$

逻辑函数的两种标准形式: 最大项、最小项

最小项: n 变量最小项是具有 n 个因子的标准乘积项. 对于一个 n 变量的函数, 该乘项包括 n 个变量中的每一个变量, 若每个变量都以原变量或反变量的形式出现一次, 且只出现一次, 则该求和项称为最小项.

A, B, C 三变量的最小项有 $A' B' C', A' B' C, A' B C', A' B C, AB' C', AB' C, ABC', ABC$. n 变量的最小项应该有 2^n 个.

最小项性质:

1. 在输入变量的任何取值下必有一个最小项, 而且仅有一个最小项的值为 1. (比如 ABC , 当且仅当 A, B, C 全部为 1 的时候, 最小项 ABC 才为 1).
2. 全体最小项之和为 1
3. 任意两个最小项的乘积为 0
4. 具有相邻性的两个最小项之和可以合并成一项并消去一对因子.

$$(A' BC' + ABC' = BC')$$

最大项: n 变量最大项是具有 n 个因子的标准求和项. 对于一个 n 变量的函数, 该和项包括 n 个变量中的每一个变量, 若每个变量都以原变量或反变量的形式出现一次, 且只出现一次, 则该求和项称为最大项.

A, B, C 三变量的最小项有 $A' + B' + C', A' + B' + C, A' + B + C', A' + B + C, A + B' + C', A + B' + C, A + B + C', A + B + C$. n 变量的

最小项应该有 2^n 个, 与最小项相等.

最大项性质:

1. 在全体变量的任何取值下必有一个最大项, 而且只有一个最大项的值为 0
2. 全体最大项之积为 0

3. 任意两个最大项之和为 1
4. 只有一个变量不同的两个最大项的乘积等于各相同变量之和。

例题：将 $Y = ABC' + BC$ 化为最小项之和的形式。

$$\begin{aligned} Y &= ABC' + (A + A')BC = ABC' + ABC + A'BC = m_3 + m_6 + m_7 \\ &= \sum m(3, 6, 7) \end{aligned}$$

例题：将逻辑函数 $Y = A'B + AC$ 化为最大项之积的形式。

$$\begin{aligned} Y &= A'B + AC = (A + B + C)(A + B + C)(A + B + C)(A + B + C) \\ &= M_0 + M_1 + M_4 + M_6 = \prod M(0, 1, 4, 6) \end{aligned}$$

卡诺图：

将 n 变量的全部最小项各用一个小方块表示，并使具有逻辑相邻性的最小项在几何位置上也相邻地排列起来，所得到地图形称为 n 变量最小项的卡诺图。

用卡诺图化简法将下式化为最简与或逻辑式：

$$Y = ABC + ABD + AC'D + C'D' + AB'C + A'CD'$$

AB \ CD		CD			
		00	01	11	10
AB	00	1	0	0	1
	01	1	0	0	1
	11	1	1	1	1
	10	1	1	1	1

注：卡诺图化简原则。围成的矩形数量最少，围成的矩形最大，每个圈内至少有一个“1”只被圈过一次。

AB \ CD		CD			
		00	01	11	10
AB	00	1	0	0	1
	01	1	0	0	1
	11	1	1	1	1
	10	1	1	1	1

故化简之后为 $Y = A + D'$

*含有约束项的逻辑函数化简，

式： $Y = A'B'C'D + A'BCD + AB'C'D'$ 的约束项为

$$A'B'CD + A'BC'D + ABC'D' + AB'C'D + ABCD + ABCD'$$

$$+ AB'CD' = 0$$

在使用卡诺图化简法时，约束项中出现的项均可标记为 x ，在圈卡诺图时，可将其视为 1。

		CD			
		00	01	11	10
AB	00		1	X	
	01		X	1	
	11	X		X	X
	10	1	X		X

$$Y = A'D + AD'$$

第三章 逻辑门电路

3.1 重点提示

掌握基本的逻辑门概念，记住 OC 门、OD 门的概念，了解两个门电路参数：噪声容限、扇出系数。能够画出波形图。

3.2 考点知识必看

一、基本逻辑门

1. 与运算

与逻辑：只有当决定某一事件的条件全部具备时，这一事件才会发生。这种因果关系称为与逻辑关系

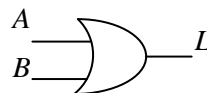
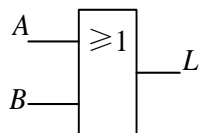
与逻辑符号：



2. 或运算

在决定某一事件的各种条件中，有一个或几个条件具备时，这一事件就会发生。这种因果关系称为或逻辑关系。

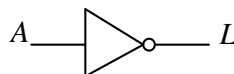
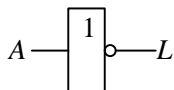
或逻辑符号：



3. 非运算

事件发生的条件具备时，事件不会发生；事件发生的条件不具备时，事件发生。为非逻辑关系。

非逻辑符号



4. 异或

异或逻辑符号



5. 同或

同或逻辑符号



二、TTL 与 MOS 逻辑门电路（了解）

1) 数字电路中晶体管作为开关使用时，是指它的工作状态处于饱和状态和截止状态。

2) TTL 门电路典型高电平为 3.6V，典型低电平为 0.3V。

3) OC 门和 OD 门具有线与功能。

4) 三态门电路的特点、逻辑功能和应用。高阻态、高电平、低电平。

5) 门电路参数：噪声容限 V_{NH} 或 V_{NL} 、扇出系数 N_o 、平均传输时间 t_{pd} 。

要求：掌握八种逻辑门电路的逻辑功能；掌握 OC 门和 OD 门，三态门电路的逻辑功能；能根据输入信号画出各种逻辑门电路的输出波形。



第四章 组合逻辑电路

4.1 重点提示

掌握和识别常见的组合逻辑电路，了解竞争冒险现象。

4.2 考点知识必看

编码器：将输入的每一个高低电平转换为对应的二进制代码。常用的有 8-3 进制编码器（将从 $i_0 \sim i_7$ 的某一位置输入的编码译成对应的二进制数）

输入								输出		
A0	A1	A2	A3	A4	A5	A6	A7	B2	B3	B4
1	0	0	0	0	0	0	0	0	0	0
0	1	0	0	0	0	0	0	0	0	1
0	0	1	0	0	0	0	0	0	1	0
0	0	0	1	0	0	0	0	0	1	1
0	0	0	0	1	0	0	0	1	0	0
0	0	0	0	0	1	0	0	1	0	1
0	0	0	0	0	0	1	0	1	1	0

0	0	0	0	0	0	0	1	1	1	1
---	---	---	---	---	---	---	---	---	---	---

优先编码器：优先编码器允许同时输入两个以上的编码信号，编码器对所有的输入信号规定了优先顺序，当多个输入信号同时出现时，只对其中优先级最高的一个进行编码

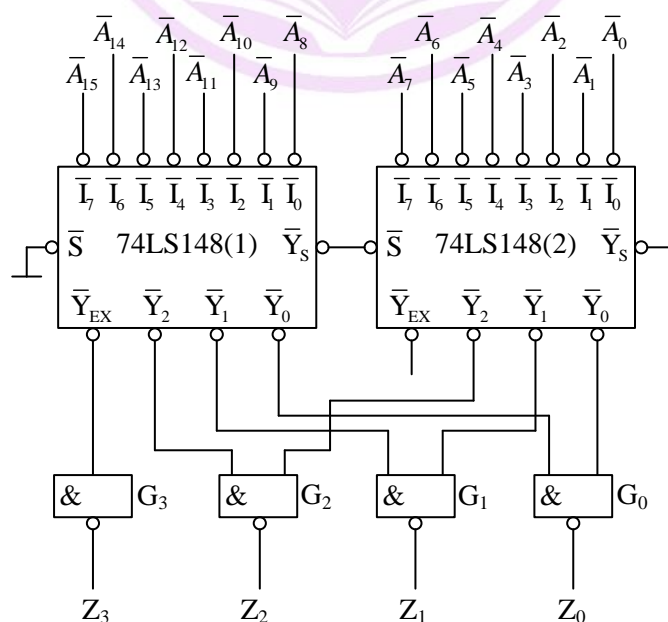
真值表：

输入									输出				
\overline{EI}	I_0	I_1	I_2	I_3	I_4	I_5	I_6	I_7	Y_2	Y_1	Y_0	\overline{EO}	\overline{GS}
1	×	×	×	×	×	×	×	×	1	0	1	1	1
0	1	1	1	1	1	1	1	1	1	0	1	0	1
0	×	×	×	×	×	×	×	0	0	0	0	1	0
0	×	×	×	×	×	×	0	1	0	0	1	1	0
0	×	×	×	×	×	0	1	1	1	1	0	1	0
0	×	×	×	×	0	1	1	1	1	1	1	1	0
0	×	×	×	0	1	1	1	1	0	1	0	1	0
0	×	×	0	1	1	1	1	1	0	1	1	1	0
0	×	0	1	1	1	1	1	1	1	0	0	1	0
0	0	1	1	1	1	1	1	1	1	0	1	1	0

由真值表可以看出输入信号的优先级中 i_7 最高， i_0 最低。

编码器的组合：（将多个低位编码器组合成一个高位编码器）

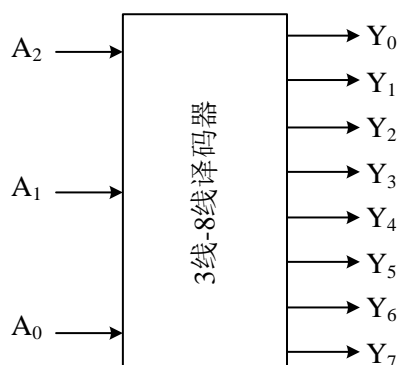
如图：将两片 8-3 线译码器接成一片 16-4 线译码器



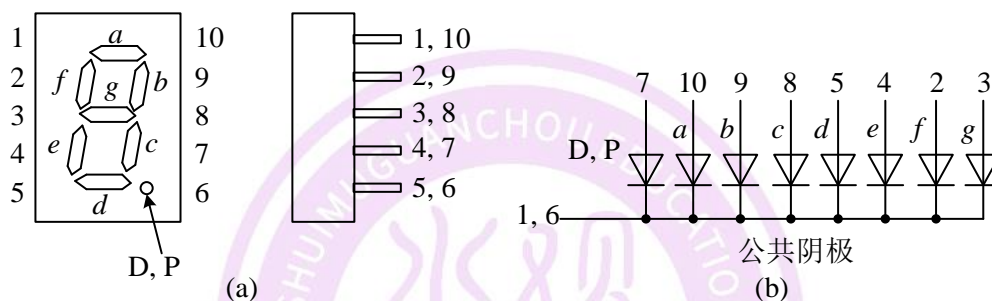
译码器：编码器的功能与译码器相反，将每个输入的二进制代码译成对应的

输出高电平信号或者输出低电平信号. 因此编码是译码的反操作. 常用的译码器有二进制译码器、二-十进制译码器、显示译码器.

二进制译码器 (3 线-8 线译码器):

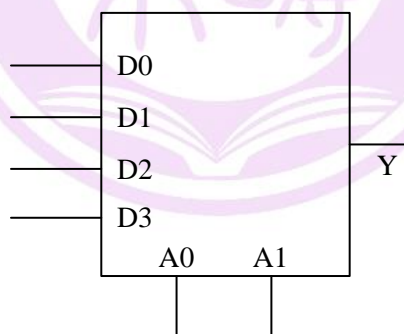


七段字符显示器: 译码器的每一个输出 ($i_0 \sim i_9$) 分别对应 ($a \sim g$) 亮区.



当输入为 0101 时, 十进制数为 6, 显示管中的 $acdefd$ 会亮, 故显示 6 数字.

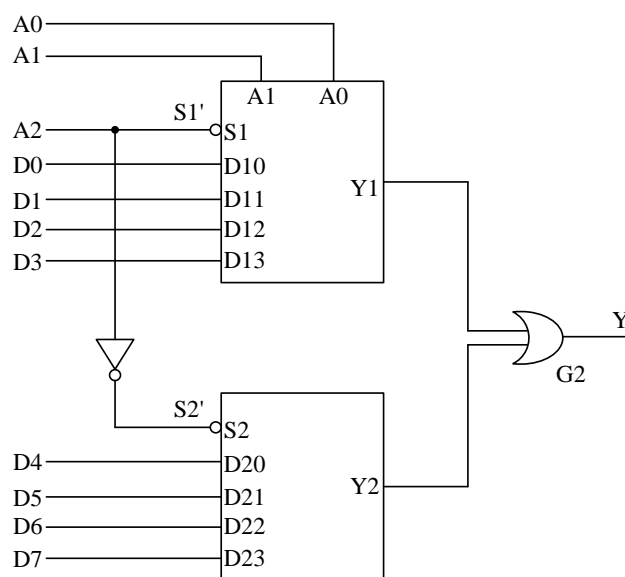
数据选择器:



A1	A0	D	Y
0	0	D0	D0
0	1	D1	D1
1	0	D2	D2
1	1	D3	D3

$$F = (\bar{A}_1 \bar{A}_0) D_0 + (\bar{A}_1 A_0) D_1 + (A_1 \bar{A}_0) D_2 + (A_1 A_0) D_3$$

故若想要输出逻辑函数式 $F = A_1 A_0$, 只需将 D_0 、 D_1 、 D_2 置 0, D_3 置 1 即可. 将两片四选一数据选择器接成一片 8 选一数据选择器



加法器：加法器是对两个输入信号进行相加的基本单元。
分为全加器和半加器。

二位半加器真值表：

$$S = AB' + A'B = A \oplus B$$

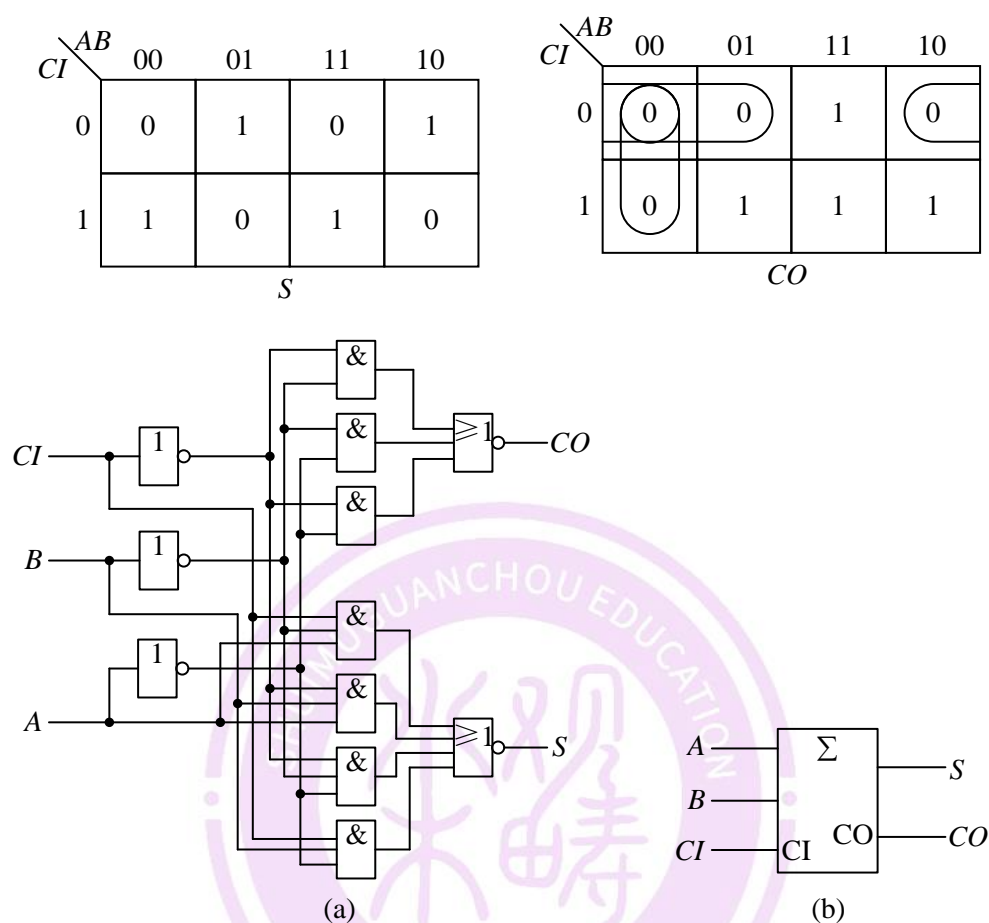
输入		输出	
A	B	S	CO
0	0	0	0
0	1	1	0
1	0	1	0
1	1	0	1

二位全加器真值表：

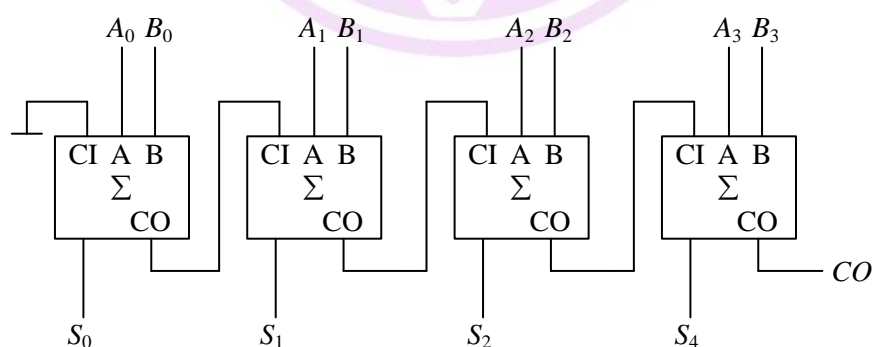
输入				输出
CI	A	B	S	CO
0	0	0	0	0
0	0	1	1	0
0	1	0	1	0
0	1	1	0	1
1	0	0	1	0
1	0	1	0	1
1	1	0	0	1
1	1	1	1	1

全加器：

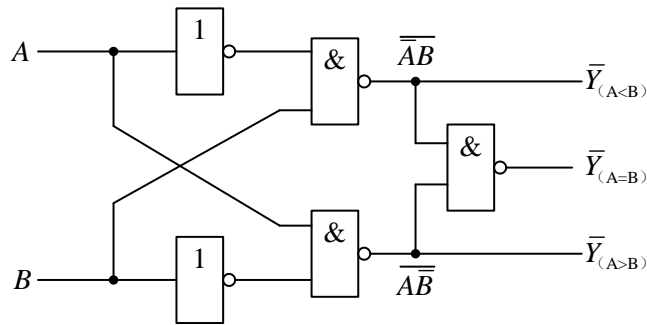
在将两个多位二进制数相加时，除了最低位以外，每一位都应该考虑来自低位的进位，即将两个对应位的加数和来自低位的进位 3 个数相加. 这种运算称为全加，所用的电路称为全加器。



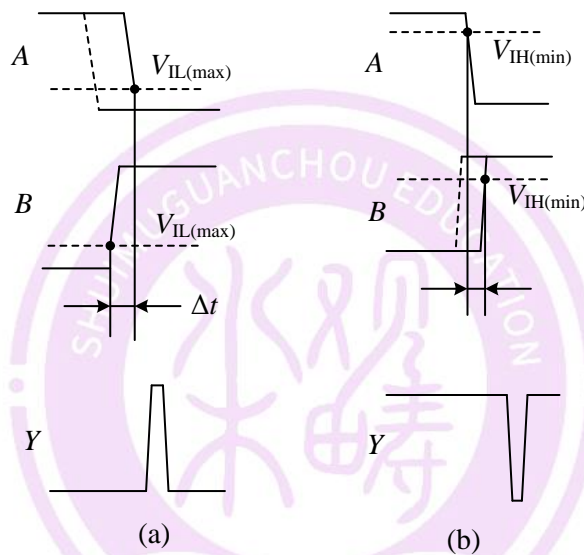
全加器和半加器的区别在于有无进位输入。
串行进位加法器（速度较慢）



二位数值比较器：比较输入的两个数值大小. 输入为 A、B. 电路图如下



竞争冒险现象

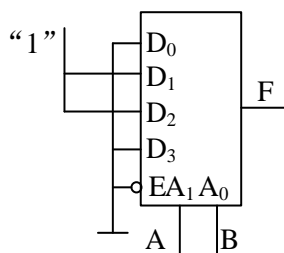


竞争：门电路两个输入信号同时向相反的逻辑电平跳变的现象。
由于竞争而在电路输出端可能产生尖峰脉冲的现象就称为**竞争冒险现象**。
消除方法：1. 接入滤波电容 2. 引入选通脉冲 3. 修改逻辑设计

练习 1： 用四选一数据选择器实现异或函数 $F = A\bar{B} + \bar{A}B$ 。

解答：

四选一数据选择器地址为二个 A_1A_0 ，而函数是二变量。



例 1 逻辑电路

故令 $A_1A_0 = AB$ ，则数据选择器的方程式为

$$F' = \bar{A}\bar{B}D_0 + \bar{A}BD_1 + A\bar{B}D_2 + ABD_3$$

$$\text{而 } F = \bar{A}B + A\bar{B}$$

为了使 $F' = F$

只需要令 $D_0 = 0 \quad D_1 = 1 \quad D_2 = 1 \quad D_3 = 0$ 即可



第五章 触发器

5.1 重点提示

本章介绍了各种类型的触发器，需要记住触发器的定义. 记住各种类型触发器的转变逻辑功能及其描述方法（特性表、逻辑函数式、状态转换图）.

5.2 考点知识必看

触发器：

触发器的的概念和特点：

触发器是构成时序逻辑电路的基本逻辑单元. 其具有如下特点：

①它有两个稳定的状态：0 状态和 1 状态；

②在不同的输入情况下，它可以被置成 0 状态或 1 状态，即两个稳态可以相互转换；

③当输入信号消失后，所置成的状态能够保持不变. 具有记忆功能
按逻辑功能不同分为：RS 触发器、D 触发器、JK 触发器、T 触发器.
按触发方式不同分为：电平触发器、边沿触发器和主从触发器.

2) 不同逻辑功能的触发器的特性方程为：

SR 触发器： $Q^{n+1} = S + \bar{R}Q^n$ ，约束条件为：SR=0，具有置 0、置 1、保持功能.

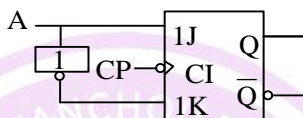
JK 触发器： $Q^{n+1} = J\bar{Q}^n + \bar{K}Q^n$ ，具有置 0、置 1、保持、翻转功能.

D 触发器： $Q^{n+1} = D$ ，具有置 0、置 1 功能.

T 触发器： $Q^{n+1} = \bar{T}Q^n + T\bar{Q}^n$ ，具有保持、翻转功能.

T' 触发器： $Q^{n+1} = \bar{Q}^n$ （计数工作状态），具有翻转功能.

练习 1： $Q^{n+1} =$ _____



解答：

$$Q^{n+1} = J\bar{Q}^n + \bar{K}Q^n$$

$$Q^{n+1} = A\bar{Q}^n + A\bar{Q}^n = A$$

即此时 JK 触发器转换为 D 触发器。

练习 2： 触发器起始态 $Q=0$ ，为了使触发器由 0→1

解答：

D 触发器 $D=1$

T 触发器 $T=1$

RS 触发器 $RS = 01$

JK 触发器 $JK = 1x$

练习 3： JK 触发器其 JK 端为 00 其次态 $Q^{n+1} =$ ()

A. $Q^{n+1} = 0$

B. $Q^{n+1} = 1$

C. $Q^{n+1} = Q^n$

D. $Q_{n+1} = Q_n$

解答：

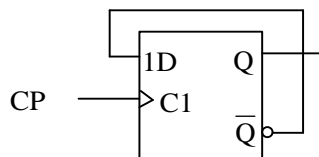
将 $J = K = 0$ 代入特征方程

$$Q^{n+1} = J\bar{Q}^n + \bar{K}Q^n$$

得所以正确选项为 C

练习 4:

D 触发器电路如图，该电路完成的功能是 ()



- A. D 触发器 B. T 触发器 C. RS 触发器 D. JK 触发器

解答:

将 $D = Q^n$ 代入 $Q^{n+1} = D$ 得 $Q^{n+1} = Q^n$ ，故正确选择为 (B)。

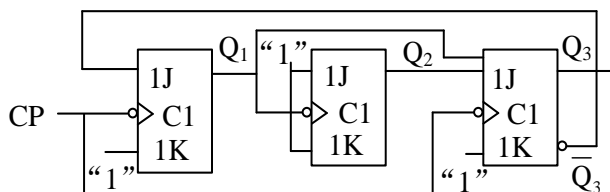


第六章 时序逻辑电路的分析与设计

6.1 时序逻辑电路分析

时序电路的输出不仅与当前输入有关，且与电路的过去状态也有关。因此电路的组成含有两部分，组合电路和记忆电路。而记忆电路（触发器）的有无是时序电路的特征。在以后的分析和设计中可以看出时序电路的分析和设计，其对象主要是触发器。

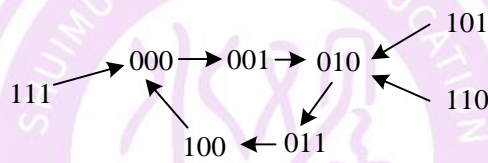
例 2: 时序电路如图所示，分析其功能。



$$\begin{aligned}
 J_1 &= \overline{Q_3^n} & K_1 &= 1 & Q_1^{n+1} &= \overline{Q_3^n} \overline{Q_1^n} & C_1 &= CP \\
 J_2 &= 1 & K_2 &= 1 & Q_2^{n+1} &= \overline{Q_2^n} & CP_1 &= Q_1 \\
 J_3 &= Q_2^n Q_1^n & K_3 &= 1 & Q_3^{n+1} &= Q_2^n Q_1^n \overline{Q_3^n} & CP_3 &= CP \\
 Q_1^{n+1} &= \overline{Q_3^n} \overline{Q_1^n} & CP_1 &= CP \\
 Q_2^{n+1} &= \overline{Q_2^n} & CP_1 &= Q_1 \\
 Q_3^{n+1} &= Q_2^n Q_1^n \overline{Q_3^n} & CP_3 &= CP
 \end{aligned}$$

Q_3^n	Q_2^n	Q_1^n	Q_3^{n+1}	Q_2^{n+1}	Q_1^{n+1}	CP_3	CP_2	CP_1
0	0	0	0	0	1			
0	0	1	0	1	0			
0	1	0	0	1	1			
0	1	1	1	0	0			
1	0	0	0	0	0			
1	0	1	0	1	0			
1	1	0	0	1	0			
1	1	1	0	0	0			

状态迁移图如下：



例 2 对应状态迁移图

6.2 时序逻辑电路设计

时序电路的设计一共有如下几个步骤：

1. 建立原始状态图
2. 状态化简
3. 状态分配
4. 确定激励方程和输出方程
5. 画出逻辑图

我们对学生的要求主要是，已知状态迁移关系的前提下，确定激励方程和输出方程，画出逻辑图。

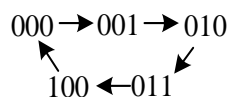
我们通过一个例子说明同步时序电路设计的全过程及其步骤。

【例】：用 JK 触发器设计一个同步五进制加法计数器。

解答：

此题的题意告诉我们有五个状态，且状态迁移关系是按加法规律。

如右图所示：



五进制加法器状态迁移表

由 $2^2 = 4 < 5 < 2^3 = 8$ 故至少需要三级触发器
作出状态迁移表，其中 101、110、111 没用到，作为无关项处理。

五进制加法器状态转换表

Q_3^n	Q_2^n	Q_1^n	Q_3^{n+1}	Q_2^{n+1}	Q_1^{n+1}
0	0	0	0	0	1
0	0	1	0	1	0
0	1	0	0	1	1
0	1	1	1	0	0
1	0	0	0	0	0
1	0	1	×	×	×
1	1	0	×	×	×
1	1	1	×	×	×

激励方程的确定

Q_3^{n+1}

	Q_3^n	Q_2^n	00	01	11	10
Q_1^n	0	0	0	0	×	0
	1	0	0	1	×	×

Q_3^{n+1} 卡诺图化简

$$Q_3^{n+1} = Q_1^n Q_2^n$$

$$\overline{Q_3^n} = J_3 \overline{Q_3^n} + K_3 Q_3^n$$

$$J_3 = Q_1^n Q_2^n \quad K_3 = 1$$

Q_2^{n+1}

	Q_3^n	Q_1^n	00	01	11	10
Q_2^n	0	0	0	1	×	0
	1	0	1	0	×	×

Q_2^{n+1} 卡诺图化简

$$Q_2^{n+1} = Q_1^n \overline{Q_2^n} + \overline{Q_1^n} Q_2^n = J_2 \overline{Q_2^n} + K_2 Q_2^n$$

$$J_2 = K_2 = Q_1^n$$

Q_1^{n+1}

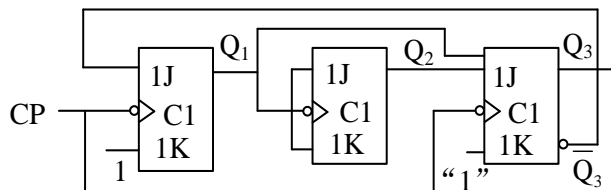
	Q_3^n	Q_2^n	00	01	11	10
Q_1^n	0	0	1	1	×	0
	1	0	0	0	×	×

Q_1^{n+1} 卡诺图化简

$$Q_1^{n+1} = \overline{Q_3^n} Q_1^n = J_1 \overline{Q_1^n} + \overline{K_1} Q_1^n$$

$$J_1 = \overline{Q_3^n} \quad K_1 = 1; \quad J_2 = K_3 = Q_1^n; \quad J_3 = Q_1^n Q_2^n \quad K_3 = 1$$

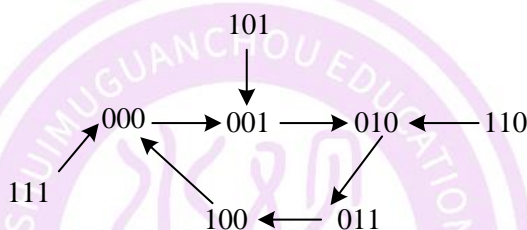
由此画出逻辑图



五进制加法器逻辑图

检测自启动能力，由于 $2^3 = 8$ 而只用了 5 状态，有三个状态没有用。故应检验这三个状态的迁移关系，其方法是将没有用的状态 101, 110, 111 代入到求得的状态方程中求得对应的次态。结果如下： $101 \rightarrow 010$; $110 \rightarrow 010$; $111 \rightarrow 000$ 。

其全状态迁移图如下：



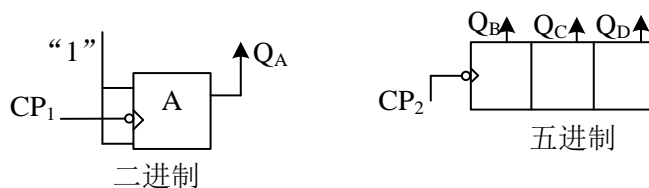
五进制加法器状态迁移图

6.3 集成计数器功能及其应用

1. 74LS90

74LS90 是异步二、五、十进制计数器，触发器 A 组成二进制计数器对 CP_1 计数， Q_A 输出。

触发器 B、C、D 组成异步五进制计数器对 CP_2 计数，从 $Q_D Q_C Q_B$ 输出，其状态迁移关系如下。



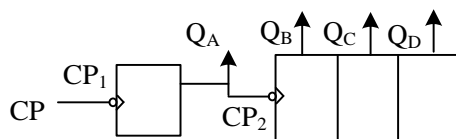
	Q_D	Q_C	Q_B	
5CP	0	0	0	1CP
	0	0	1	2CP
	0	1	0	3CP
	0	1	1	4CP
1	1	0	0	

74LS90 状态迁移表

将二者级联可组成十进制计数器，其级联方法有两种。

①先 2 后 5

CP 与 CP_1 相连进行二进制计数，其输出 Q_A 与五进制计数器脉冲 CP_2 相连，组成 8421BCD 计数器，输出高低位如下 $Q_D Q_C Q_B Q_A$ 状态迁移如下：



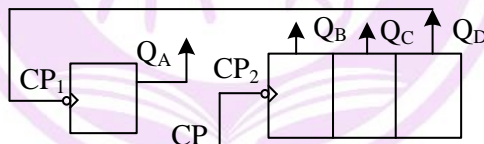
先 2 后 5 连接

$CP_1 = CP$ ，每来一个 CP Q_A 翻转一次，根据 Q_A 的翻转，提供 CP_2 的下降沿，使五进制计数器翻转。

Q_D	Q_C	Q_B	Q_A	CP_2	CP_1
0	0	0	0	↓	↓
0	0	0	1	↓	↓
0	0	1	0	↓	↓
0	0	1	1	↓	↓
0	1	0	0	↓	↓
0	1	0	1	↓	↓
0	1	1	0	↓	↓
0	1	1	1	↓	↓
1	0	0	0	↓	↓
1	0	0	1	↓	↓
0	0	0	0		

先 2 后 5 状态迁移表

②先 5 后 2



先 5 后 2 连接

2. 74LS161

74LS161 功能表

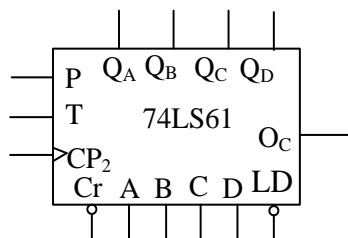
输入									输出				说明
CP	Cr	LD	P	T	A	B	C	D	Q_A	Q_B	Q_C	Q_D	
×	0	×	×	×	×	×	×	×	0	0	0	0	同步清 0
↑	1	0	×	×	A	B	C	D	A	B	C	D	同步予置
×	1	1	0	×	×	×	×	×					维持
×	1	1	×	0	×	×	×	×					维持 $O_C = 0$
↑	1	1	1	1	×	×	×	×					计数

Cr：是异步清 0 端 Cr=0 立即清“0”。与时钟 LD：是同步预置端当 Cr=1，LD=0 时，只有在 CP 上升沿的作用下，才将置数输入端 ABCD 的数送入计数器中。

P、T 端主要用在功能扩展上，将多片 741S161 级联成更多位的二进制计数器。当 Cr=LD=1 时，P 或 T 为 0，计数器均处于维持状态，这二者的区别是对进

位 O_C 的影响 CP 无关。

$O_C = Q_A Q_B Q_C Q_D \cdot T$ ，即 P 不影响 O_C 端而 $T=0$ 时将使进位位 O_C 也为 0。只有在 $C_r = LD = P = T = 1$ 时 74LS161 才计数，它是四位二进制计数器，其高低位的顺序为 $Q_D Q_C Q_B Q_A$ 。



74LS161 逻辑图

74LS161 组成任意进制计数器有两种方法

(a) 反馈归零法。利用异步清 0 端 C_r 其原理和方法与 74LS90 一样，此处不再讲述。

(b) 反馈预置法。利用同步预置端 LD，通过

例 1：用 74LS161 的预置端 LD 构成十进制计数器。

【水木观畴解题】

由于 $2^4 = 16$ 个态，组成十进制只需十个状态。我们选择状态，可选前十个态，后十个态，还可选取中间任意连续十个状态。

①前十个态

状态迁移如下

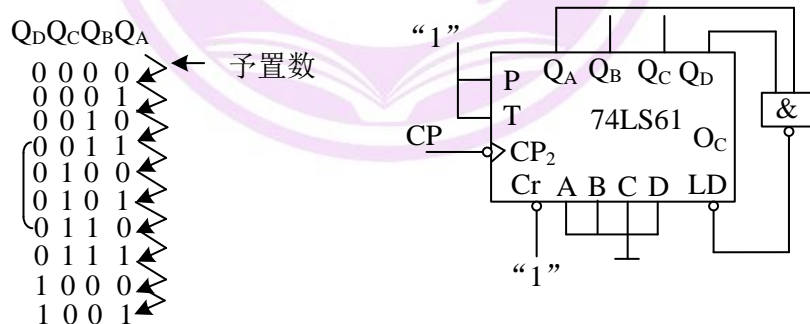


图 6.4.1.3 例 1 前十个态的状态迁移及逻辑图

②后十个态

状态迁移如下

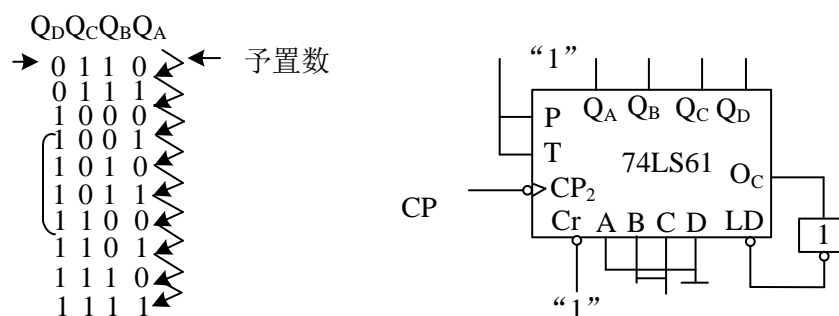
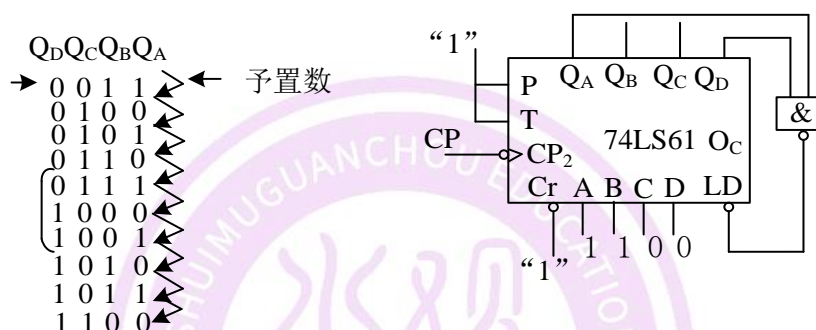


图 6.4.1.4 例 1 后十个态的状态迁移及逻辑图

③中间十个态
状态迁移如下



例 1 中间十个态的状态迁移及逻辑图

由于 LD 是同步予置端，当 LD=0 时不是立即将 ABCD 的信号予置输送至计数器，它要等第十个 CP 来时将 ABCD 的予置数重新送进计数器中。故反馈予置法不存在过渡态。一般情况下，采用异步功能端组成任意计数器，存在过渡态。采用同步功能端组成任意进制计数器，不存在过渡态。这是同学们需注意之处，否则出错。

一般起始态不为 0000 均应采用反馈予置法，其反馈信号引至的状态由下式决定。

起始状态+（进位制数-1）

对上述三例

$$0000 + (10 - 1) = 9 \quad 1001 \quad LD = Q_D Q_A$$

$$0110 + (10 - 1) = 15 \quad 1111 \quad LD = O_C$$

$$0011 + (10 - 1) = 12 \quad 1100 \quad LD = Q_D Q_C$$

3. 74LS194

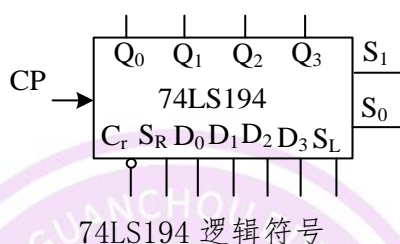
74LS194 是一种典型的中规模集成移位寄存器，其功能表如下：

74LS194 功能表

	输入										输出			
	C_r	S_1	S_0	CP	S_L	S_R	D_0	D_1	D_2	D_3	Q_0	Q_1	Q_2	Q_3
清 0	0	×	×	×	×	×	×	×	×	×	0	0	0	0

维持	1	×	×	0	×	×	×	×	×	×	维持
维持	1	0	0	×	×	×	×	×	×	×	维持
右移	1	0	1	↑	×	a	×	×	×	×	a Q_0 Q_1 Q_2
左移	1	1	0	↑	b	×	×	×	×	×	Q_1 Q_2 Q_3 b
送数	1	1	1	↑	×	×	D_0	D_1	D_2	D_3	D_0 D_1 D_2 D_3

74LS194 逻辑符号如图所示



其中 $Q_0Q_1Q_2Q_3$ 是 4 个触发器的并行输出端。 $D_0D_1D_2D_3$ 是并行数据输入端， S_R 是右移串行数据输入端， S_L 是左移串行数据输入端。 C_r 是直接清零端，低电平有效。CP 是同步时钟脉冲输入端在输入脉冲上升沿引起移位寄存器状态的转换(CP 又称为移位信号)。

S_1S_0 工作方式选择端，

$S_1S_0 = 00$ 状态保持：

$S_1S_0 = 01$ 为右移；

$S_1S_0 = 10$ 为左移；

$S_1S_0 = 11$ 为并行送数将 $D_0D_1D_2D_3$ 的数送入 $Q_0Q_1Q_2Q_3$ 中。

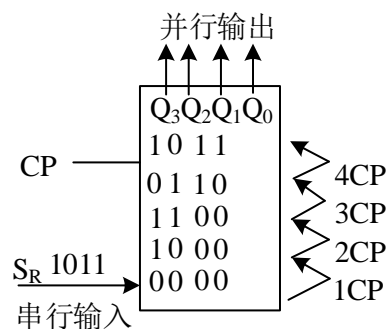
系统中的数据转送体系有两种，具体介绍如下：

串行传送体系。每个节拍传送一位信息，N 位需要 N 个节拍才能送出全部信息。

并行传送体系。一个节拍同时传 N 位据。

在数字系统中，两种传送系统均存在，如计算机主机对信息的处理和加工是并行传送数据的，而信息的传送是串行传送数据的，因此存在两种数据传送体系的转换。

串行转换为并行。其转换示意图 6.5.3.2。

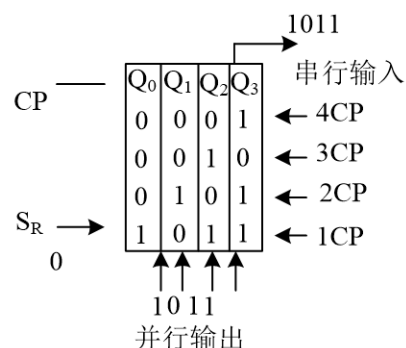


串行转换为并行示意图

以四位为例，如串行输入数为 1011。第 1 个 CP 移进“1”，第 2 个 CP 移进“11”，第 3 个 CP 移进“0...”，第 4 个 CP 移进“1011”，此时刻可同时输出即并行输出“1011”。

②并行转换为串行。其转换示意图 6.5.3.3 所示。

仍以四位为例，如在第 1 个 CP 作用下并行输入数为 1011，此时从 Q_3 输出，串行输出为“1”；在第 2 个 CP 作用下，移位寄存器的数为 0101；串行输出第 2 个“1”；在第 3 个 CP 作用下移位寄存器数为“0010”，串行输出为“0”；在第 4 个 CP 作用下，移位寄存器的数为“0001”，串行输出为“1”。即从 Q_3 将并行数变为串行数输出



并行转换为串行示意图

第七章 脉冲波形的产生和整形

考点：

1. 脉冲波形的认识
2. 555 定时电路的原理
3. 单稳态电路的工作原理、特征及脉冲宽度的计算。
4. 多谐振荡器的工作原理、特征及脉冲周期的计算。

5. 施密特电路的工作原理、特征及应用 波形认识

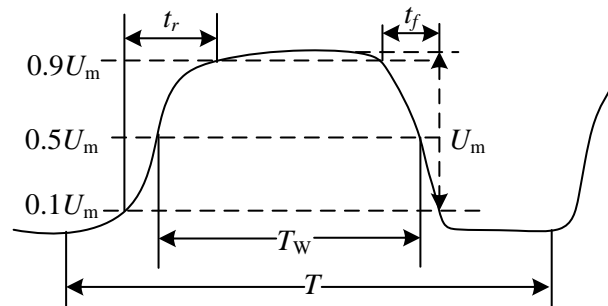


图 (a) 脉冲波形

脉冲周期 T = 两个边沿对应点的时间间隔

脉冲宽度 T_w = 两个边沿对应 $0.5U_m$ 的时间间隔

上升时间 t_r = 从 $0.1U_m$ 上升到 $0.9U_m$ 的时间间隔

下降时间 t_f = 从 $0.9U_m$ 下降到 $0.1U_m$ 的时间间隔

555 定时器的工作原理

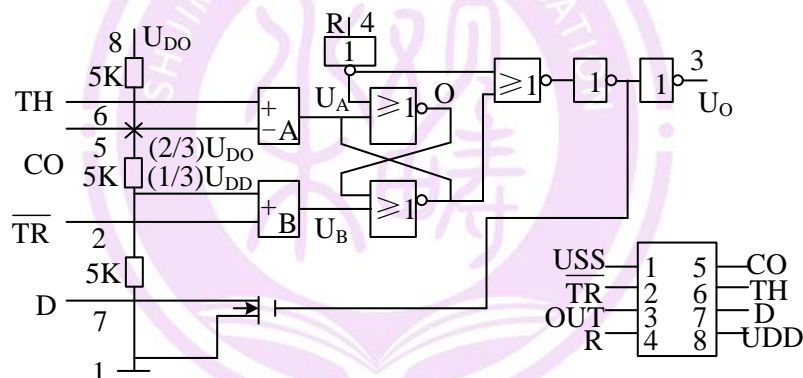


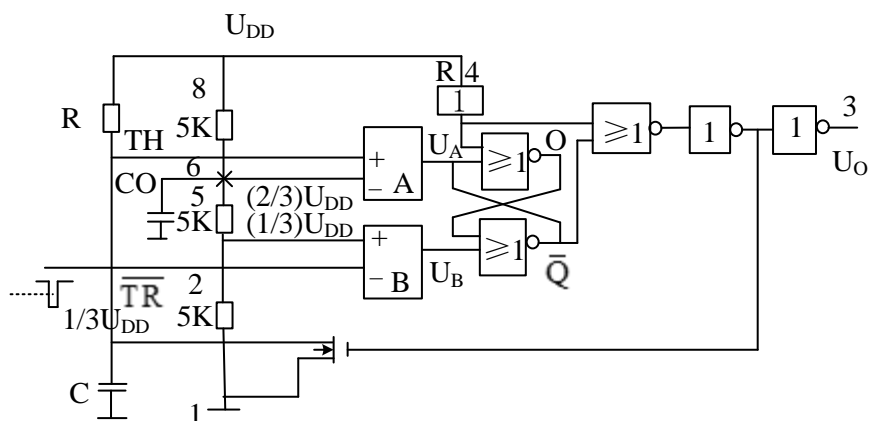
图 (b) 555 定时器工作原理

单稳态电路

单稳态电路工作特点

1. 电路有一个稳态一个暂稳态，没有触发脉冲作用时电路处于稳态。
2. 在触发脉冲的作用下，电路翻转到暂稳态，暂稳态是一种不能长久保持的状态。它通常是靠 RC 电路的充放电来维持的。
3. 暂稳态维持时间的长短取决于电路本身的参数，与触发脉冲的宽度和幅度无关

实现单稳态电路的器件。可以用门电路实现，也有集成单稳态电路。我们在此只讲 555 定时器件组成的单稳态电路。



单稳态电路

1. 电路组成

静止期：

触发信号 u_1 处于高电平,电路处于稳态,根据 555 工作原理知道 U_o 为低电平,放电管 V 导通,定时电容 C 两端电压 $u_c = 0$ 。

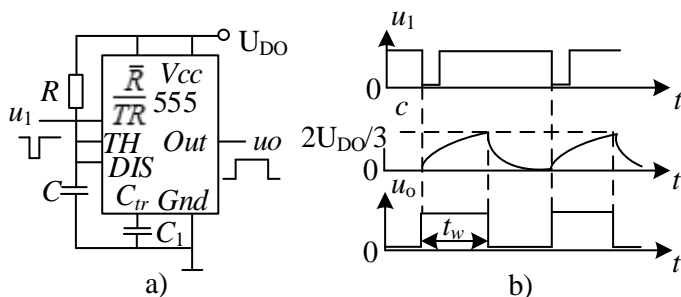
工作期：

外界触发信号 u_1 加进来,要求为负脉冲且低电平应小于 $1/3U_{DD}$,比较器输出 U_B 为高电平, U_A 为低电平,使 u_o 为高电平,且放电管截止,电源 U_{DD} 通过定时电阻 R 对定时电容充电,这是一个暂态问题,只要写出三要素即可。三要素如下:

$$u_c(0^+) = 0 \quad u_c(\infty) = U_{DD} \quad \tau = RC$$

由于比较器 A、B 的存在, u_c 不可能充至 U_{DD} 。当 U_c 充至大于 $1/3U_{DD}$, 但小于 $2/3U_{DD}$ 时, $U_A = U_B$ 均为低电平, RS 触发器处于保持态, 即 $Q = 1, \bar{Q} = 0$, 电路仍处于 $u_o = 1$, 放电管仍处于截止, 电容继续充电。当 $u_c > 2/3U_{DD}$ 时, $U_A = 1, U_B = 0$, 则 $Q = 1, \bar{Q} = 0, u_o = 0$, 放电管导通, 电容通过放电管很快放电, 进入恢复期。

由于外界触发脉冲加进来,电路 u_o 由低电平变为高电平到再次变为低电平这段时间就是暂稳态时间,



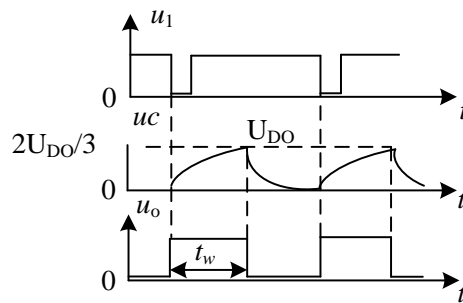
a) 电路 b) 波形

555 构成的单稳态电路

2. 脉冲宽度 T_w 的计算

其暂稳态时间 T_W 计算如下:

$$T_W = RC \ln \frac{u_c(\infty) - u_c(0^+)}{u_c(\infty) - u_c(T_W)} = RC \ln \frac{U_{DD} - 0}{U_{DD} - \frac{2}{3}U_{DD}} = RC \ln 3$$



单稳态电路暂稳态过程

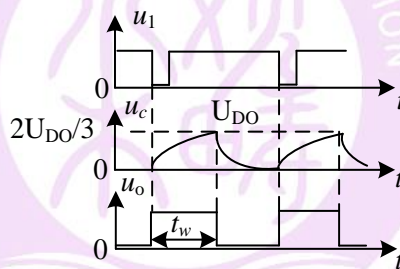
恢复期 T_R 由下式决定：

$$T_R = (3 \sim 5)r_d \cdot C$$

其中 r_d 为放电管导通时呈现的电阻，一般 $R \gg r_d$ ，所以恢复期很短。

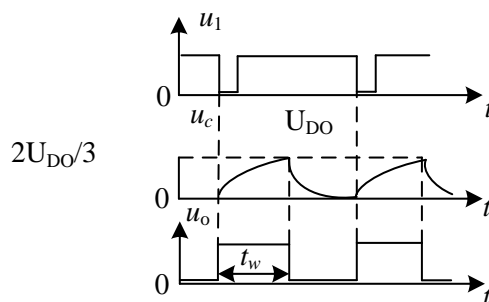
3. 单稳态电路的应用

(1) 产生滞后于触发脉冲的输出脉冲——延时。延时的时间就是 T_W



单稳态电路产生滞后于触发脉冲的输出脉冲

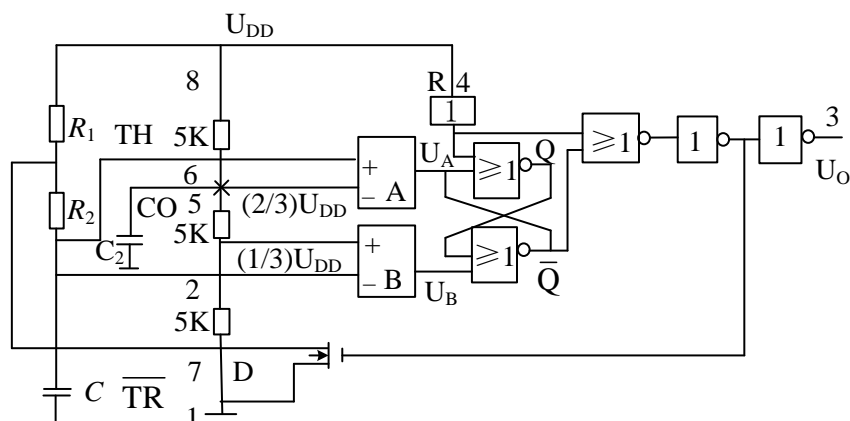
(2) 产生固定时间宽度的脉冲信号——定时



单稳态电路产生固定时间宽度的脉冲信号

多谐振荡器电路组成

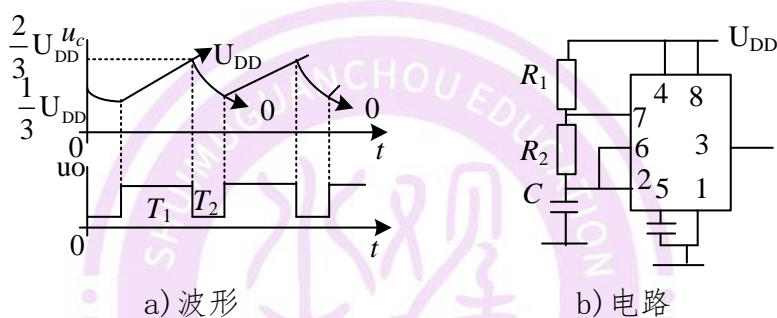
1. 电路组成



多谐振荡器电路组成

多谐振荡器没有稳定的状态,只有两个暂稳态。由定时元件 R_1 、 R_2 、 C 决定。多谐振荡器在两个暂稳态来回转换。

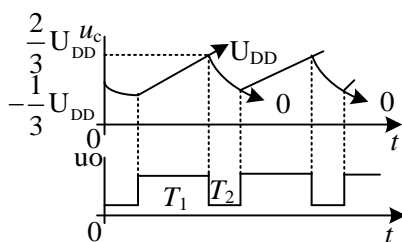
2. 工作原理



多谐振荡器工作原理

由于接通电源前, 电容器两端电压 $u_c = 0$, 电源刚接通时 $U_B = 1$, $U_A = 0$, 因而 $Q = 1$, $Q = 0$ 经输出缓冲级后 u_o 为高电平, 放电管 V 处于截止。电源电压通过 R_1 、 R_2 对 C 充电, 其暂态过程为

$$\begin{cases} u_c(0^+) = 0 \\ u_c(\infty) = U_{DD} \\ \tau_{充} = (R_1 + R_2)C \end{cases}$$



多谐振荡器暂稳态过程

由于比较器 A、B 的存在, 电容 C 不可能充至 U_{DD} 。过程如下: 当 $\frac{1}{3}U_{DD} \leq u_c < \frac{2}{3}U_{DD}$ 时, U_B 、 U_A 均为低电平, RS 触发器状态不变; 但当 $u_c \geq \frac{2}{3}U_{DD}$ 时, $U_A = 1$, $U_B = 0$, RS 触发器状态变为 $Q = 0$, $\bar{Q} = 1$, 输出 u_o 为低电平, 放电管 V 导通, 这段时间我们称为第一暂稳态期。

放电管导通时, 电容 C 通过电阻 R_2 和放电管放电, 电路进入第二暂稳态期, 放电过程为

$$\begin{cases} u_c(0^+) = \frac{2}{3}U_{DD} \\ u_c(\infty) = 0 \\ \tau_{\text{放}} = R_2C \end{cases}$$

由于比较器 A, B 的有在, 电容器不可能放电至 0。当电容放电, $\frac{1}{3}U_{DD} \leq u_c < \frac{2}{3}U_{DD}$ 时, $U_A = U_B = 0$, RS 触发器处于维持状态, 输出也不变; 但当 C 继续放电, $u_c \leq \frac{1}{3}U_{DD}$ 时, $U_B = 1$, $U_A = 0$, 这时 $Q = 1$, $\bar{Q} = 0$, 输出 u_o 为高电平, 放电管截止, U_{DD} 再次对电容充电。如此反复, 可输出矩形波形。该电路的振荡周期计算如下:

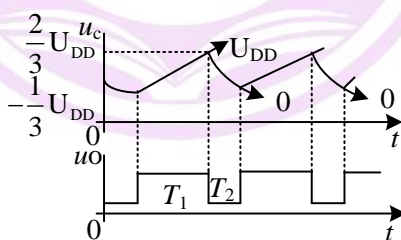
而 T_1 和 T_2 分别为

$$\begin{aligned} T &= T_1 + T_2 \\ T_1 &= (R_1 + R_2)C \ln \frac{U_{DD} - \frac{1}{3}U_{DD}}{U_{DD} - \frac{2}{3}U_{DD}} \\ &= (R_1 + R_2)C \ln 2 \end{aligned}$$

T_2 为

$$T_2 = R_2C \ln \frac{0 - \frac{2}{3}U_{DD}}{0 - \frac{1}{3}U_{DD}} = R_2C \ln 2$$

$$T = (R_1 + 2R_2) \cdot C \ln 2 = 0.7(R_1 + 2R_2)C$$



多谐振荡器暂稳态过程

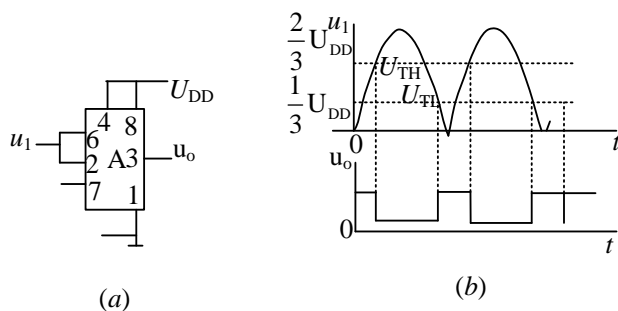
输出矩形的频率 $f = 1/T$ 。显然, 改变 R_1 、 R_2 和 C 值即可改变振荡频率。我们也可通过改变 5 脚电压 U_5 来改变比较器 A、B 的参考电压, 而达到改变振荡频率的目的。

在实际中常常需要调节 T_1 和 T_2 。这样就引进了占空比的概念:

$$D = \frac{T_1}{T_1 + T_2} = \frac{R_1 + R_2}{R_1 + 2R_2}$$

施密特电路

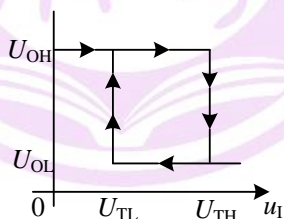
1. 电路组成



施密特电路组成

当 $u_1 < \frac{1}{3}U_{DD}$ 时, $U_A = 0$, $U_B = 1$, 输出 u_0 为高电平: u_1 增加, 满足 $\frac{1}{3}U_{DD} < u_1 < \frac{2}{3}U_{DD}$ 时, $U_A = U_B = 0$ 时电路维持不变, 即 $u_0 = 1$; u_1 继续增加, 满足 $u_1 \geq \frac{2}{3}U_{DD}$ 时, $U_A = 1$, $U_B = 0$ 输出 u_0 由高电变为低电平: 之后 u_1 再增加, 只要满足 $u_1 \geq \frac{2}{3}U_{DD}$, 电路不变。如 u_1 下降, 只要满足 $\frac{1}{3}U_{DD} < u_1 < \frac{2}{3}U_{DD}$, 由于 $U_A = U_B = 0$, 电路状态仍维持不变。只有当 $u_1 \leq \frac{1}{3}U_{DD}$ 时, 电路才再次翻转, u_0 为高电平, 波形如前所示。

由上可看出, 当 u_1 上升时, 引起电路状态改变, 由高电平变为低电平的输入电压为 $U_{TH} = \frac{2}{3}U_{DD}$; 当 u_1 下降时, 引起电路状态变化, 由低电平变为高电平的输入电压为 $U_{TL} = \frac{1}{3}U_{DD}$ 。这二者之差称为回差电压, 即



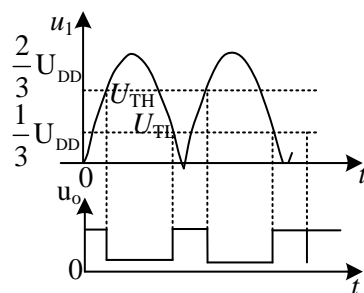
回差电压

$$\Delta U_T = U_{TH} - U_{TL}$$

2. 主要应用

(1) 波形变换

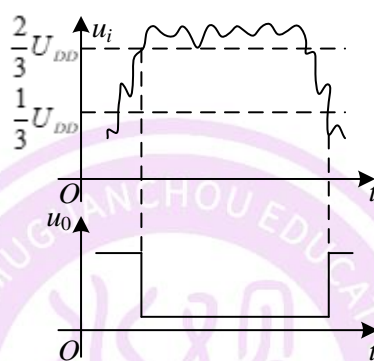
通过波形变换可以将非矩形波变换为矩形波。



波形变换

(2) 整形

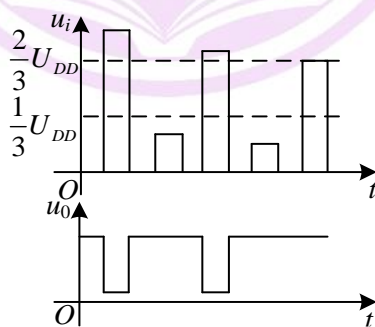
通过整形可以将一个不规则的矩形波转换为规则的矩形波。其应用波形图如图 10.4.3.4 所示。



整形波形图

(3) 幅值选择

如果输入是随机的脉冲, 可通过施密特电路将幅值大于某值的输入脉冲检测出来。如图 10.4.3.5 所示。



幅值选择

第八章 数模转换和模数转换

8.1 数模转换

1. 转换特性

DAC 电路输入的是 n 位二进制数字信息

$B(B_{n-1}, B_{n-2}, \dots, B_1, B_0)$, 其最低位 (LSB) 的 B_0 和最高位 (MSB) 的 B_{n-1} 的权分别为 2^0 和 2^{n-1} , 故 B 按权展开式为

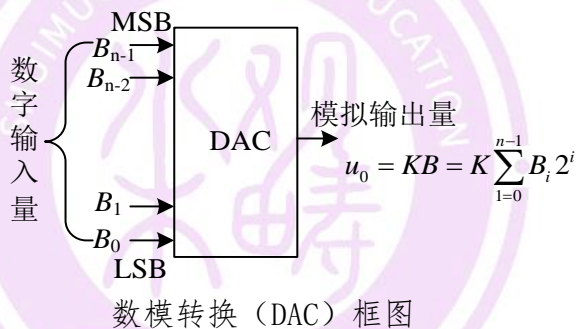
$$B = B_{n-1}2^{n-1} + B_{n-2}2^{n-2} + \dots + B_12^1 + B_02^0 = \sum_{i=0}^{n-1} B_i \cdot 2^i$$

DAC 电路输出的是与输入数字量成正比例的电压 u_0 或电流 i_0 , 即

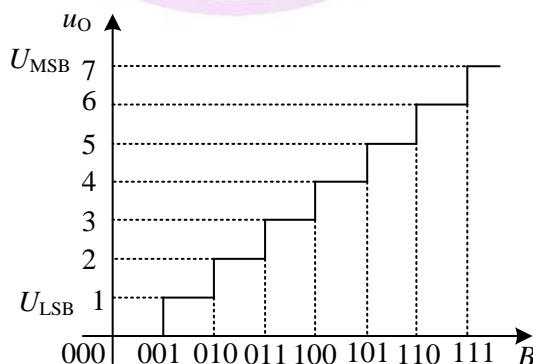
$$u_0 \text{ (或 } i_0) = K \cdot B = K \cdot \sum_{i=0}^{n-1} B_i 2^i$$

式中 K 为转换比例常数。

下图所示为 DAC 框图。当 $n = 3$ 时, DAC 转换电路的输出与输入转换特性如图所示, 输出为阶梯波。



转换特性



数模转换特性

2. 分辨率

$$\text{分辨率} = \frac{U_{LSB}}{U_m} = \frac{1}{2^{n-1}}$$

即说明 n 越大, DAC 的分辨能力越高 (分辨率越小)。

例如，当 $n = 10$ 时，DAC 分辨率 $= \frac{1}{2^{10}-1}$

当 $n = 11$ 时，DAC 分辨率 $\frac{1}{2^{11}-1}$ 。

3. 精度

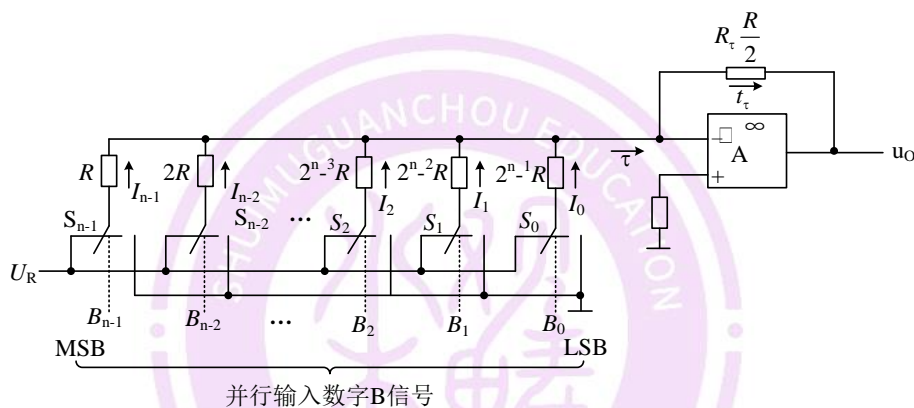
(1) 非线性误差：它是由电子开关导通的电压降和电阻网络电阻值偏差产生的，常用满刻度的百分数表示。

(2) 比例系数误差：它是参考电压 U_R 偏离引起的误差，也用满刻度的百分数表示。

(3) 漂移误差：它是由集成运放漂移产生的误差。增益的改变也会引起增益误差。

(4) 转换时间：也称输出建立时间。它是从输入数字信号时开始，到输出电压或电流达到稳态值时所需要的时间。

4. 权电阻 DAC 的电路形式及工作原理



权电阻 DAC 电路原理

当输入二进制数码中某一位 $B_i = 1$ 时，开关 S_i 接至基准电压 U_R ，这时在相应的电阻 R_i 支路上产生电流

当 $B_i = 0$ 时，开关 S_i 接地，电流 $i_i = 0$ ，

根据叠加原理，总的输出电流为

$$I = \sum_{i=0}^{n-1} I_i = \sum_{i=0}^{n-1} \frac{U_R}{2^{n-1}R} B_i 2^i = \frac{U_R}{2^{n-1}R} \sum B_i \cdot 2^i$$

通过集成运算放大器，输出电压为

$$u_o = -R_f I_f = \frac{-R_f U_R}{2^{n-1}R} \sum B_i \cdot 2^i$$

将 $R_f = \frac{R}{2}$ 代入则得

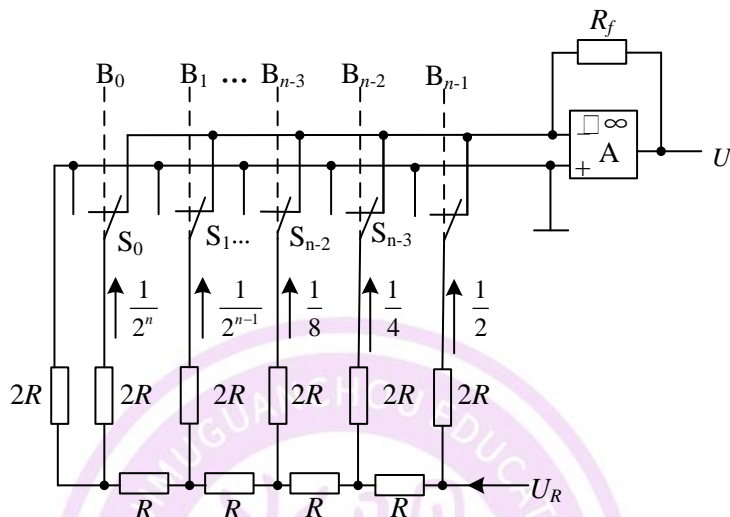
$$u_o = \frac{-U_R}{2^n} \sum B_i \cdot 2^i$$

例如， $U_R = 8V$ ，输入八位二进制数码为 11001011，则输出电压为

$$u_0 = \frac{8}{2^8} \times 203 = 6.34V$$

权电阻 DAC 电路简单、直观,便于理解 DAC 的原理,但电阻网络中电阻种类太多且范围宽,这给保证转换精度带来困难。同时集成也十分困难。因此,目前广泛采用 R-2R 倒 T 型电阻网络 DAC 电路

5. 倒 T 型网络 DAC

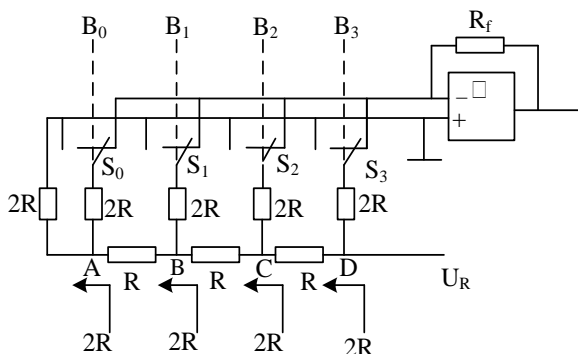


倒 T 型 DAC 电路原理

R-2R 倒 T 型网络 DAC 的图如上图。 $S_0 - S_{n-1}$ 为模拟开关由输入数码 B_i 控制。当 $B_i = 1$ 时 S_i 接运算放大器反相输入端, 电流 I_i 流入求和电路; 当 $B_i = 0$ 是 S_i 将电阻 $2R$ 接地。

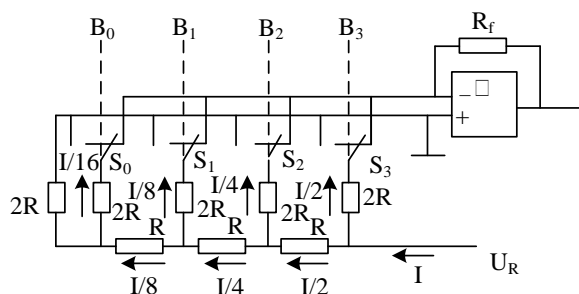
R—2R 电阻网络每个节点向左看得等效电阻都是 2R，流过 2R 支路的电流从高位按 2 的整数倍递。由基准电压源提供的总电流为 I，则流过各节点的电流依次为 $I/2$ 、 $I/4$ 、 $I/8$ 、 $\cdots I/2^{n-1}$ 、 $I/2^n$ 于是流入运算放大器输入端的电流为

R—2R 电阻网络每个节点向左看得等效电阻都是 $2R$,



倒 T 型 DAC 等效电阻

流过 $2R$ 支路的电流从高位按 2 的整数倍递减。



倒 T 型 DAC 支路电流

$$\begin{aligned}
 I_{\Sigma} &= B_{n-1} \frac{I}{2^1} + B_{n-1} \frac{I}{2^2} + LB_1 \frac{I}{2^{n-1}} + B_0 \frac{I}{2^n} \\
 &= \frac{I}{2^n} (B_{n-1} 2^{n-1} + B_{n-2} 2^{n-2} + L + B_1 2^1 + B_0 2^0) \\
 &= \frac{I}{2^n} \sum_{i=0}^{n-1} B_i 2^i
 \end{aligned}$$

运算放大器的输出电压为

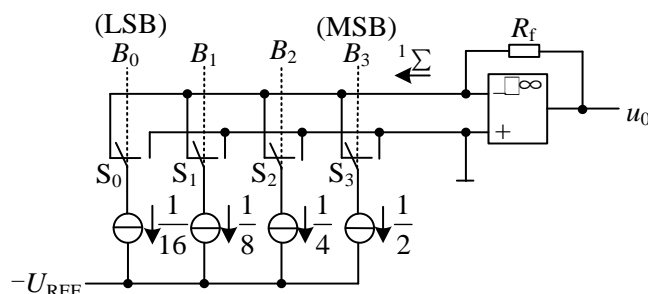
$$U = -I_{\Sigma} R_f = -\frac{I R_f}{2^n} \sum_{i=0}^{n-1} B_i 2^i$$

若 $R_f = R$ ，并将 $I = U_R/R$ 代入上式，则有

$$U = -\frac{U_R}{2^n} \sum_{i=0}^{n-1} B_i 2^i$$

可见输出模拟电压正比于输入的数字量倒 T 型电阻网络的特点是所用电阻种类少，只有 R、2R 两种。故可以提高制作精度，由于运放虚地的概念，流过 2R 电阻上的电流不随开关位置的变化而变化，因此开关转换过程中对输出不易产生尖峰脉冲干扰，有效地减少了动态误差，提高转换速度。是目前使用较多的一种。

由于模拟开关的存在，多少都有一点电阻，且都不相等，这样流过各支路电流的不同，模拟开关上的压降不同，就会产生转换误差，为进一步提高转换精度。可采用“权电流”型 DAC。



恒流源权电流型 DAC

$B_i = 1$ ，开关接通运算放大器的反相输入端，相应权电流流入求和电路。 $B_i = 0$ ，开关接地。故

$$\begin{aligned}
 U &= -I_{\Sigma}R_f = -\left(\frac{1}{2}B_3 + \frac{1}{4}B_2 + \frac{1}{8}B_1 + \frac{1}{16}B_0\right) \\
 &= -\frac{1}{2^4}R_f(B_3 + B_2 + B_1 + B_0) \\
 &= -\frac{1}{2^4}R_f \sum_{i=0}^3 B_i 2^i
 \end{aligned}$$

扩大至 n 位得

$$U_o = -\frac{1}{2^n}R_f \sum_{i=0}^{n-1} B_i 2^i$$

采用恒流源电路后,各支路电流的大小均不受模拟开关导通电阻和压降的影响,这样就降低了对模拟开关的要求,提高了转换精度。

【例 1】: 已知 8 位 DAC 转换器的基准电压 $U_{REF} = -12V$

- (1) 输入二进制数为 00000001, 输出模拟电压 u_o 是多少?
- (2) 输入二进制数为 11111111, 输出模拟电压 u_o 是多少?
- (3) 该电路的分辨率是多少?

解答:

1. $u_o = U_{LSB} = U_{REF}/2^n \times 1 = 12/256 \approx 0.047V$
2. $u_o = U_m = (U_{REF}/2^n) \times (2^n - 1) = (12/256) \times 255 \approx 11.95V$
3. $D = U_{LSB}/U_m = 0.047/11.95 \approx 0.0039 = 0.39\%$
或 $D = 1/(2^n - 1) = 1/255 \approx 0.0039 = 0.39\%$

【例 2】: 三位 DAC, 当输入数字量由 101 变为 111, 其输出的增量 $\Delta u_o = 1V$ 。

求:

- 1) 分辨率 D;
- 2) 基准电压 $U_{REF} = ?$
- 3) 最大输出电压 U_m ?

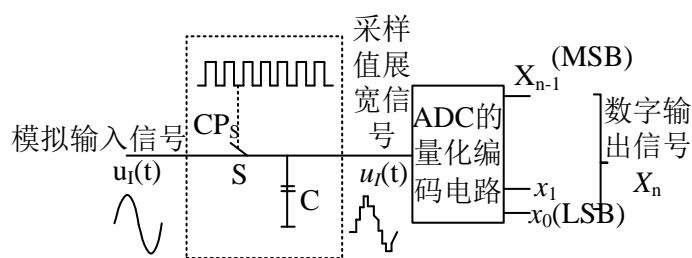
解答:

- 1) U_{LSB} 是输入数字量变化最小单位的输出电压, 因为 101 变为 111, 数字量变化为两个最小单位, 所以 $D = 1/(2^n - 1) = 1/7$
- 2) $U_{LSB} = (1/2) \times \Delta u_o = 0.5V$
又 $U_{LSB} = -(U_{REF}/2^n) \times 1$
 $\therefore U_R = -U_{LSB} \times 2^n = -4V$
- 3) $D = U_{LSB}/U_m = U_{LSB}/D = 3.5V$ 或 $U_m = -(U_{REF}/2^n) \times (2^n - 1) = 3.5V$

8.2 模数转换

8.2.1 ADC 的组成

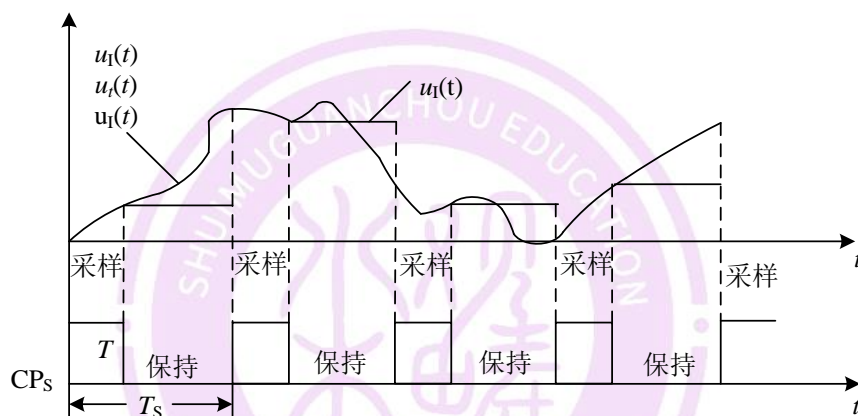
1. ADC 的两个组成部分及其作用



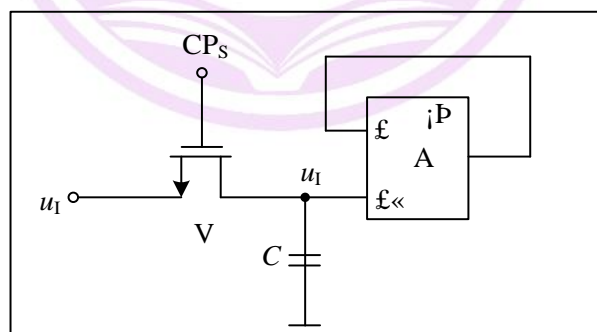
ADC 采样保持电路

(1) 采样保持电路

采样开关 S 的控制信号 CP_s 的频率 f_s , 必须满足公式 $f_s \geq 2f_{\max}$ (f_{\max} 为输入电压频谱中的最高频率), 即其周期 T 很小, 而且采样时间 τ 比 T_s 更要小许多倍, 这样就能将采样保持后的 $\dot{u}_1(t)$ 不失真地恢复成输入电压 $u_1(t)$ 。该公式称为采样定理。



采样保持前后波形



保持电路

(2) 量化编码电路

采样保持电路的输出信号 $\dot{u}_1(t)$ 虽已成为阶梯状, 但其阶梯幅值仍是连续可变的, 有无限多个数值, 无法与 n 位有限的 2^n 个数字量输出 X 相对应。因此, 必须将采样后的值只限于在某些规定个数的离散的电平上, 凡介于两个离散电平之间的采样值, 就要用某种方式整理归并到这两个离散电平之一上。这种将幅值取整归并的方式及过程称为“量化”。将量化后的有限个整量值用 n 位一组的某种数字代码 (如二进制码、BCD 码或 Gray 码等) 对应描述以形成数字量, 这种用

数字代码表示量化幅值的过程称作“编码”。

8.2.2 模数转换电路通常可分为两大类

1. 间接法:

将采样保持的模拟信号，首先转换成与模拟量成正比的时间 T 或频率 F ，然后再将中间量 T 、 F 转换成数字量。由于通常用频率恒定的时钟脉冲通过计数器来转换，因此也称计数式。

特点是：速度低

精度高

抑制干扰能力较强

典型电路：双积分型 A/D 转换器

电压频率转换型 A/D 转换器

2. 直接法:

通过与一套基准电压采样保持信号进行比较，从而直接转换成数字量。

特点:

速度快

转换精度易得到保证

电路采用数字电路构成，故调整方便

典型电路:

逐次逼近型 A/D 转换器

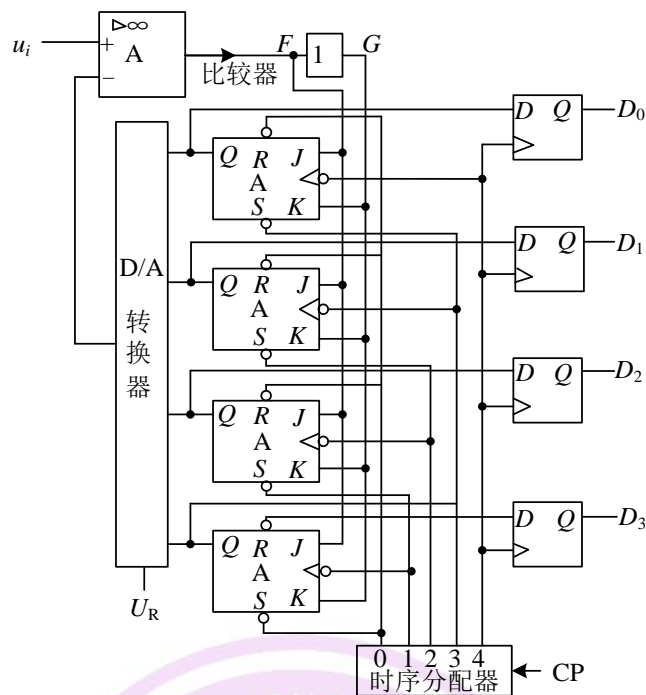
并型比较型 AD 转换器

1. 双积分 ADC

双积分 ADC 又称双斜率 ADC，是间接法的一种，它先将模拟电压 u_i 转换成与之大小对应的时间 T ，再在时间间隔 T 内用计数器对固定频率计数，计数器所计的数字量就正比于输入模拟电压。

2. 逐次逼近式 ADC

四位逐次逼近型 A/D 转换器原理框图



四位逐次逼近型 A/D 转换器原理框图

输出与输入数码的关系

输出与输入数码的关系

Q_D	Q_C	Q_B	Q_A	U'_R
0	0	0	0	0
0	0	0	1	$(1/16)U_R$
0	0	1	0	$(2/16)U_R$
0	0	1	1	$(3/16)U_R$
0	1	0	0	$(4/16)U_R$
0	1	0	1	$(5/16)U_R$
0	1	1	0	$(6/16)U_R$
0	1	1	1	$(7/16)U_R$
1	0	0	0	$(8/16)U_R$
1	0	0	1	$(9/16)U_R$
1	0	1	0	$(10/16)U_R$
1	0	1	1	$(11/16)U_R$
1	1	0	0	$(12/16)U_R$
1	1	0	1	$(13/16)U_R$
1	1	1	0	$(14/16)U_R$
1	1	1	1	$(15/16)U_R$

逐次逼近型 A/D 转换器是采用较多的一种。他的转换过用天平称物种相似。从最重的砝码开始放，与被称物体进行比较，若物体重于砝码，则该砝码保留，否则移去。再加第二个次重砝码……照此进行下去，一直到加到最小一个砝码。将全部留下的砝码重量相加，就是物体重量。逐次逼近型 A/D 转换器，就是将输

入模拟信号与不同的参考电压做多次比较,使转换所得数字量在数值上逐次逼近输入模拟量。

举例说明如下:

四位逐次逼近型 A/D 电路, $U_{REF} = 8V$, 输入模拟 $u_i = 6.3V$ 。工作过程如下
首先高位为 1, 及数字量为

$1000 \rightarrow (8/16) \times 8 = 4V < 6.3V$ 故该位的 1 保留

$1100 \rightarrow (12/16) \times 8 = 6V < 6.3V$ 故该位的 1 保留

$1110 \rightarrow (14/16) \times 8 = 7V > 6.3V$ 故该位的 1 移去

$1101 \rightarrow (13/16) \times 8 = 6.5V > 6.3$ 故该位的 1 移去

与全部参考电压比较结束得 $6.3V \rightarrow 1100$

如用 8 位逐次逼近型 A/D 转换器, 过程如下

$10000000 \rightarrow (128/256) \times 8 = 128/32 = 4V < 6.3V$

保留该位

$11000000 \rightarrow (192/256) \times 8 = 192/32 = 6V < 6.3V$

保留该位

$11100000 \rightarrow (224/256) \times 8 = 224/32 = 7V > 6.3V$

移去该位

$11010000 \rightarrow (208/256) \times 8 = 208/32 = 6.5V > 6.3V$

移去该位

$11001000 \rightarrow (200/256) \times 8 = 200/32 = 6.25V < 6.3V$

保留该位

$11001100 \rightarrow (204/256) \times 8 = 204/32 = 6.375V > 6.3V$

移去该位

$11001010 \rightarrow (202/256) \times 8 = 202/32 = 6.3125V > 6.3V$

移去该位

$11001001 \rightarrow (201/256) \times 8 = 201/32 = 6.28125V < 6.3V$

保留该位

比较结束

$6.3V \rightarrow 11001001$

由上面的例子可看出

①位数越多精度越高

②位数越多转换时间越长

转换时间

$$T = (n + 1)T_{cp}$$

n 是逐次逼近型 A/D 转换器的位数 T_{cp} 是时钟信号的周期。

8.2.3 ADC 的主要技术指标

1. 分辨率

分辨率指 ADC 对输入模拟信号的分辨能力。从理论上讲, 一个 n 位二进制数输出 ADC 应能区分输入模拟电压的 2^n 个不同量级, 能区分输入模拟电压的最小值为满量程输入的 $1/2^n$ 。在最大输入电压一定时, 输出位数愈多, 量化单位愈小, 分辨率愈高。例如, ADC 输出为八位二进制数, 输入信号最大值为 5V, 其分辨率为

$$\text{分辨率} = \frac{U_m}{2^8} = \frac{5}{256} = 19.53\text{mV}$$

2. 转换误差

转换误差通常是以输出误差的最大值形式给出。它表示 ADC 实际输出的数字量和理论上的输出数字量之间的差别, 常用最低有效位的倍数表示。如给出相对误差小于等于 $\pm LSB/2$, 这就表明实际输出的数字量和理论上应得到的输出数字量之间的误差小于最低位的半个字。

3. 转换速度

转换时间是指 ADC 从转换信号到来开始,到输出端得到稳定的数字信号所经过的时间。此时间与转换电路的类型有关。不同类型的转换器,其转换速度相差很大。并行 ADC 转换速度最高,八位二进制输出的单片 ADC 其转换时间在 50ns 内,逐次逼近型 ADC 转换速度次之,一般在 $10\sim 50\mu\text{s}$,也有的可达数百纳秒。双积分式 ADC 转换速度最慢,其转换时间约在几十毫秒至几百毫秒间。

