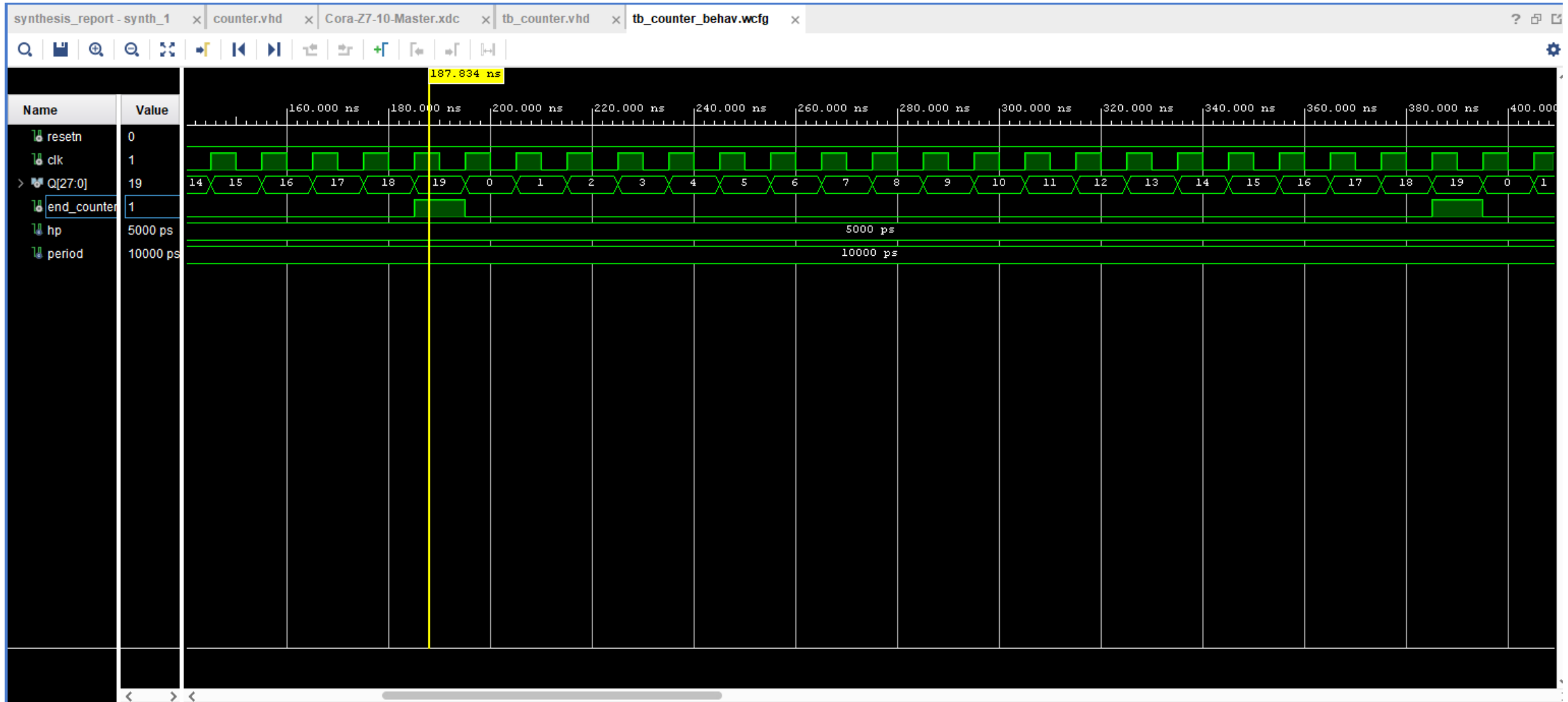


$\text{Log}_2 (2.10^8)=27.5$  donc on a besoin 28 bits pour créer le compteur.

The diagram illustrates a counter circuit. It features a 28-bit register (D/Q) that receives an input of 0x00 and is incremented by 1 (+1). The output of the register, Q, is a 28-bit signal labeled End\_counter\_int. This output is also fed into an equality comparator (=) along with a 28-bit constant Cte-1. The comparator's output is a 1-bit signal labeled End\_counter. The register is clocked by a 1-bit signal and reset by a 1-bit signal.

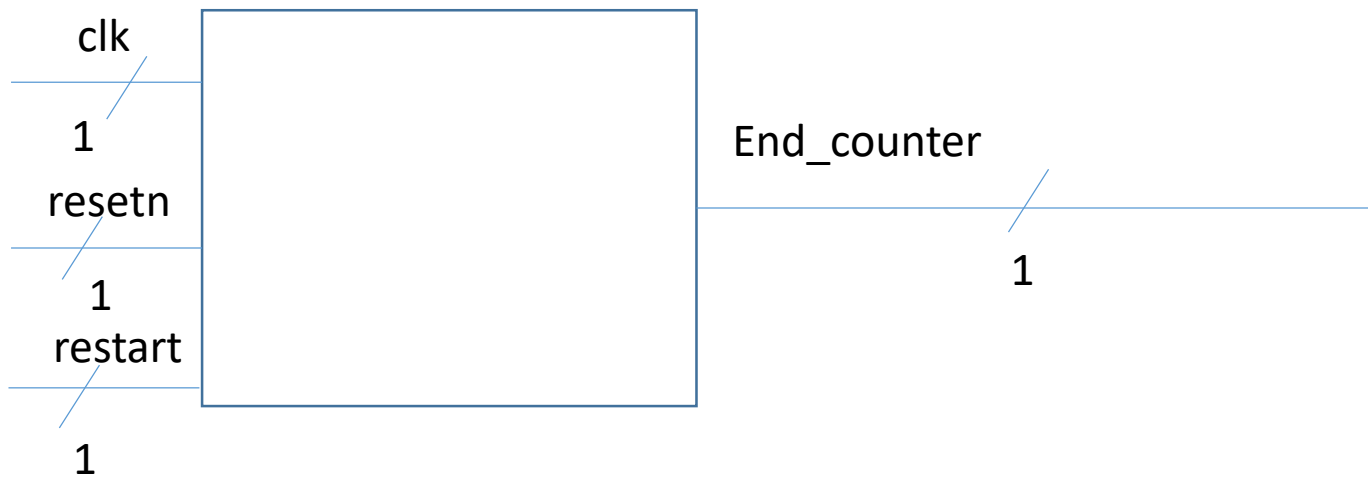
Liste de signaux  
Entrée: clk, resetn  
Sortie: end\_counter  
Interne: Q, end\_counter\_int

# Chronogramme de simulation pour compter 20 cycle d'horloge



Le compteur remis à 0 lorsque il atteint la value maximale.

Le signal end\_counter passe à 1 si le compteur atteint la value maximale, sinon il vaut 0.

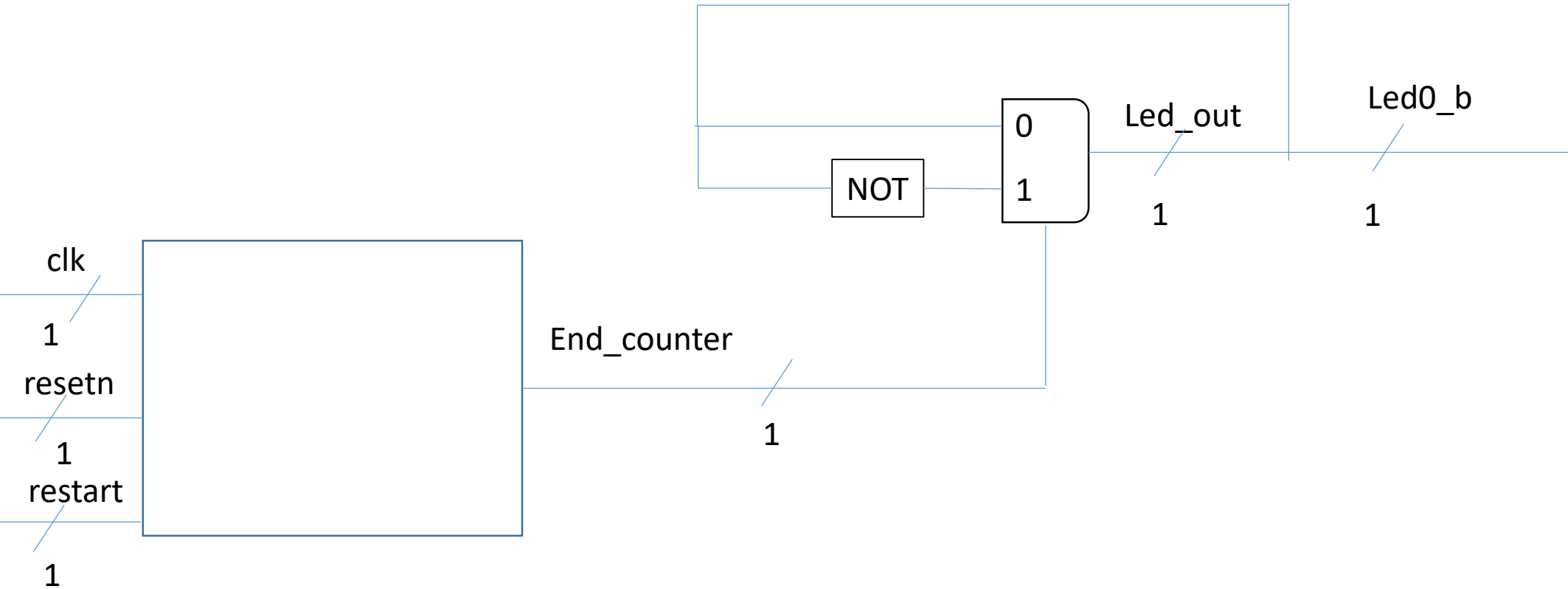


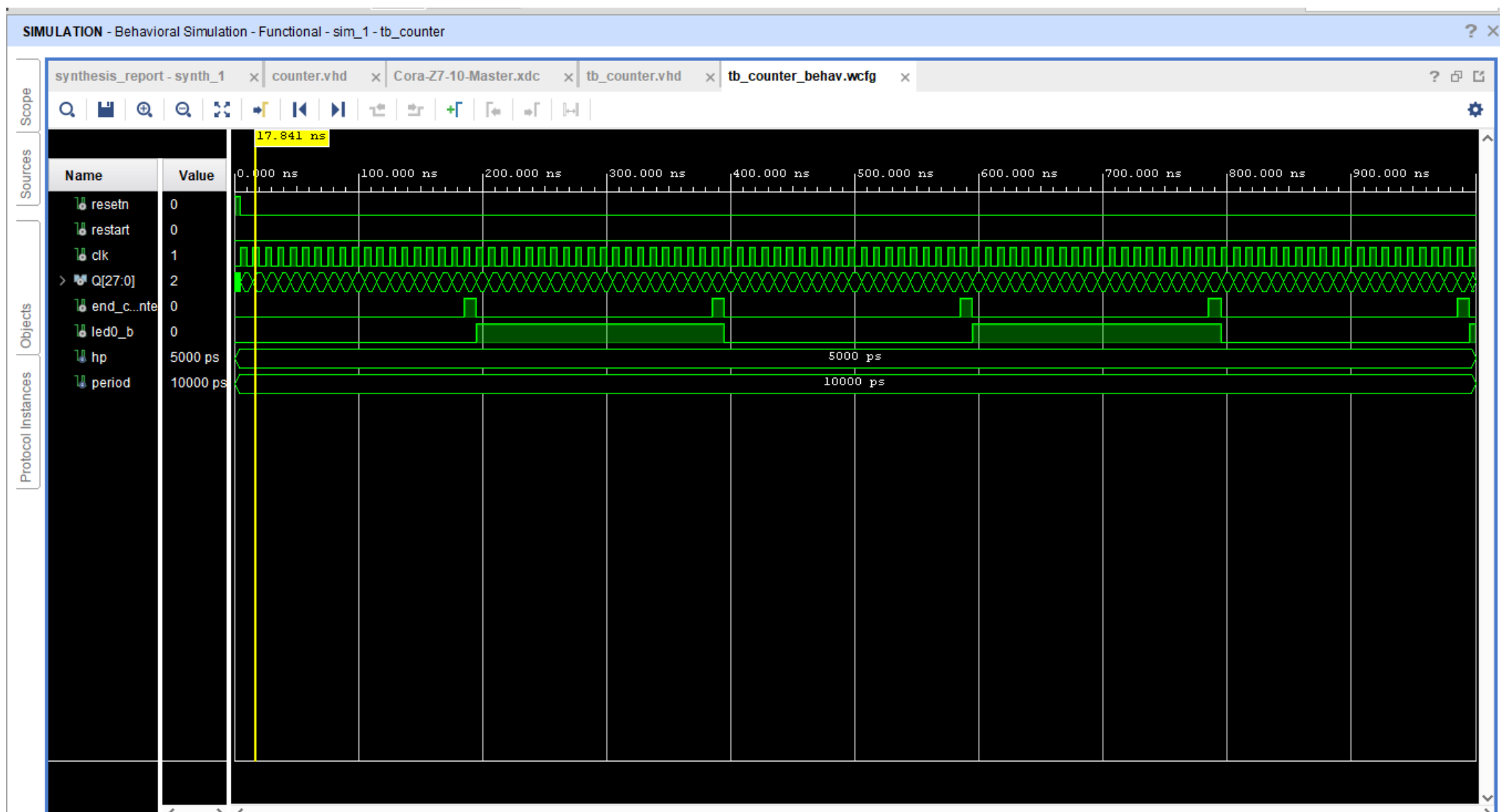
Le compteur remise à 0 lorsque restart =1



La Led est allumée pendant seulement un coup d'horloge si elle est connectée directement sur le signal end\_counter.

Pour que la LED clignote telle que: allumée 2 s, éteinte 2 s, il faut ajuster un multiplexeur





La Led clignote : allumée pendant une période de end\_contreur et éteinte pendant la période suivante.

# Résultats de synthèse

## Report Cell Usage:

+-----+-----+-----+		
	Cell	Count
+-----+-----+-----+		
1	BUFG	1
2	CARRY4	7
3	LUT3	28
4	LUT4	5
5	LUT6	3
6	FDCE	28
7	FDRE	1
8	IBUF	3
9	OBUF	1
+-----+-----+-----+		

Nombre de registre: 28 registres pour le compteur 28 bits  
3 IBUF (input buffer : reset, restart, clk)  
1 OBUF (output buffer : led0\_b)

# Rapport du timming

WNS(ns)	TNS(ns)	TNS Failing Endpoints	TNS Total Endpoints	WHS(ns)	THS(ns)	THS Failing Endpoints	THS Total Endpoints	WPWS(ns)	TPWS(ns)	TPWS Failing Endpoints	TPWS Total Endpoints
5.916	0.000	0	29	0.263	0.000	0	29	4.500	0.000	0	30

Le nombre de total négative slack (TNS) est 0, le nombre de total hold slack est 0, donc il n’y a pas problème de timming

Point départ du chemin  
critique :  
Q\_reg (25)

Slack (MET) : 5.916ns (required time - arrival time)

Source: Q\_reg[25]/C  
(rising edge-triggered cell FDCE clocked by sys\_clk\_pin {rise@0.000ns fall@5.000ns period=10.000ns})

Destination: Q\_reg[11]/D  
(rising edge-triggered cell FDCE clocked by sys\_clk\_pin {rise@0.000ns fall@5.000ns period=10.000ns})

Path Group: sys\_clk\_pin

Path Type: Setup (Max at Slow Process Corner)

Requirement: 10.000ns (sys\_clk\_pin rise@10.000ns - sys\_clk\_pin rise@0.000ns)

Data Path Delay: 4.053ns (logic 0.966ns (23.833%) route 3.087ns (76.167%))

Logic Levels: 3 (LUT3=1 LUT6=2)

Clock Path Skew: -0.024ns (DCD - SCD + CPR)

Destination Clock Delay (DCD): 4.921ns = ( 14.921 - 10.000 )

Source Clock Delay (SCD): 5.373ns

Clock Pessimism Removal (CPR): 0.429ns

Clock Uncertainty: 0.035ns ((TSJ^2 + TIJ^2)^1/2 + DJ) / 2 + PE

Total System Jitter (TSJ): 0.071ns

Total Input Jitter (TIJ): 0.000ns

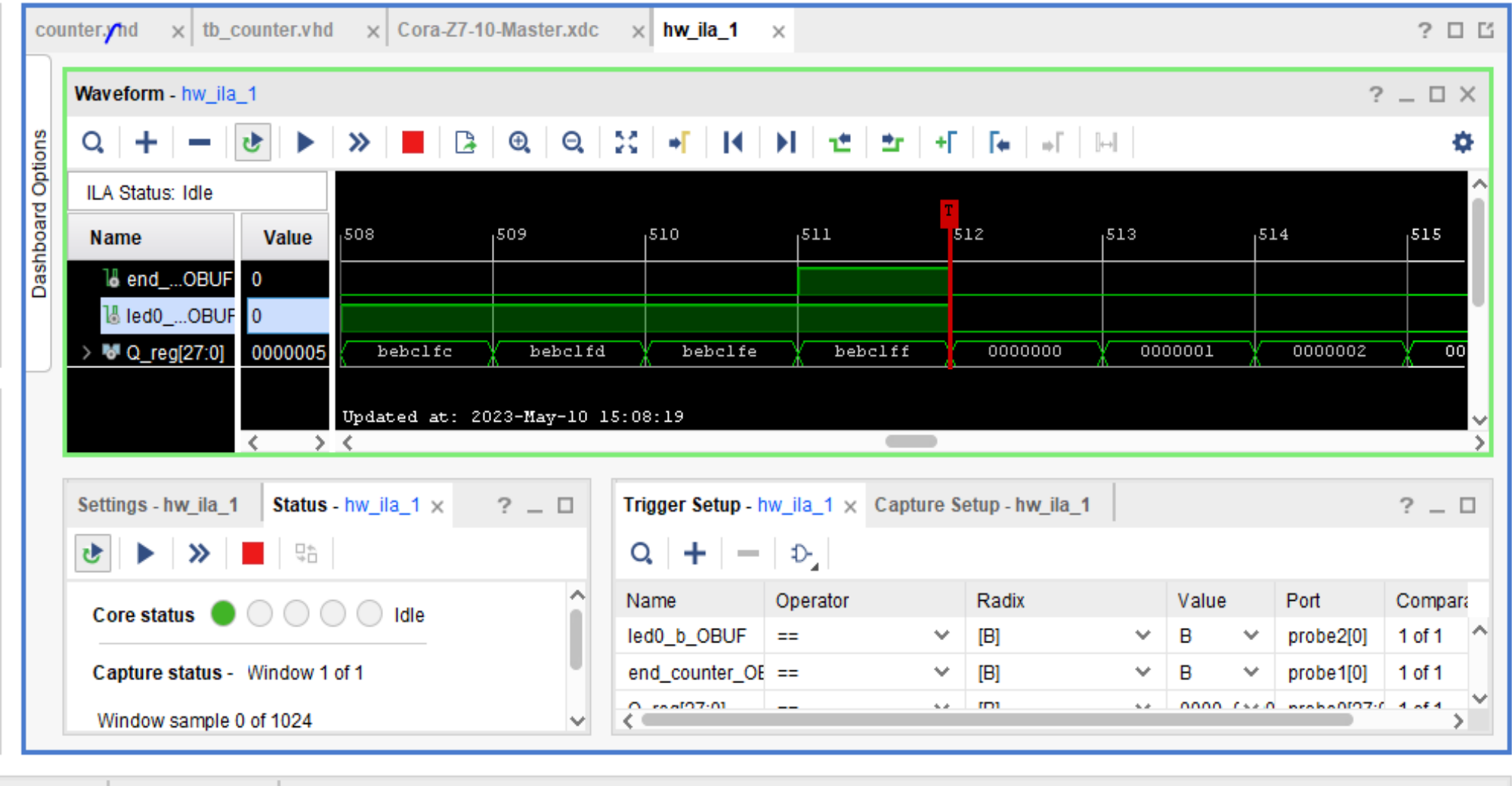
Discrete Jitter (DJ): 0.000ns

Phase Error (PE): 0.000ns

Point d'arrivée du  
chemin critique:  
Q\_reg (11) du module  
counter\_unit



# Résultats de mesure ILA



Le compteur est remis à zéro lorsqu'il atteint la valeur maximale et la led change l'état