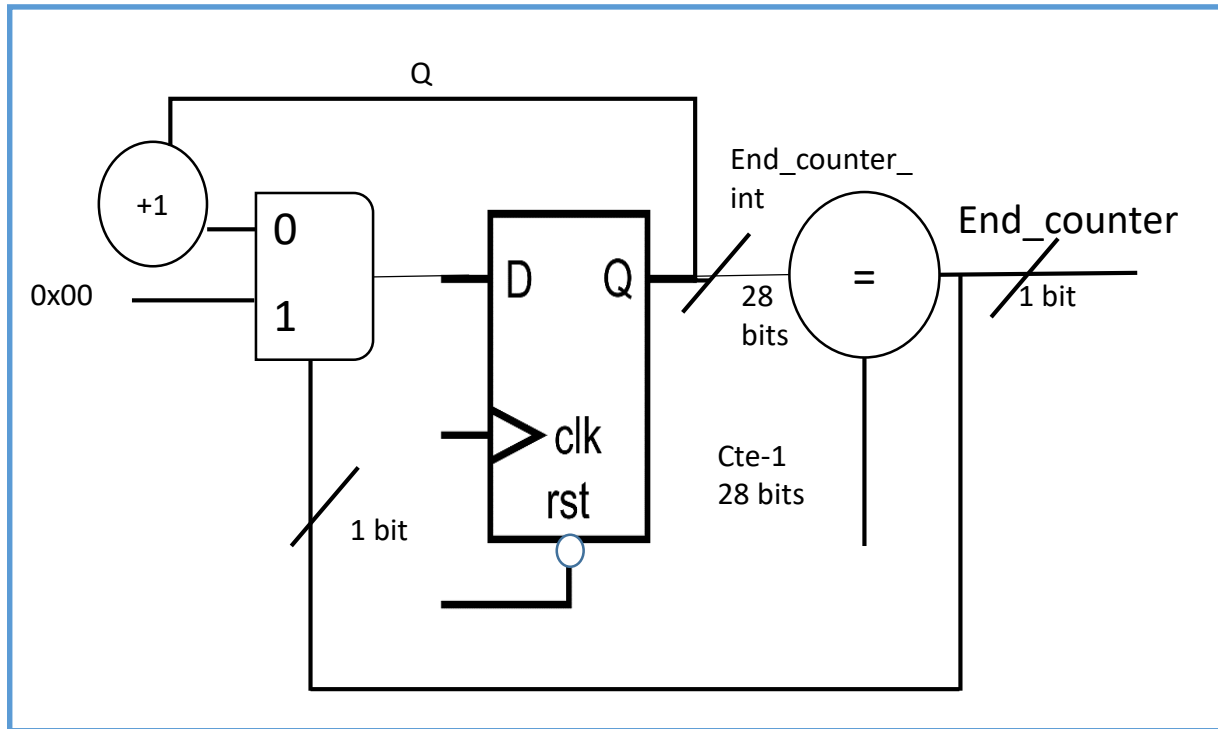


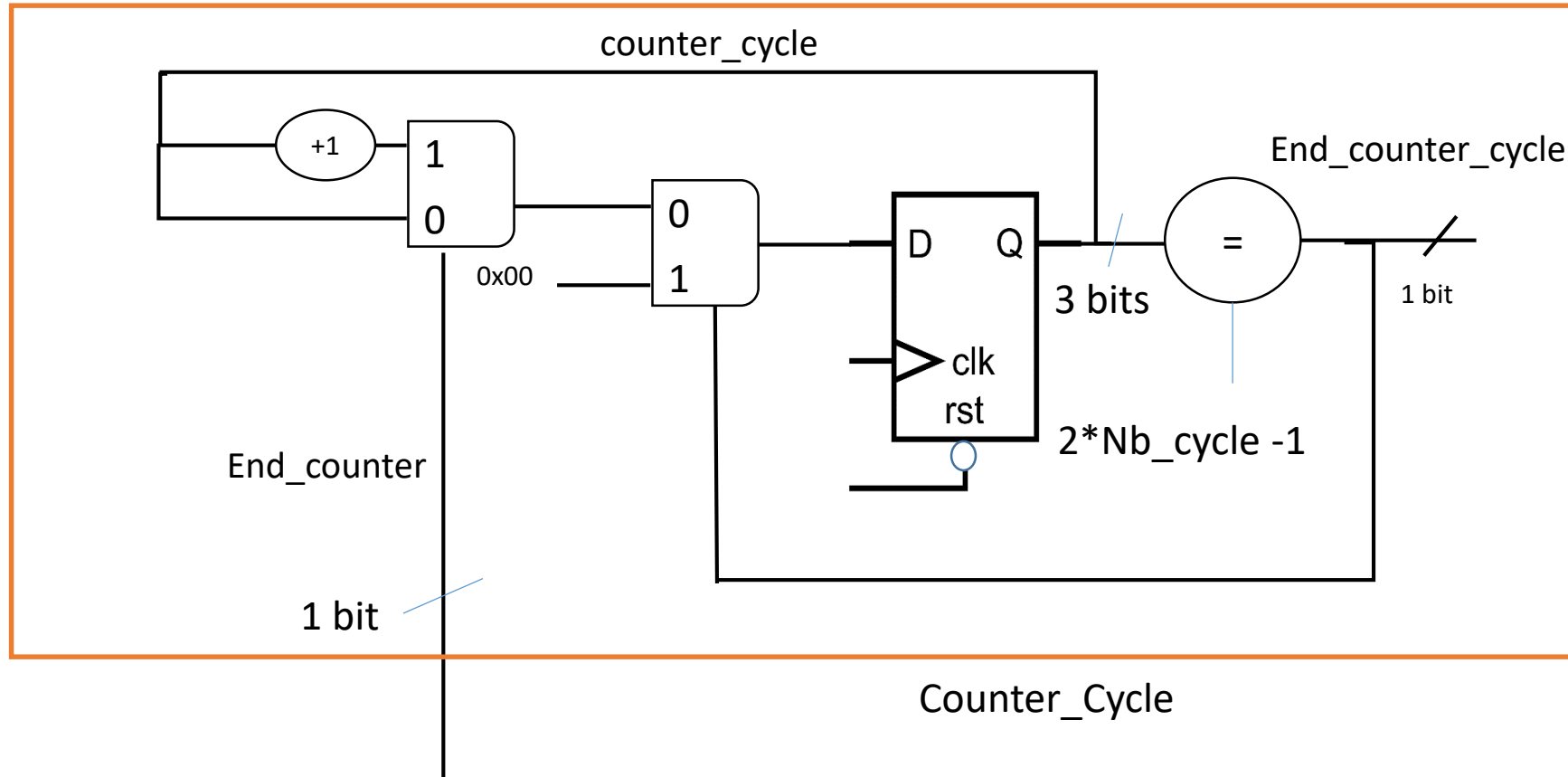
## Architecture du module Counter\_unit



Counter\_Unit

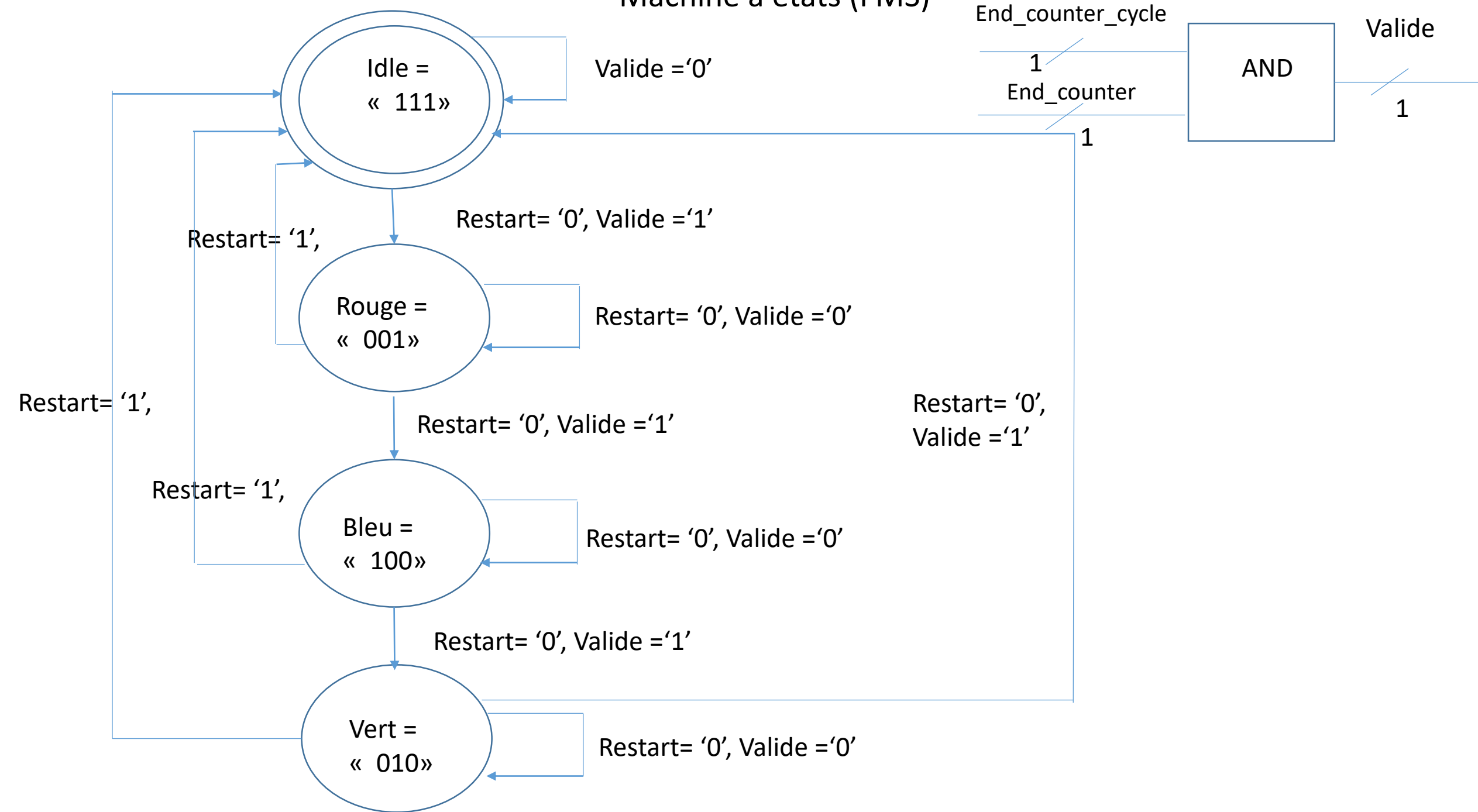
Le module Counter\_unit compte  $Cte = 10^8$  cycles d'horloge (correspondant à 1 s pour l'horloge de 100 MHz).  
Le compteur atteint de la valeur Cte-1 (il commence de 0), le signal end\_counter =1 et le compteur revient à zéro à l'aide d'un multiplexeur.

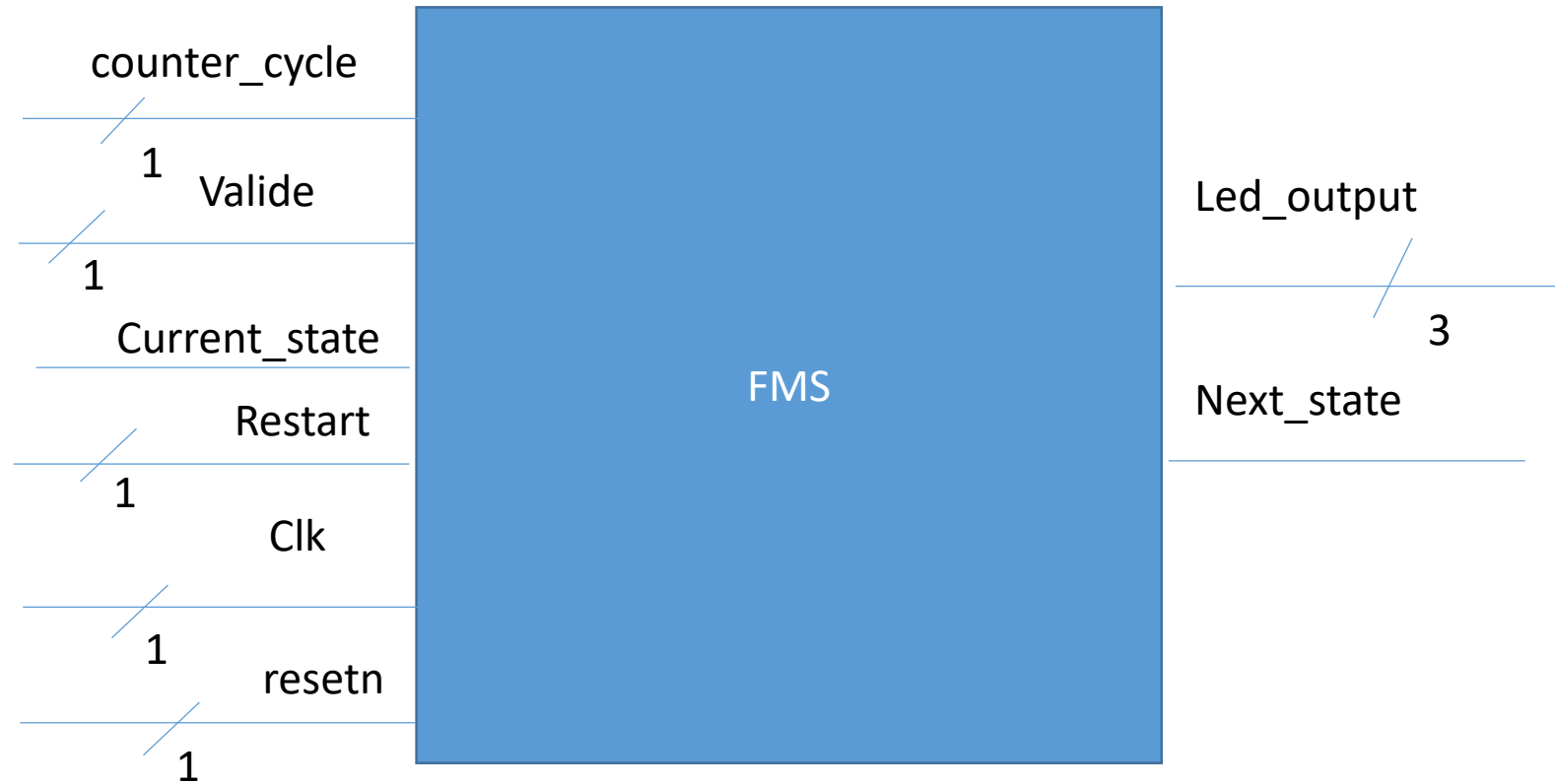
## Architecture du module Counter\_Cycle



Le premier multiplexeur permet d'augmenter la valeur du cycle de counter\_cycle lorsque le signal end\_counter =1.  
Le second multiplexeur permet de remettre à zéro la valeur de counter\_cycle lorsqu'elle atteint la valeur maximale du cycle allumé/éteint.  
End\_counter\_cycle = 1 lorsque le compteur finit de compter le nombre de cycle allumé/éteint.

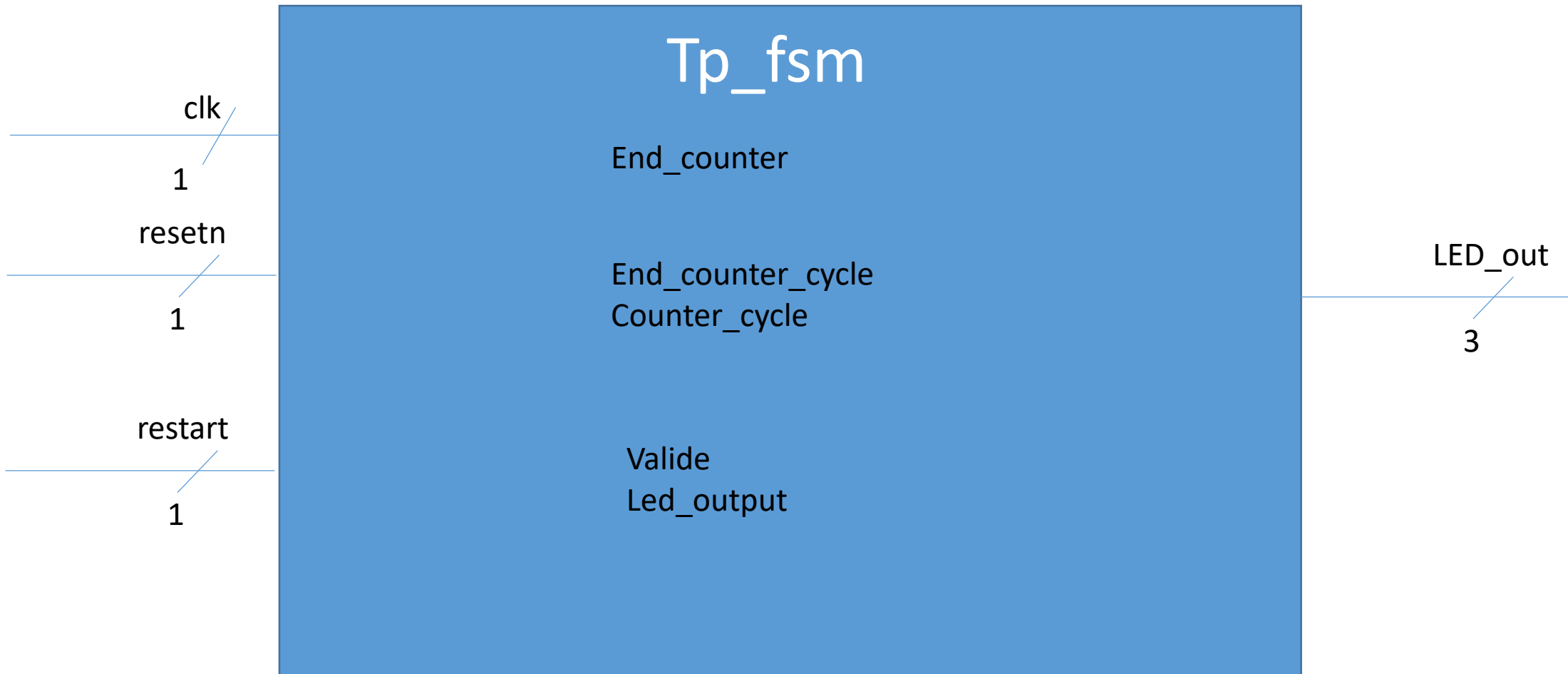
# Machine à états (FMS)





Led\_output = « 000 » si counter\_y=cycle mod 2 =0  
sinon « 111» (pour idle)  
    « 001» (pour rouge)  
    « 100» (pour bleu)  
    « 010» (pour vert)

## Architecture avec les signaux

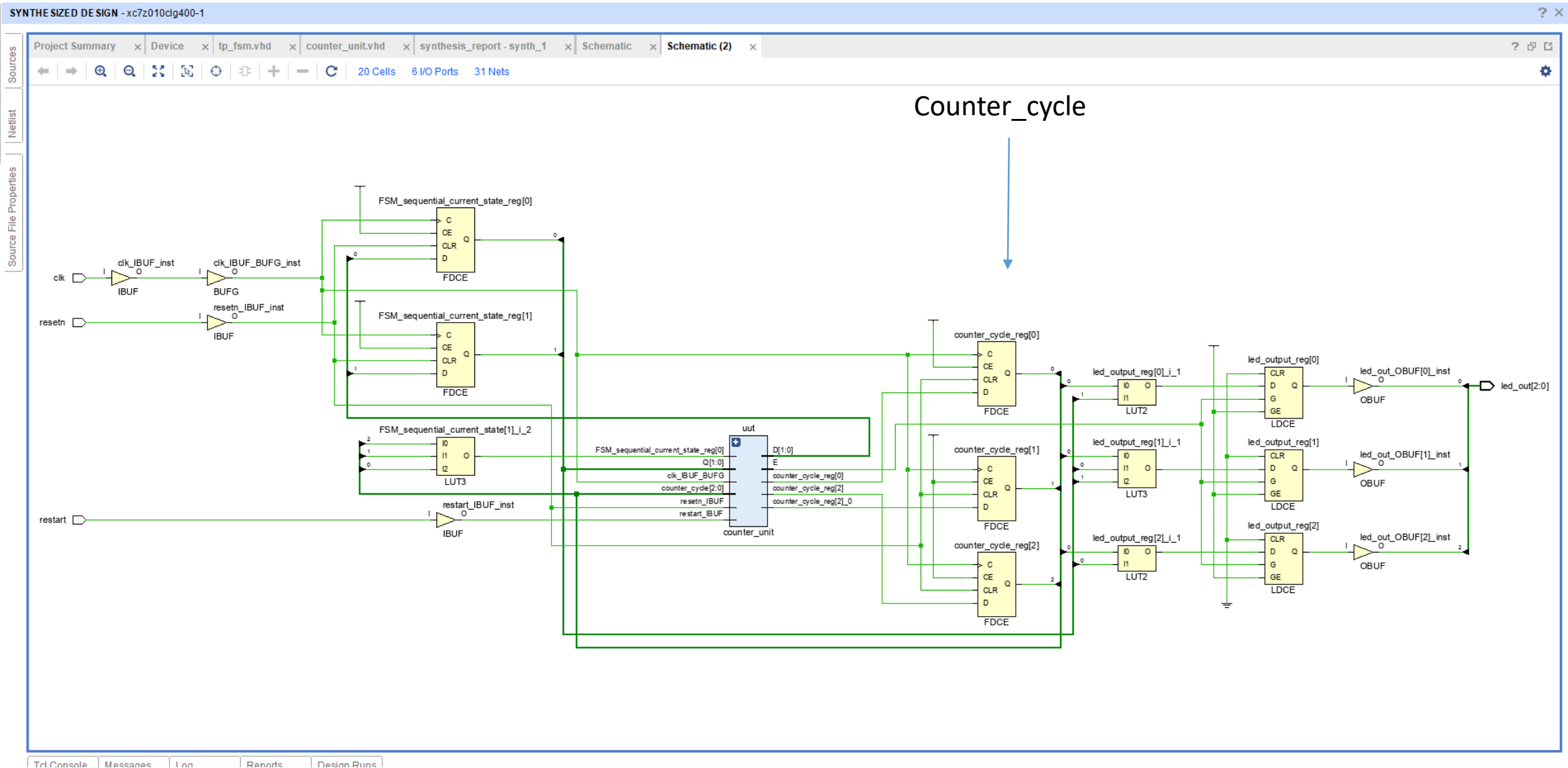


# Chronogramme de simulation pour 100 cycle horloge de counter\_unit



Counter\_cycle compte de 0 à 5, il est égal à 2 fois le nombre de clignotements de la LED . Il est ensuite remis à zéro.  
End\_counter\_cyle prend 1 lorsque counter\_cycle atteint la valeur maximale.  
Le singal valide =1 lorsque la LED a fini de clignoter 3 fois.  
La LED change de couleur après 3 clignotements.

# Schéma de synthèse



# Rapport de synthèse

Report Cell Usage:

	Cell	Count
1	BUFG	1
2	CARRY4	7
3	LUT2	32
4	LUT3	2
5	LUT4	6
6	LUT5	3
7	LUT6	3
8	FDCE	33
9	LD	3
10	IBUF	3
11	OBUF	3

Rapport sur le nombre de registre:

28 registres pour le module counter\_unit

2 registres pour la machine à états

3 registres pour le compteur counter\_cycle

3 registres pour les signaux de sortie led\_out

Total: 36 registres = 33 FDCE + 3 LD

NB: Vivado a utilisé 3 Latch, normalement il faut écrire le code de façon à éviter l'utilisation de Latch.

3 IBUF (input buffer : resetn, restart, clk)

3 OBUF (output buffer : led\_out)

La machine à états avec 4 états: idle, rouge, blue, vert

State	New Encoding	Previous Encoding
idle	00	00
rouge	01	01
blue	10	10
vert	11	11



# Rapport de timming

-----  
Design Timing Summary
-----

WNS(ns)	TNS(ns)	TNS Failing Endpoints	TNS Total Endpoints	WHS(ns)	THS(ns)	THS Failing Endpoints	THS Total Endpoints	WPWS(ns)	TPWS(ns)	TPWS Failing Endpoints	TPWS Total Endpoints
-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----
4.709	0.000	0	33	0.313	0.000	0	33	4.500	0.000	0	34

Le nombre de total négative slack (TNS) est 0, le nombre de total hold slack est 0, donc il n’y a pas problème de timming

Point départ du chemin  
critique  
Q\_reg (23) du module  
counter\_unit

```
-----
Slack (MET) :          4.709ns  (required time - arrival time)
Source:              uut/Q_reg[23]/C
                    (rising edge-triggered cell FDCE clocked by sys_clk_pin  {rise@0.000ns fall@5.000ns period=10.000ns})
Destination:         uut/Q_reg[25]/D
                    (rising edge-triggered cell FDCE clocked by sys_clk_pin  {rise@0.000ns fall@5.000ns period=10.000ns})
Path Group:          sys_clk_pin
Path Type:           Setup (Max at Slow Process Corner)
Requirement:         10.000ns  (sys_clk_pin rise@10.000ns - sys_clk_pin rise@0.000ns)
Data Path Delay:      5.294ns  (logic 2.282ns (43.108%)  route 3.012ns (56.892%))
Logic Levels:        10  (CARRY4=7 LUT2=1 LUT6=2)
Clock Path Skew:      -0.024ns  (DCD - SCD + CPR)
  Destination Clock Delay (DCD):    4.910ns = ( 14.910 - 10.000 )
  Source Clock Delay (SCD):         5.362ns
  Clock Pessimism Removal (CPR):     0.429ns
Clock Uncertainty:     0.035ns  ((TSJ^2 + TIJ^2)^1/2 + DJ) / 2 + PE
  Total System Jitter (TSJ):        0.071ns
  Total Input Jitter (TIJ):         0.000ns
  Discrete Jitter (DJ):             0.000ns
  Phase Error (PE):                0.000ns
```

Point d'arrivée du  
chemin critique  
Q\_reg (25) du module  
counter\_unit