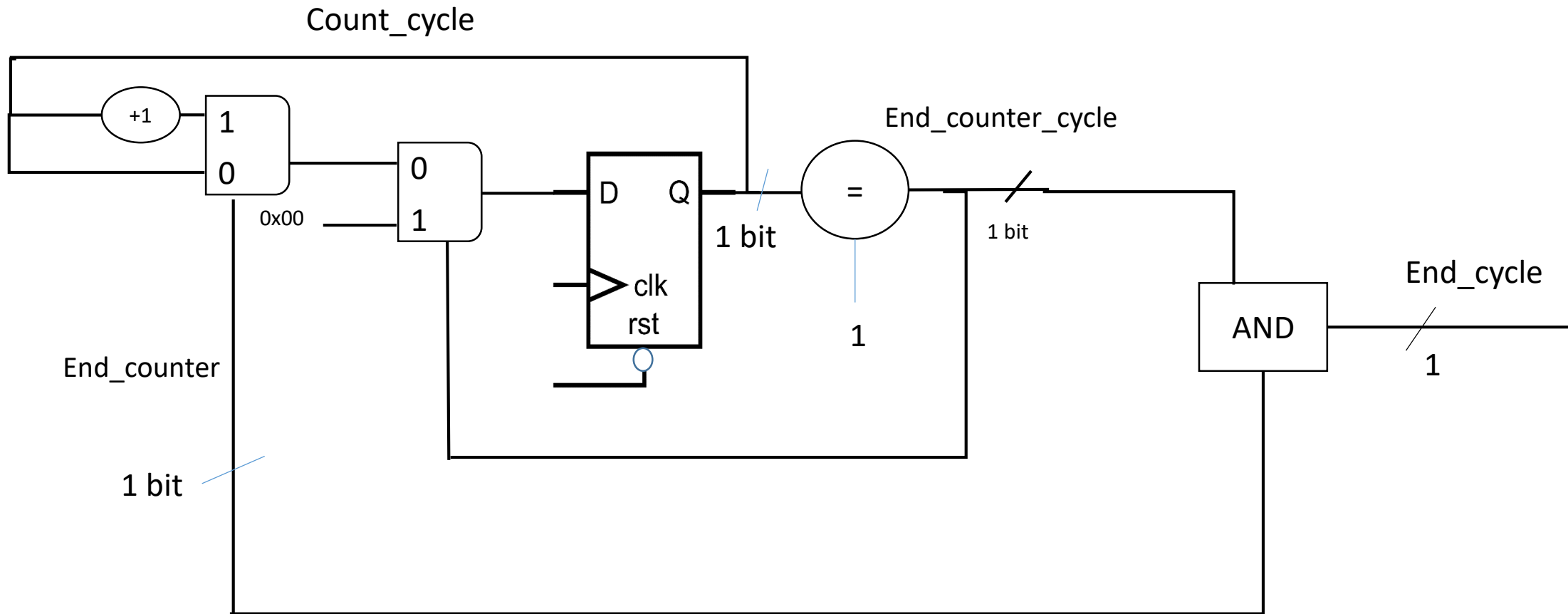


Architecture pour le signal end_cycle

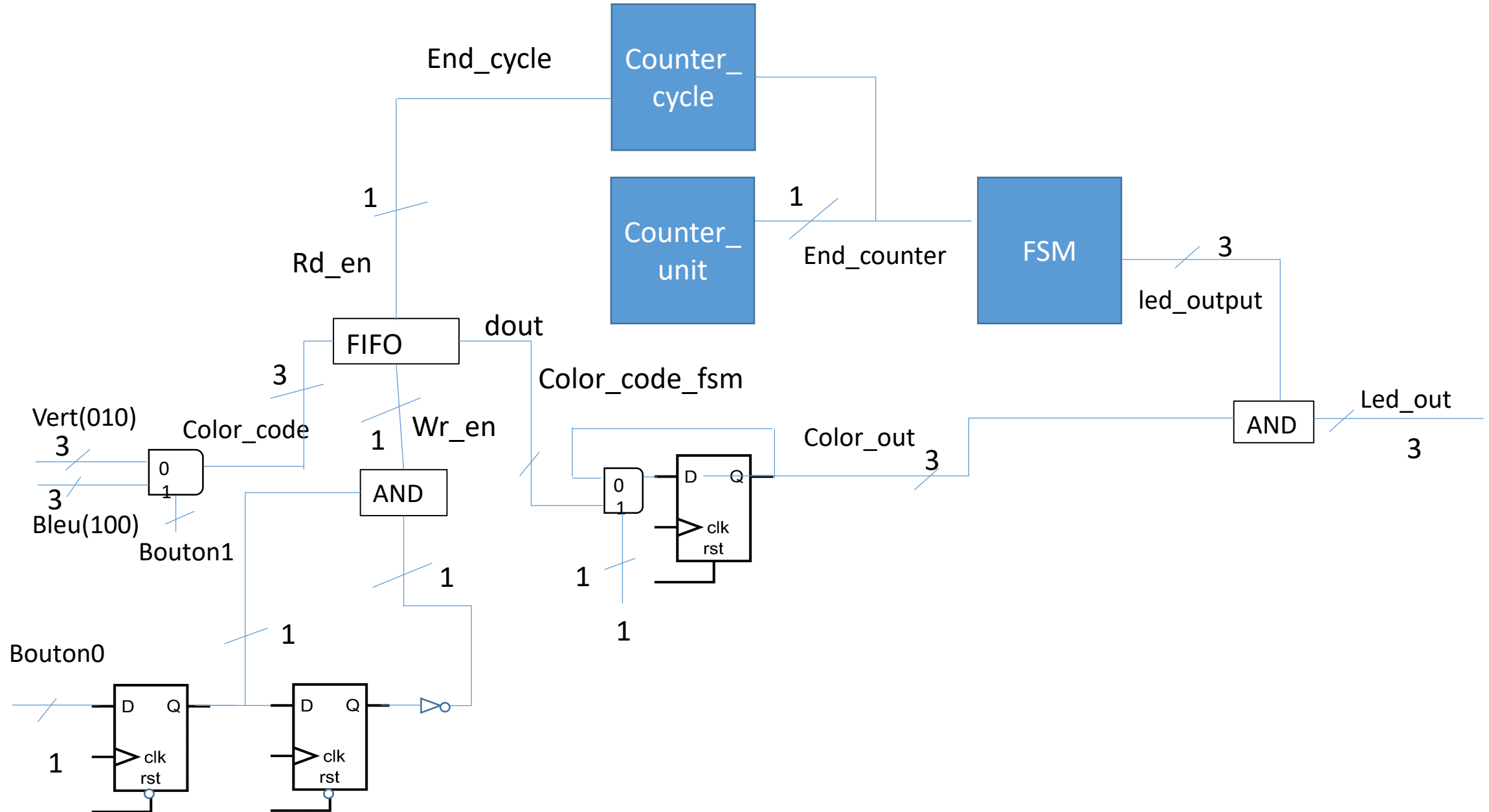


`Count_cycle` count de 0 à 1: 1 cycle allumé/éteint de la LED.

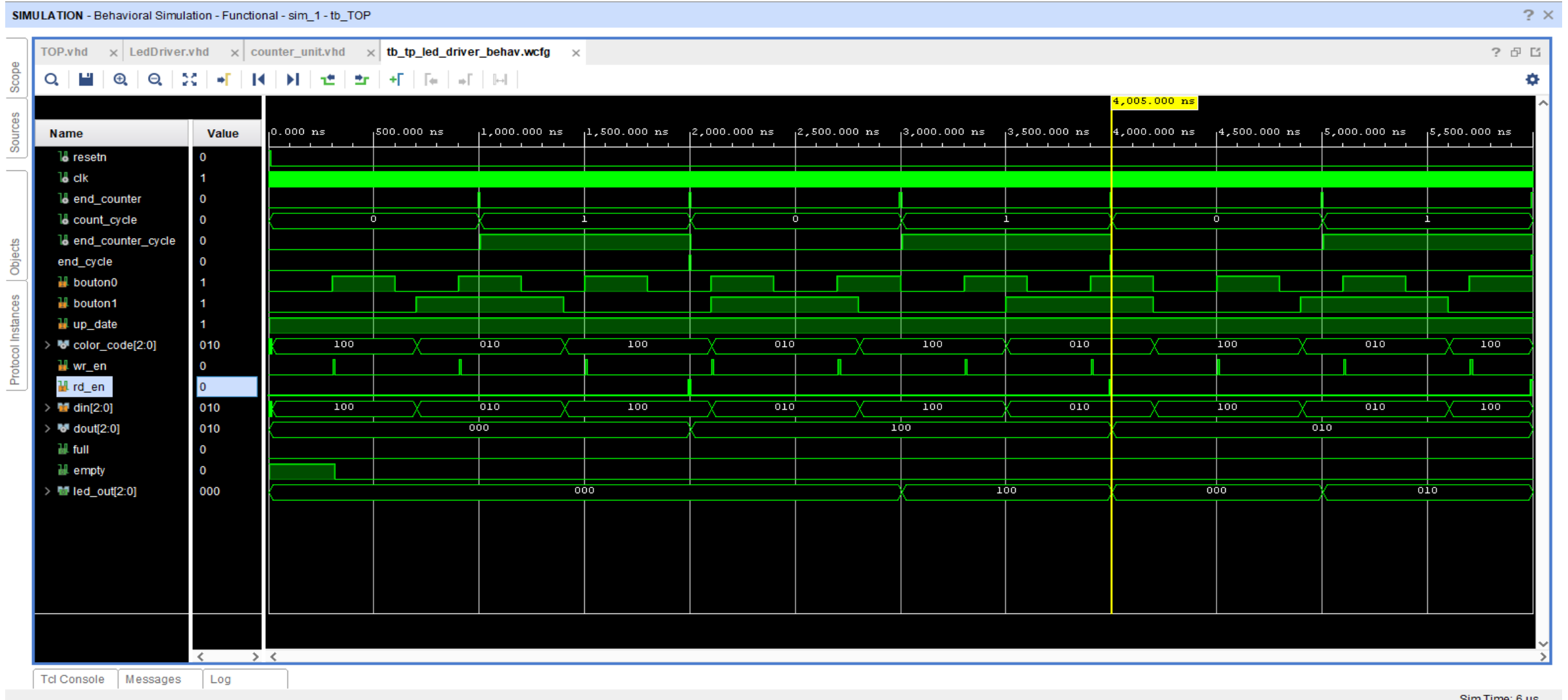
`End_counter_cycle` = 1 si `count_cycle` = 1, sinon `end_counter_cycle` = 0.

A l'aide de porte AND, le signal `end_cycle` = 1 à la fin d'un cycle allumé/éteint et dure une période d'horloge.

Architecture LED_driver avec FIFO générateur



Résultat de simulation pour 100 cycle d'horloge de module counter_unit



Le signal end_cycle=1 à la fin d'un cycle allumé/éteint de la LED.

Le signal d'entrée de la FIFO, din, prend la valeur de color_code. Lorsque wr_en est actif (=1), la FIFO stocke la valeur de din et la transmet à la sortie, dout, lorsque rd_en =1.

Schéma de synthèse

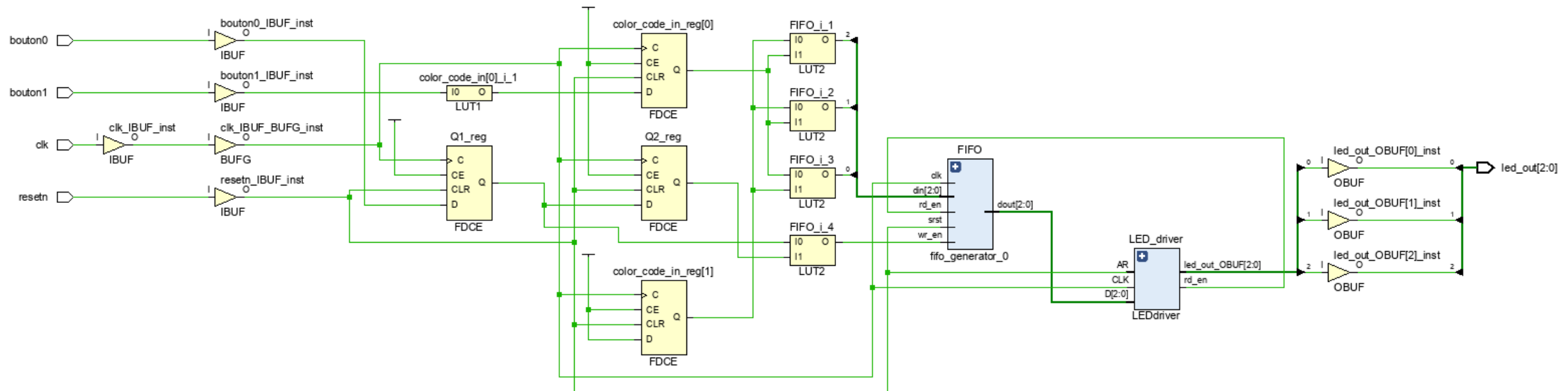
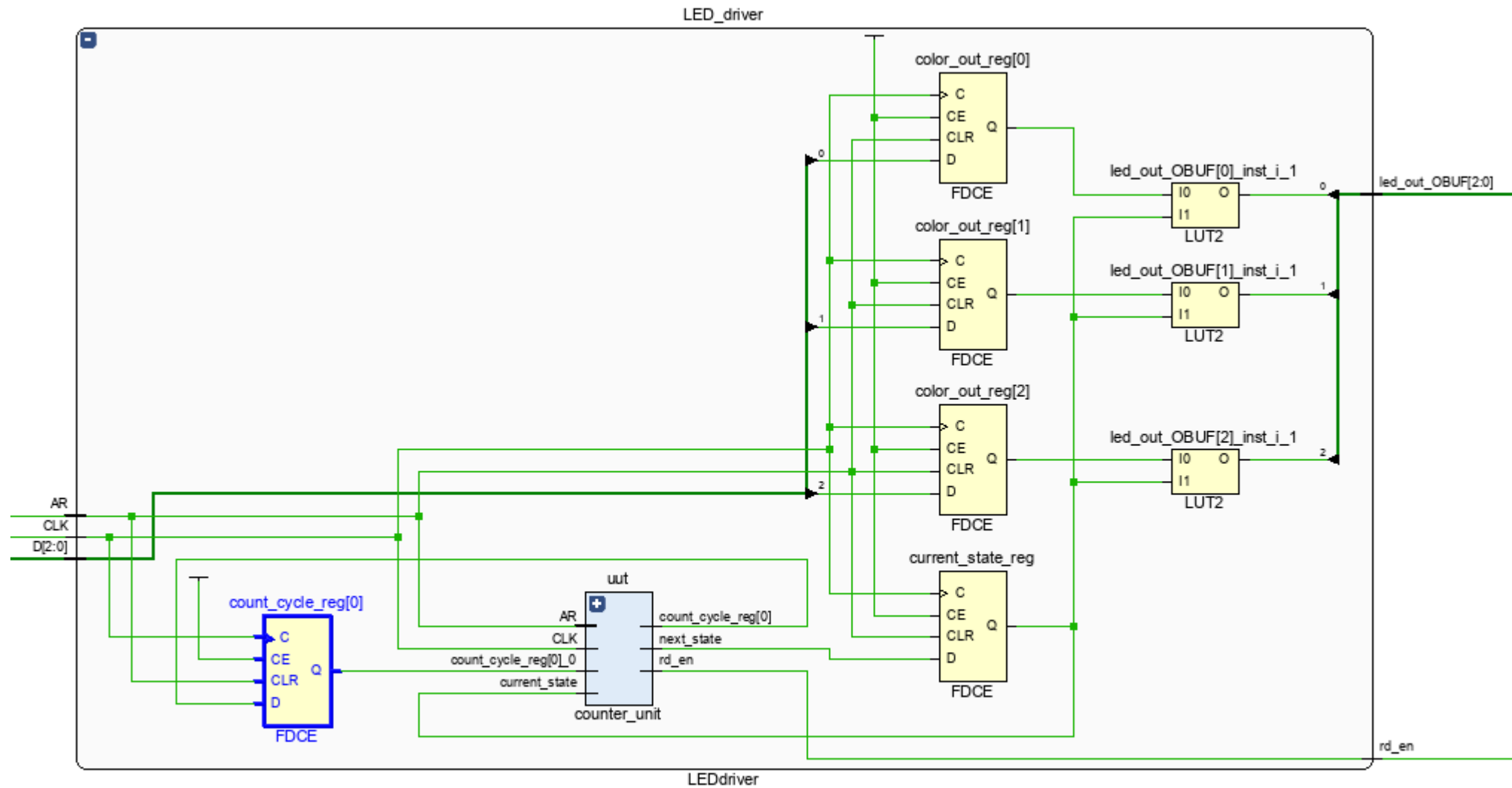


Schéma de synthèse du module LED_driver



Rapport de synthèse

Report Cell Usage:

	Cell	Count
1	fifo_generator	1
2	BUFG	1
3	CARRY4	7
4	LUT1	1
5	LUT2	39
6	LUT4	4
7	LUT6	3
8	FDCE	37
9	IBUF	4
10	OBUF	3

1 FIFO générateur

Nombre de registre:

28 registres pour module conuter_unit

2 registres pour faire rentrer color_code, vert ou bleu

3 registres pour color_out

1 registres pour la machine à état,

2 registres pour créer le pulse signal de wr_en

1 registre pour créer le signal end_cycle

Total = 37 registres

Nombre de registre est correspondent a schéma RTL

IBUF: clk, resetn, bouton0, bouton1

OBUF: led_out (3 bits)

Rapport de timing

WNS(ns)	TNS(ns)	TNS Failing Endpoints	TNS Total Endpoints	WHS(ns)	THS(ns)	THS Failing Endpoints	THS Total Endpoints	WPWS(ns)	TPWS(ns)	TPWS Failing Endpoints	TPWS Total Endpoints
4.554	0.000	0	145	0.082	0.000	0	145	4.500	0.000	0	84

Le nombre de total négative slack (TNS) est 0, le nombre de total hold slack est 0, donc il n’y a pas problème de timming.

Point départ du chemin
critique:
Q_reg (3) du module
counter_unit

Slack (MET) : 4.554ns (required time - arrival time)

Source: LED_driver/uut/Q_reg[3]/C
(rising edge-triggered cell FDCE clocked by sys_clk_pin {rise@0.000ns fall@5.000ns period=10.000ns})

Destination: FIFO/U0/inst_fifo_gen/gconvfifo.rf/grf.rf/gntv_or_sync_fifo.gl0.rd/rpntr/gc0.count_dl_reg[0]/CE
(rising edge-triggered cell FDRE clocked by sys_clk_pin {rise@0.000ns fall@5.000ns period=10.000ns})

Path Group: sys_clk_pin

Path Type: Setup (Max at Slow Process Corner)

Requirement: 10.000ns (sys_clk_pin rise@10.000ns - sys_clk_pin rise@0.000ns)

Data Path Delay: 4.866ns (logic 0.982ns (20.180%) route 3.884ns (79.820%))

Logic Levels: 4 (LUT2=2 LUT4=1 LUT6=1)

Clock Path Skew: -0.137ns (DCD - SCD + CPR)

Destination Clock Delay (DCD): 4.834ns = (14.834 - 10.000)

Source Clock Delay (SCD): 5.361ns

Clock Pessimism Removal (CPR): 0.391ns

Clock Uncertainty: 0.035ns $((TSJ^2 + TIJ^2)^{1/2} + DJ) / 2 + PE$

Total System Jitter (TSJ): 0.071ns

Total Input Jitter (TIJ): 0.000ns

Discrete Jitter (DJ): 0.000ns

Point d'arrivée du
chemin critique:
FIFO