

Universidade Estadual de Maringá Centro de Tecnologia



DEPARTAMENTO DE INFORMÁTICA

Lista de Exercícios - 01

1.	Quais os motivos que levaram ao desenvolvimento da linguagem de descrição de hardware.		
2.	O que significa HDL e para que serve? Dê exemplos de HDLs.		
3.	O que significa o acrônimo VHDL?		
4.	Marque nas sentenças a seguir (1) para identificar vantagens e (2) para identificar desvantagens do uso de VHDL. () Projeto independente da tecnologia () Hardware gerado é menos otimizado () Facilidade na atualização dos projetos () Falta de pessoal treinado para lidar com a linguagem () Redução do tempo de projeto e custo () Simulações geralmente mais lentas que outras implementações () Eliminação de erros de baixo nível () Simplificação da documentação		
5.	Das características da linguagem VHDL identifique as sentenças verdadeiras (V) e falsas (F): () VHDL é análogo a uma linguagem de programação. () Sintaxe em VHDL não é similar à sintaxe das linguagens Ada e Pascal. () VHDL deve ser descrito após a arquitetura, e não a arquitetura após a VHDL. () VHDL não provê mecanismos para modelar a concorrência e sincronização que ocorrem no nível físico no hardware. () O código em VHDL é executado em um simulador, não há um "executável". () Permite, através de simulação, verificar o comportamento do sistema digital. () Permite descrever hardware em níveis de abstração, tais como: Comportamental, RTL e Estrutural. () Não favorece projeto "top-down".		
6.	Identifique as diferença	as entre VHDL (1) e linguagens de programação	0 (2).
	Propósito	() Hardware	() Software
	Entrada	() Texto e Ferramentas Visuais	() Texto e Ferramentas Visuais
	Desenvolvimento	() Compilação e Ligação/interpretação	() Compilação para Simulação e Síntese para Hardware
	Depuração	() Execução e Visualização dos Resultados	() Simulação e Visualização das formas de ondas
	Instruções	() Concorrentes e sequenciais	() Somente sequenciais
7.	Quanto a síntese em VHDL marque verdadeiro (V) ou falso (F) para as sentenças a seguir: () A modelagem em RTL é 100% sintetizável. () A descrição VHDL comportamental não depende da ferramenta de síntese utilizada. () A modelagem RTL é 50% sintetizável. () A descrição VHDL comportamental não depende das construções VHDL utilizadas no código. () A descrição VHDL comportamental depende da ferramenta de síntese utilizada e das construções VHDL utilizadas no código.		
8.	. A estrutura básica de um código em VHDL consiste em três partes: (1) declarações de bibliotecas		

9. Na figura a seguir identifique e defina quem é Entidade e quem é Arquitetura:

(2) entidade e (3) arquitetura:

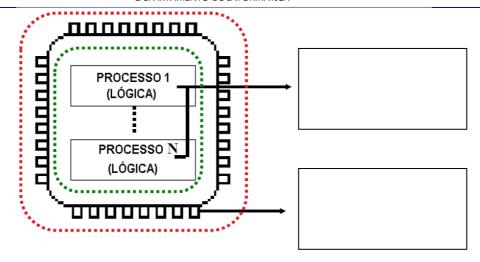
() Verdadeiro () Falso



Universidade Estadual de Maringá Centro de Tecnologia



DEPARTAMENTO DE INFORMÁTICA



- 10. Para implementação no nível de portas lógicas quais as arquiteturas possíveis em VHDL? Descreva cada uma delas.
- 11. Obtenha as entidades dos circuitos apresentados nas Figuras 1, 2 e 3.

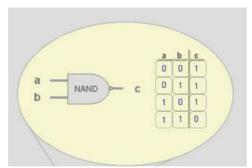


Figura 1

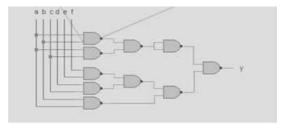


Figura 2

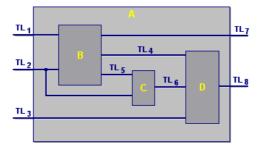


Figura 3