



Circuitos Digitais II - 6882

André Barbosa Verona
Nardênio Almeida Martins

Universidade Estadual de Maringá
Departamento de Informática

Bacharelado em Ciência da Computação

Aula de Hoje

Projeto e Simulação dos seguintes circuitos usando pacotes:

1. Decodificador 2x4
2. Somador Completo de 1 bit
3. Subtrator Completo de 1 bit

Decodificador

Decodificador 2x4



TV do Decodificador

Entradas		Saídas			
S_1	S_0	D_0	D_1	D_2	D_3
0	0	1	0	0	0
0	1	0	1	0	0
1	0	0	0	1	0
1	1	0	0	0	1

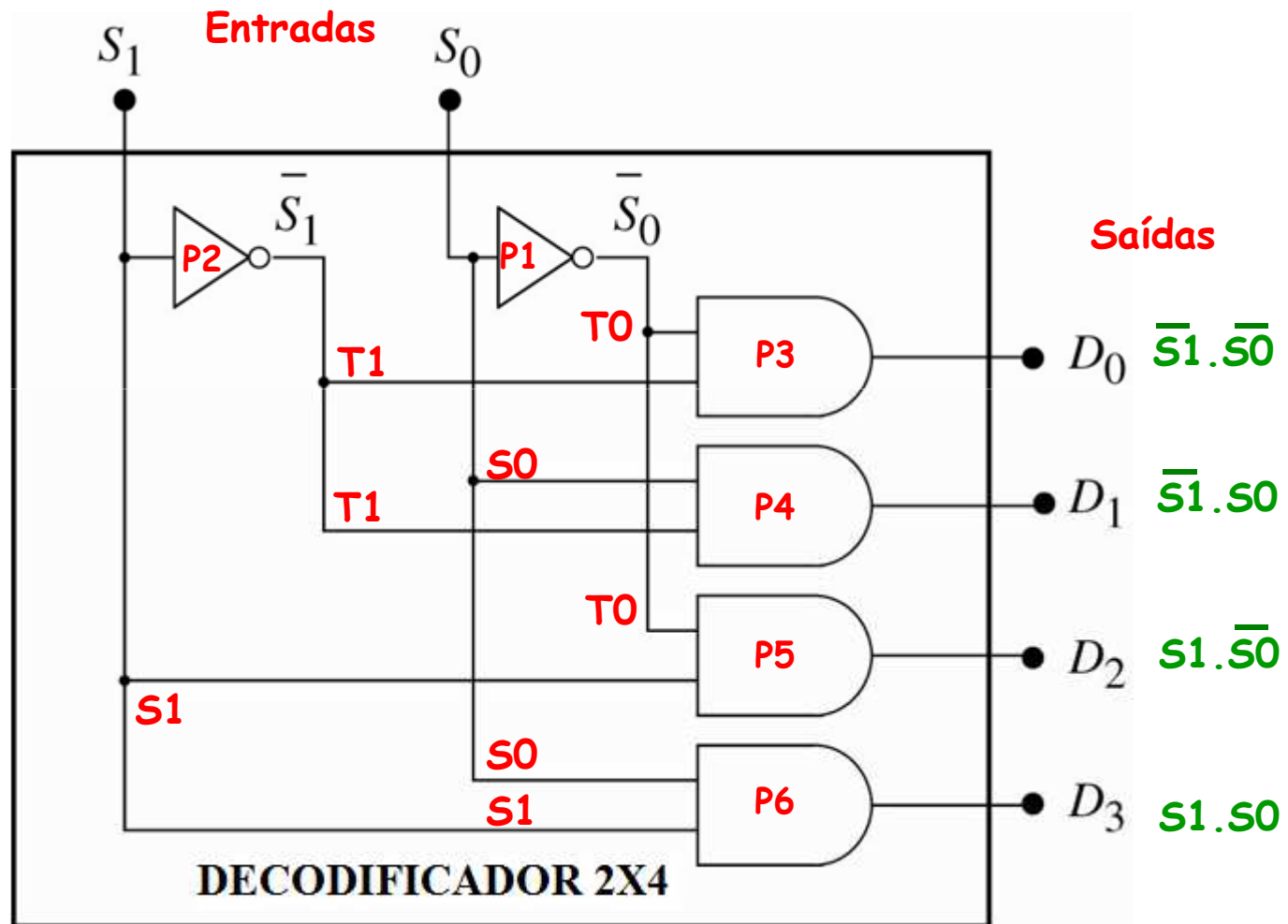
$$D_0 = \overline{S_1} \cdot \overline{S_0}$$

$$D_1 = \overline{S_1} \cdot S_0$$

$$D_2 = S_1 \cdot \overline{S_0}$$

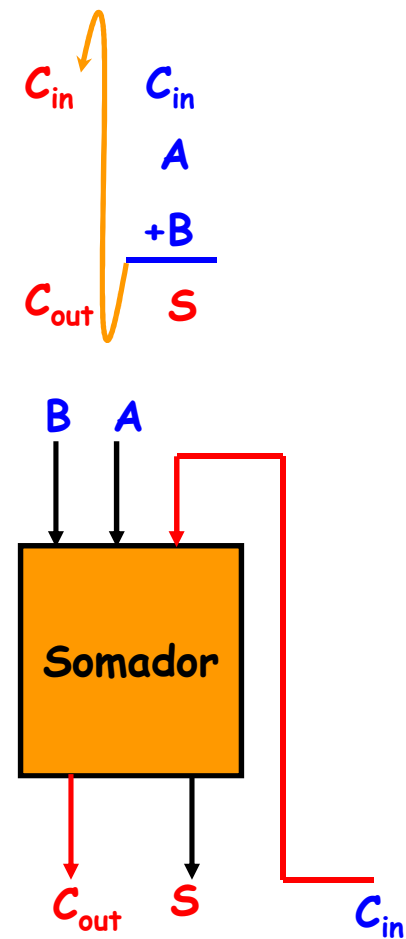
$$D_3 = S_1 \cdot S_0$$

Circuito do Decodificador



TV do Somador

Entradas			Saídas	
A	B	C_{in}	S	C_{out}
0	0	0	0	0
0	0	1	1	0
0	1	0	1	0
0	1	1	0	1
1	0	0	1	0
1	0	1	0	1
1	1	0	0	1
1	1	1	1	1

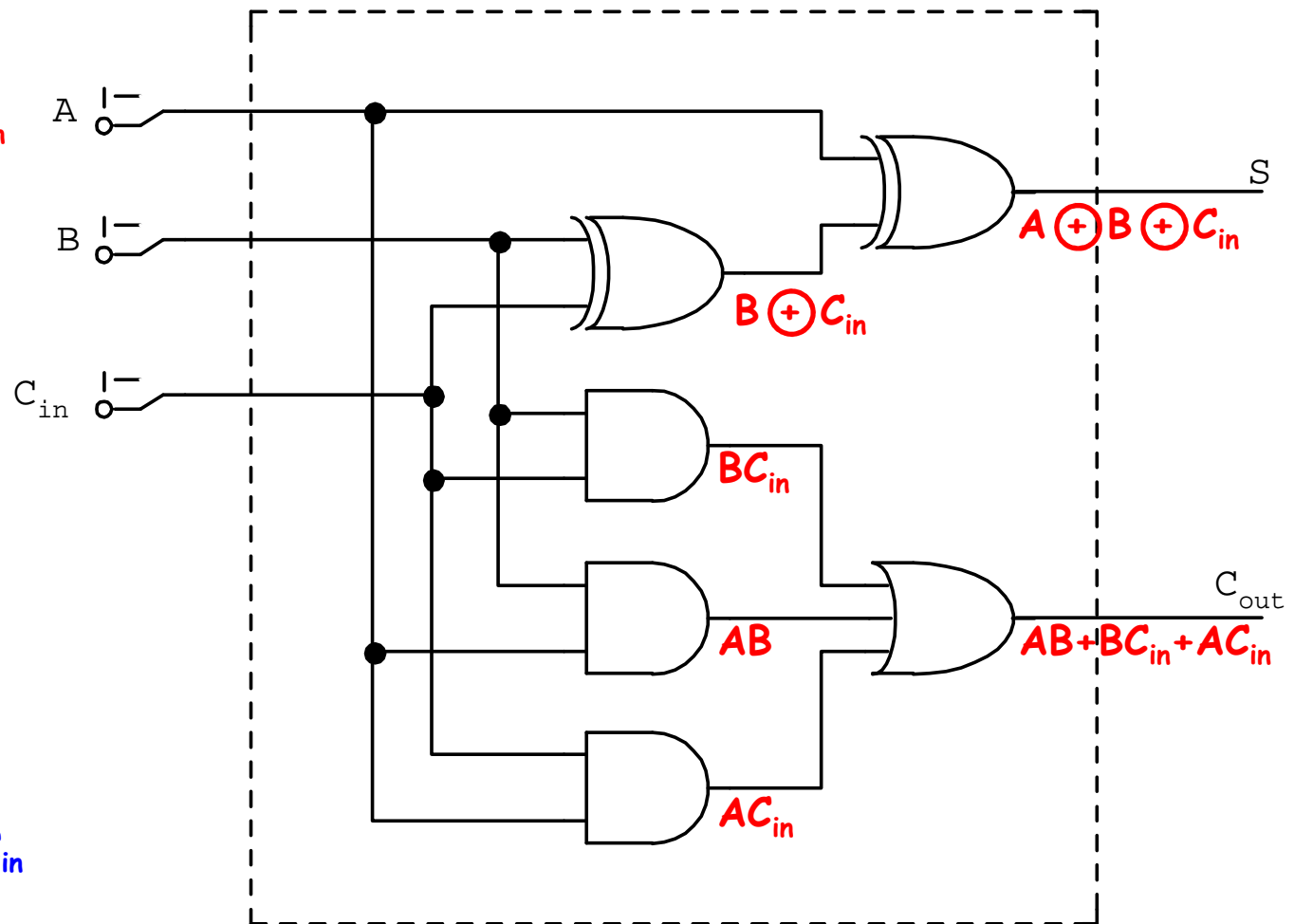
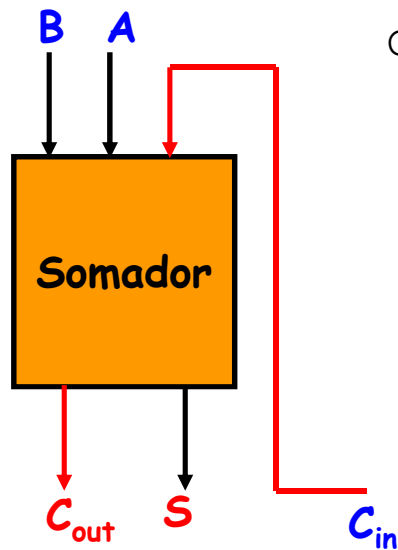


Circuito do Somador

Circuito Somador

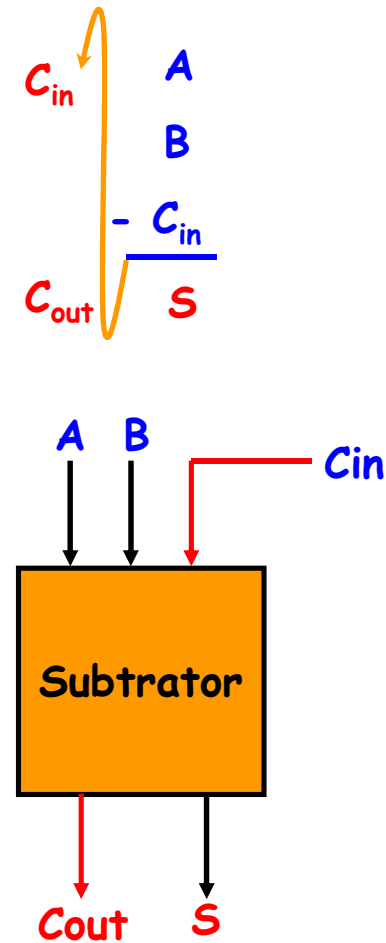
$$S = A \oplus B \oplus C_{in}$$

$$C_{out} = AB + BC_{in} + AC_{in}$$



TV do Subtrator

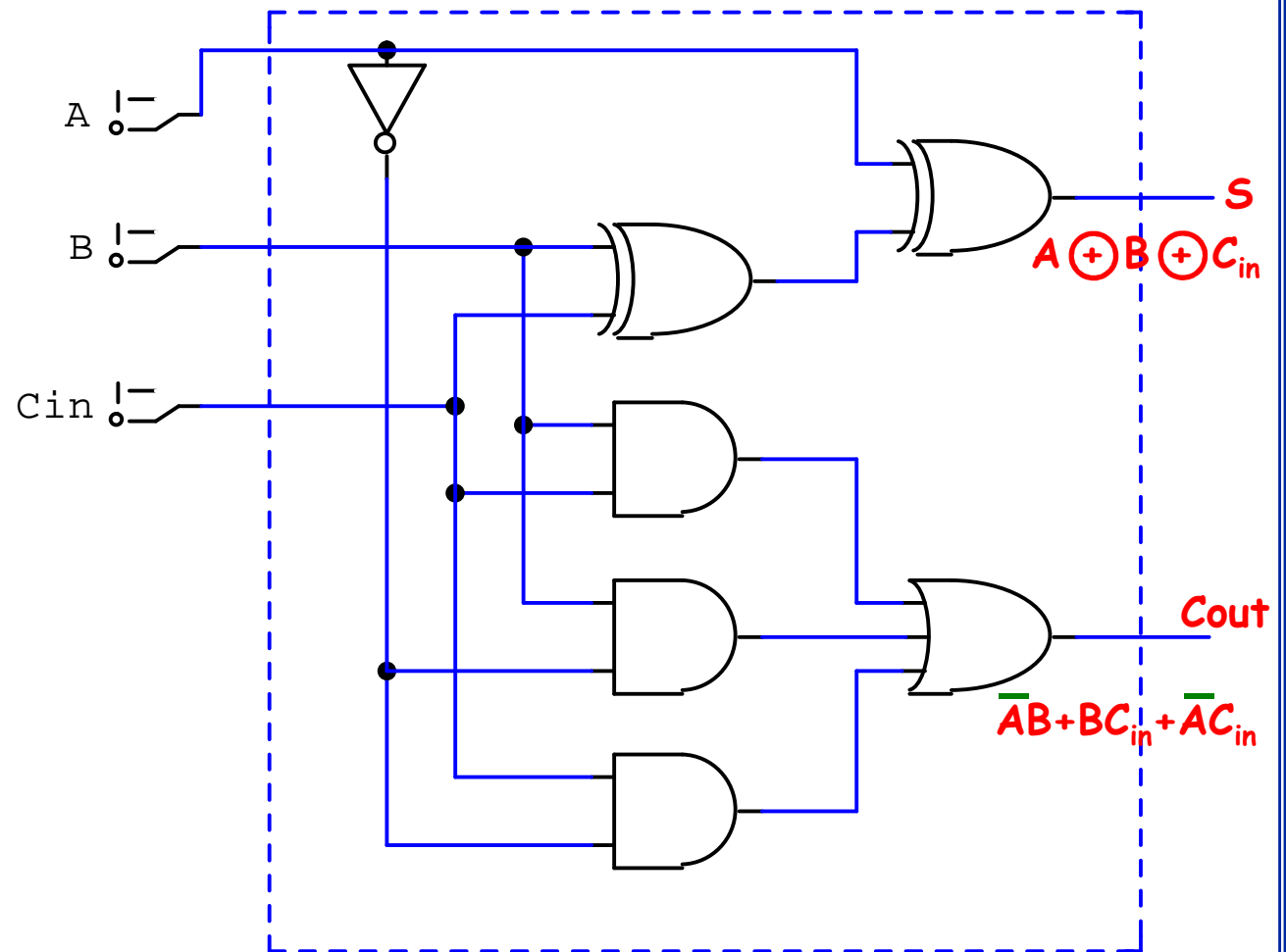
Entradas			Saídas	
A	B	C_{in}	S	C_{out}
0	0	0	0	0
0	0	1	1	1
0	1	0	1	1
0	1	1	0	1
1	0	0	1	0
1	0	1	0	0
1	1	0	0	0
1	1	1	1	1



Circuito do Subtrator

Circuito Subtrator

$$S = A \oplus B \oplus C_{in}$$
$$C_{out} = \overline{A}B + BC_{in} + \overline{A}C_{in}$$



Uso de Pacotes em VHDL

Criar as seguintes pastas dentro do diretório "work":

1. not_1
2. and_2
3. or_3
4. xor_2
5. deco2to4
6. somador
7. subtrator

Uso de Pacotes em VHDL

Criar os componentes para as portas lógicas NOT, AND de 2 entradas, XOR de 2 entradas, OR de 3 entradas e salvar o código VHDL nas respectivas pastas:

1. NOT_1
2. AND_2
3. OR_3
4. XOR_2

OBS 1:

- Salvar apenas os códigos em VHDL (extensão .VHD) com os mesmos nomes das respectivas pastas (não precisa criar o projeto).

Uso de Pacotes em VHDL

Código para a porta lógica NOT (Criação do Componente):

```
LIBRARY ieee;  
USE ieee.std_logic_1164.all;  
  
ENTITY not_1 IS  
    PORT (x: IN bit;  
          z: OUT bit);  
END not_1;  
  
ARCHITECTURE logica1 OF not_1 IS  
BEGIN  
    z<= not x;  
END logica1;
```

Uso de Pacotes em VHDL

Código para a porta lógica AND (Criação do Componente):

```
LIBRARY ieee;  
USE ieee.std_logic_1164.all;  
  
ENTITY and_2 IS  
    PORT (x, y: IN bit;  
          z: OUT bit);  
END and_2;  
  
ARCHITECTURE logica2 OF and_2 IS  
BEGIN  
    z <= x and y;  
END logica2;
```

Uso de Pacotes em VHDL

Código para a porta lógica OR (Criação do Componente):

```
LIBRARY ieee;  
USE ieee.std_logic_1164.all;  
  
ENTITY or_3 IS  
    PORT (x, y, w: IN bit;  
          z: OUT bit);  
END or_3;  
  
ARCHITECTURE logica4 OF or_3 IS  
BEGIN  
    z<= x or y or w;  
END logica4;
```

Uso de Pacotes em VHDL

Código para a porta lógica XOR (Criação do Componente):

```
LIBRARY ieee;  
USE ieee.std_logic_1164.all;  
  
ENTITY xor_2 IS  
    PORT (x, y: IN bit;  
          z: OUT bit);  
END xor_2;  
  
ARCHITECTURE logica3 OF xor_2 IS  
BEGIN  
    z<= x xor y;  
END logica3;
```

Uso de Pacotes em VHDL

Criar os pacotes para os seguintes circuitos:

1. Decodificador 2x4
2. Somador de 1 bit
3. Subtrator de 1 bit

OBS 2:

- **Salvar os códigos dos pacotes no diretório work.**
- **Os nomes dos pacotes são:**
 - deco2to4_package.vhd
 - somador_package.vhd
 - subtrator_package.vhd

Uso de Pacotes em VHDL

Código para o pacote deco2to4_package (Criação do Pacote):

```
LIBRARY ieee;  
USE ieee.std_logic_1164.all;  
PACKAGE deco2to4_package IS  
  COMPONENT not_1  
    PORT (x: IN bit;  
          z: OUT bit);  
  END COMPONENT;  
  COMPONENT and_2  
    PORT (x, y: IN bit;  
          z: OUT bit);  
  END COMPONENT;  
END deco2to4_package;
```

Uso de Pacotes em VHDL

Código para o pacote somador_package (Criação do Pacote):

```
LIBRARY ieee;  
USE ieee.std_logic_1164.all;  
PACKAGE somador_package IS  
  COMPONENT xor_2  
    PORT (x, y: IN bit;  
          z: OUT bit);  
  END COMPONENT;  
  COMPONENT and_2  
    PORT (x, y: IN bit;  
          z: OUT bit);  
  END COMPONENT;
```

```
  COMPONENT or_3  
    PORT (x, y, w: IN bit;  
          z: OUT bit);  
  END COMPONENT;  
END somador_package;
```

Uso de Pacotes em VHDL

Código para o pacote subtrator_package (Criação do Pacote):

```
LIBRARY ieee;  
USE ieee.std_logic_1164.all;  
PACKAGE subtrator_package IS  
  COMPONENT not_1  
    PORT (x: IN bit;  
          z: OUT bit);  
  END COMPONENT;  
  COMPONENT xor_2  
    PORT (x, y: IN bit;  
          z: OUT bit);  
  END COMPONENT;
```

```
  COMPONENT and_2  
    PORT (x, y: IN bit;  
          z: OUT bit);  
  END COMPONENT;  
  COMPONENT or_3  
    PORT (x, y, w: IN bit;  
          z: OUT bit);  
  END COMPONENT;  
END subtrator_package;
```

Uso de Pacotes em VHDL

Criar os projetos para os seguintes circuitos:

1. Decodificador 2x4
2. Somador de 1 bit
3. Subtrator de 1 bit

OBS 3:

○ Na janela de adição de arquivos, adicione os seguintes arquivos ao projeto:

○ Para o decodificador:

○ and_2.vhd, not_1.vhd, deco2to4_package.vhd

○ Para o somador:

○ and_2.vhd, xor_2.vhd, or_3.vhd, somador_package.vhd

○ Para o subtrator:

○ and_2.vhd, not_1.vhd, xor_2.vhd, or_3.vhd, subtrator_package.vhd

Uso de Pacotes em VHDL

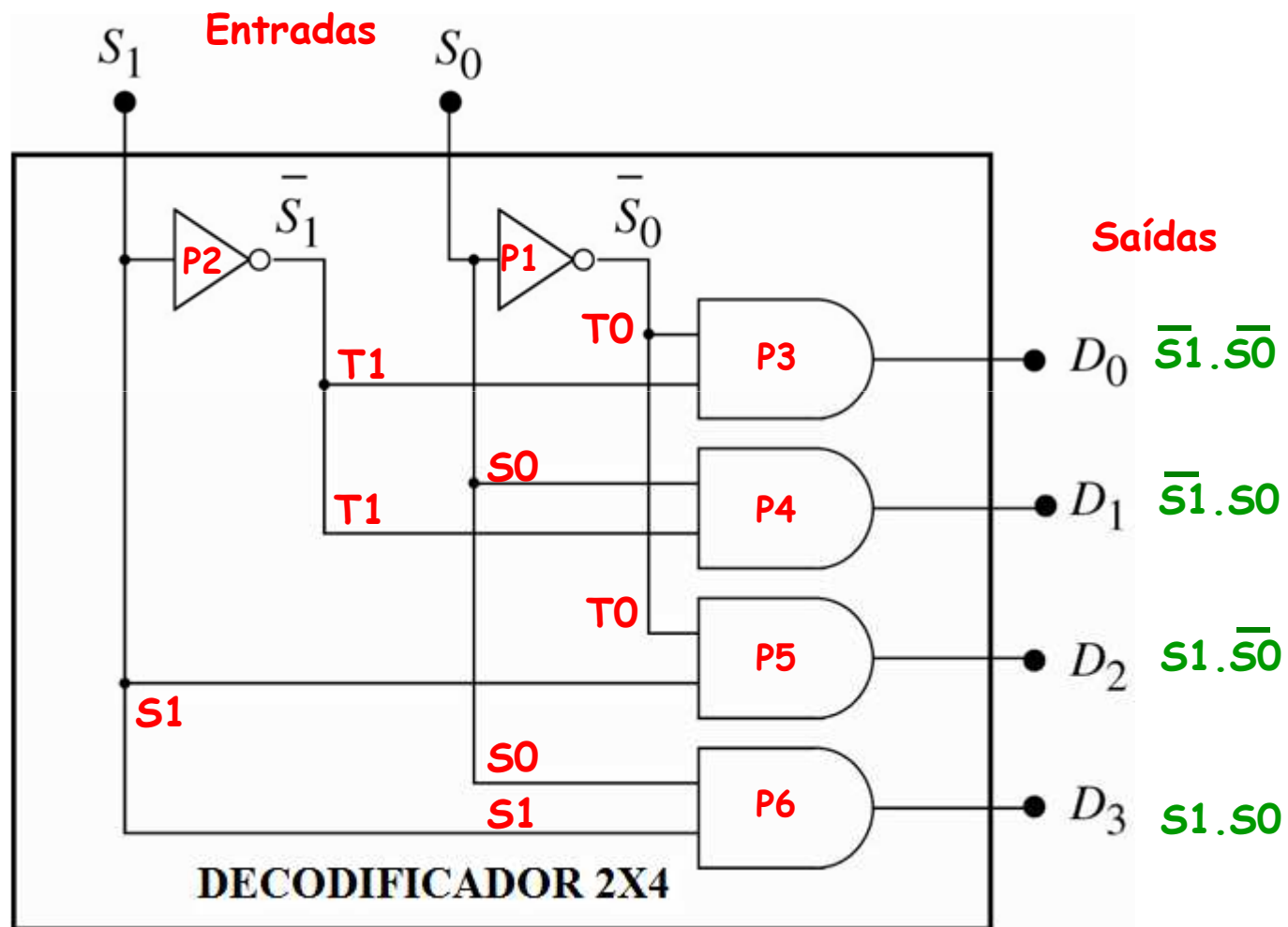
Criar os projetos para os seguintes circuitos:

1. Decodificador 2x4
2. Somador de 1 bit
3. Subtrator de 1 bit

OBS 4:

- Criar e salvar os códigos em VHDL dos projetos, isto é, deco2to4.vhd, somador.vhd, subtrator.vhd.
- Compilar e simular cada projeto.
- **END TIME:** para decodificador 2X4 40 ns, somador de 1 bit 80 ns e subtrator de 1 bit 80 ns.
- Para verificar que os arquivos foram devidamente adicionados acesse o menu **ASSIGNMENTS => SETTINGS => FILES**

Circuito do Decodificador



Uso de Pacotes em VHDL

Código para o projeto decodificador 2X4 (Criação do Projeto):

```
LIBRARY ieee;  
USE ieee.std_logic_1164.all;  
  
--LIBRARY work;  
USE work.deco2to4_package.all;  
  
ENTITY deco2to4 IS  
    PORT (s1, s0: IN BIT;  
          d3,d2,d1,d0: OUT BIT);  
END deco2to4;
```

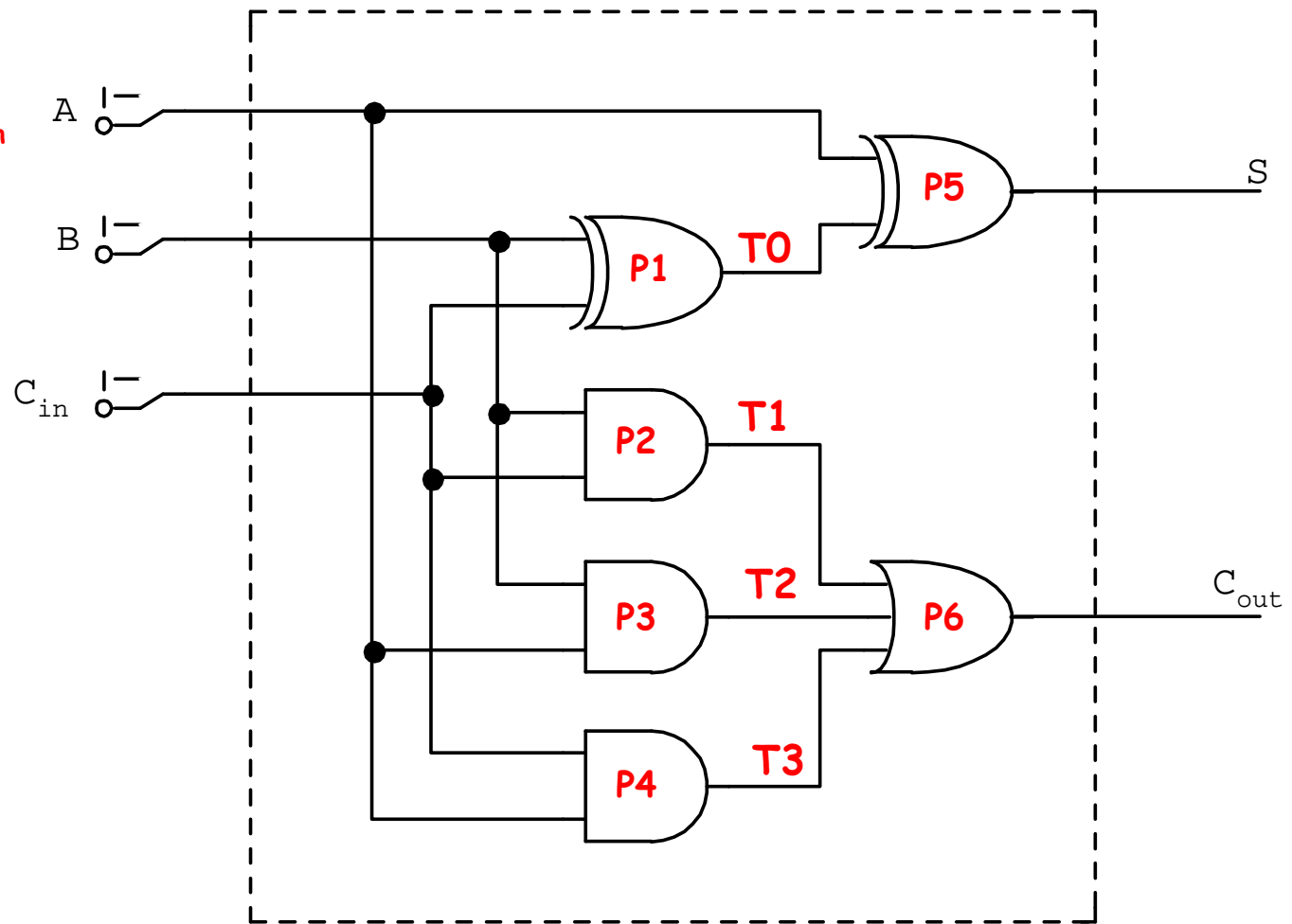
```
ARCHITECTURE teste OF deco2to4 IS  
    SIGNAL t0,t1: BIT;  
BEGIN  
    P1: not_1 PORT MAP (s0, t0);  
    P2: not_1 PORT MAP (s1, t1);  
    P3: and_2 PORT MAP (t0, t1, d0);  
    P4: and_2 PORT MAP (s0, t1, d1);  
    P5: and_2 PORT MAP (t0, s1, d2);  
    P6: and_2 PORT MAP (s0, s1, d3);  
END teste;
```

Circuito do Somador

Circuito Somador

$$S = A \oplus B \oplus C_{in}$$

$$C_{out} = AB + BC_{in} + AC_{in}$$



Uso de Pacotes em VHDL

Código para o projeto somador de 1 bit (Criação do Projeto):

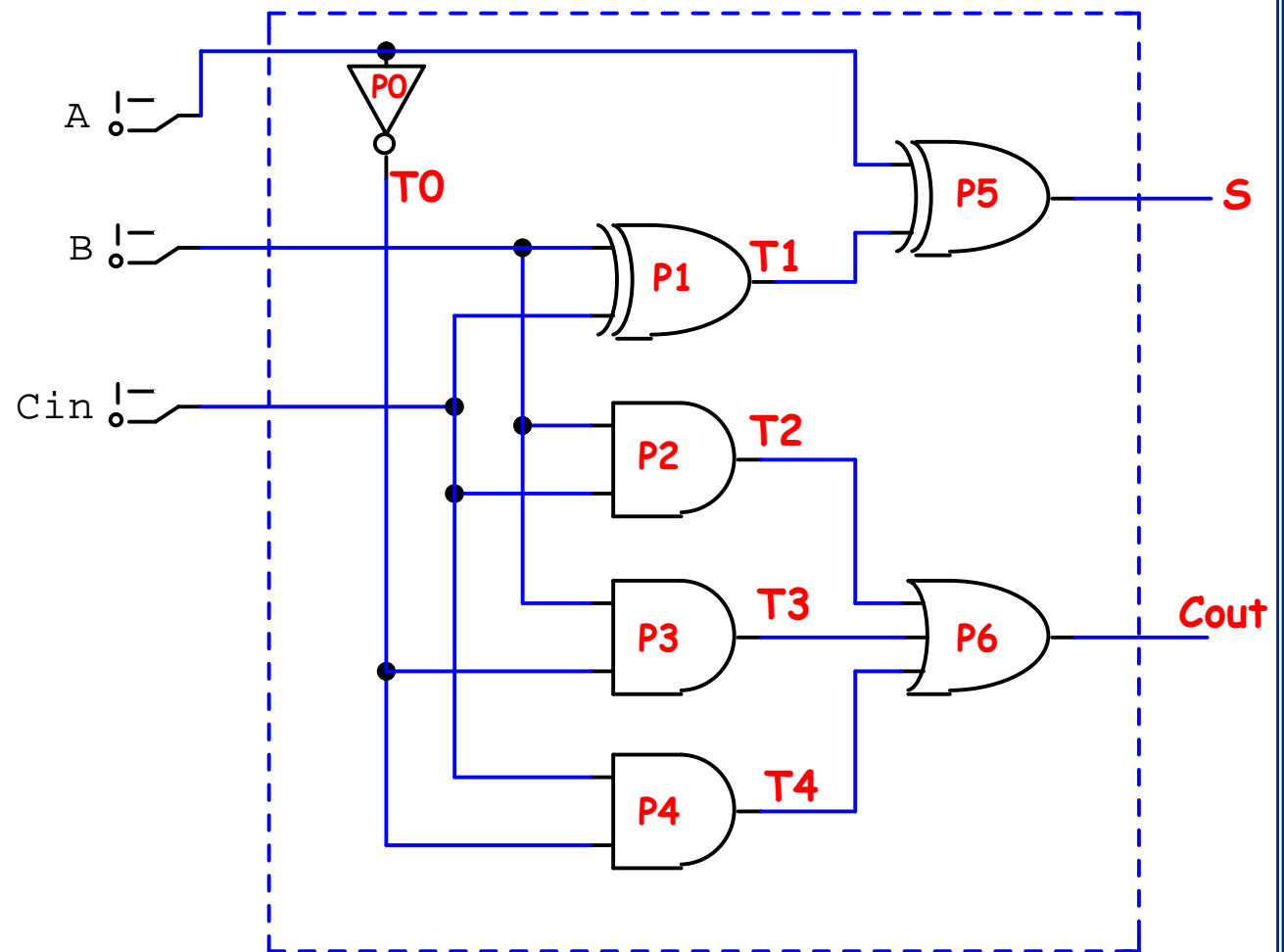
```
LIBRARY ieee;  
USE ieee.std_logic_1164.all;  
  
-- LIBRARY work;  
USE work.somador_package.all;  
  
ENTITY somador IS  
    PORT (A, B, Cin: IN BIT;  
          S, Cout: OUT BIT);  
END somador;
```

```
ARCHITECTURE teste OF somador IS  
    SIGNAL t0, t1, t2, t3: BIT;  
BEGIN  
    P1: xor_2 PORT MAP (B, Cin, t0);  
    P2: and_2 PORT MAP (B, Cin, t1);  
    P3: and_2 PORT MAP (A, B, t2);  
    P4: and_2 PORT MAP (A, Cin, t3);  
    P5: xor_2 PORT MAP (A, t0, S);  
    P6: or_3 PORT MAP (t1, t2, t3, Cout);  
END teste;
```

Circuito do Subtrator

Circuito Subtrator

$$S = A \oplus B \oplus C_{in}$$
$$C_{out} = \overline{A}B + BC_{in} + \overline{A}C_{in}$$



Uso de Pacotes em VHDL

Código para o projeto subtrator de 1 bit (Criação do Projeto):

```
LIBRARY ieee;  
USE ieee.std_logic_1164.all;  
  
-- LIBRARY work;  
USE work.subtrator_package.all;  
  
ENTITY subtrator IS  
    PORT (A, B, Cin: IN BIT;  
          S, Cout: OUT BIT);  
END subtrator;
```

```
ARCHITECTURE teste OF subtrator IS  
    SIGNAL t0, t1, t2, t3, t4: BIT;  
BEGIN  
    P0: not_1 PORT MAP (A, t0);  
    P1: xor_2 PORT MAP (B, Cin, t1);  
    P2: and_2 PORT MAP (B, Cin, t2);  
    P3: and_2 PORT MAP (t0, B, t3);  
    P4: and_2 PORT MAP (t0, Cin, t4);  
    P5: xor_2 PORT MAP (A, t1, S);  
    P6: or_3 PORT MAP (t2, t3, t4, Cout);  
END teste;
```