



Circuitos Digitais I - 6878

Nardênio Almeida Martins

Universidade Estadual de Maringá
Departamento de Informática

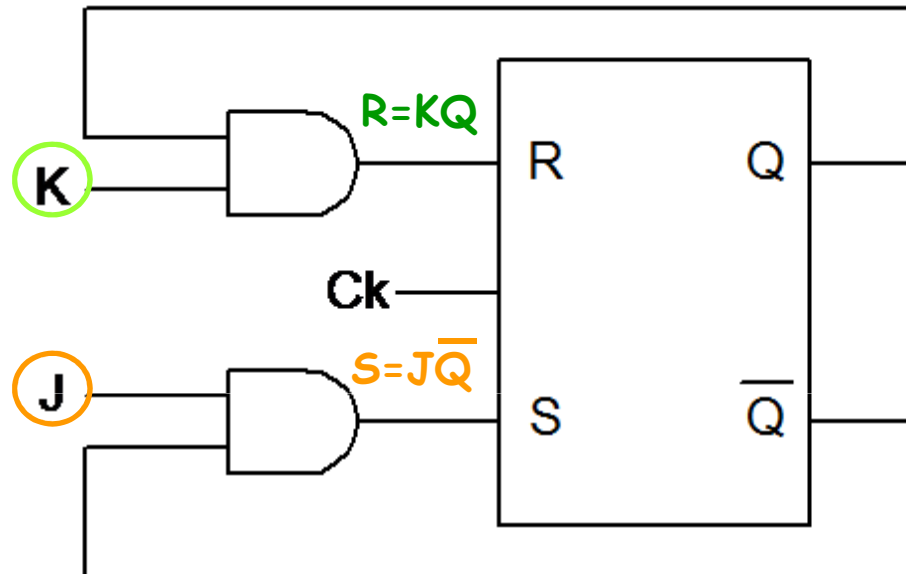
Bacharelado em Ciência da Computação

Aula de Hoje

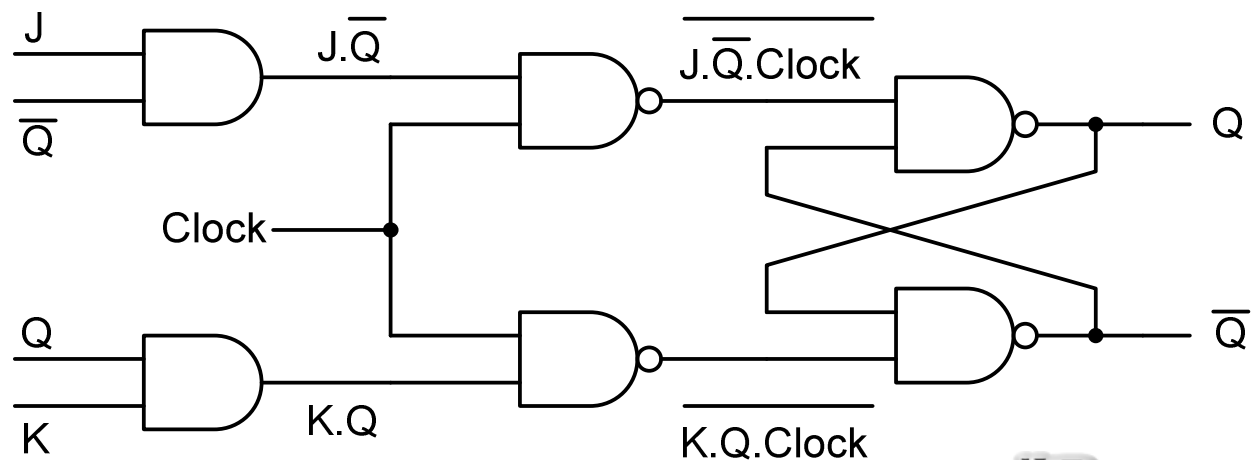
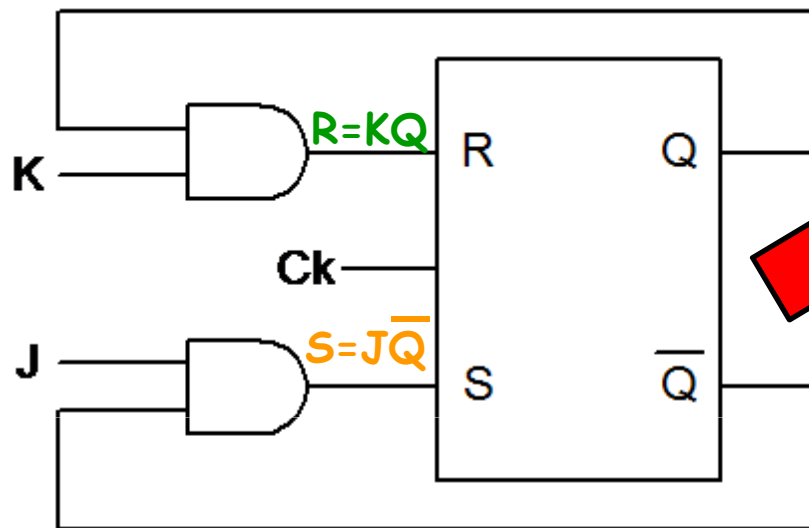
- Circuitos Sequenciais
 - Flip-Flop JK
 - Flip-Flop JK com Preset e Clear
 - Flip-Flop JK Mestre-Escravo
 - Flip-Flop Tipo D
 - Flip-Flop Tipo T

Flip-Flop JK

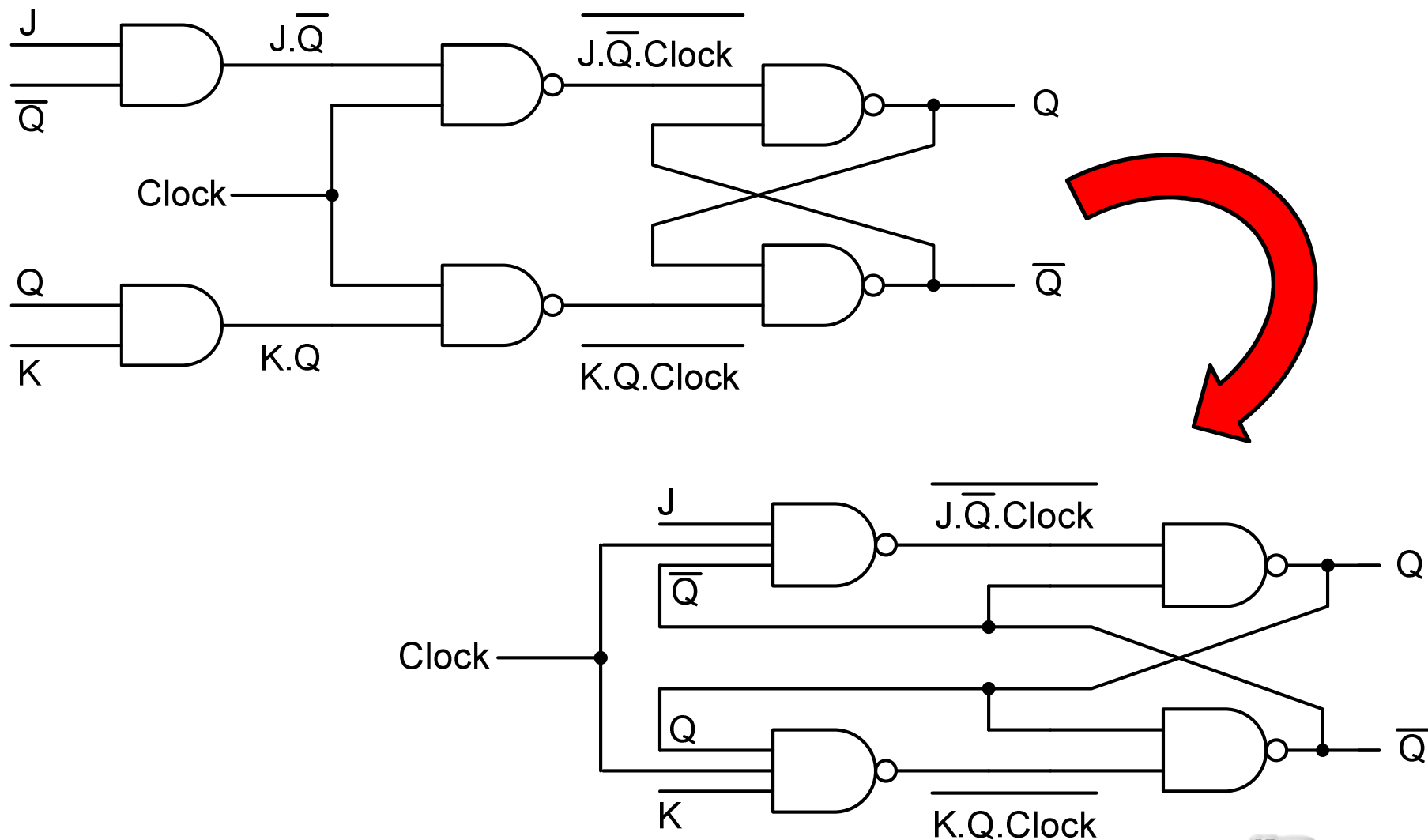
J	K	Q_a	$\overline{Q_a}$	S	R	Qf	
0	0	0	1	0	0	0	Q_a
0	0	1	0	0	0	1	Q_a
0	1	0	1	0	0	0	Reset
0	1	1	0	0	1	0	Reset
1	0	0	1	1	0	1	Set
1	0	1	0	0	0	1	Set
1	1	0	1	1	0	1	$\overline{Q_a}$
1	1	1	0	0	1	0	$\overline{Q_a}$



Flip-Flop JK



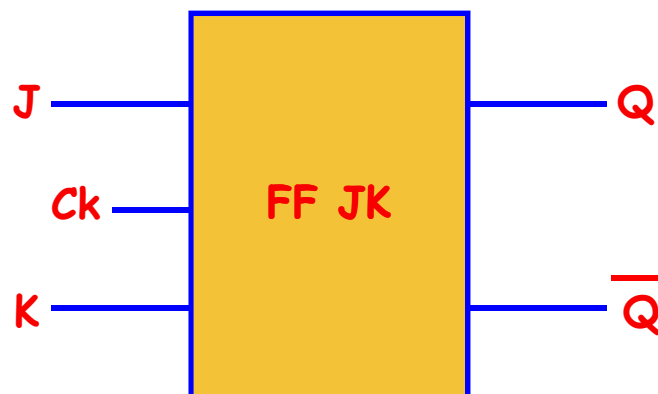
Flip-Flop JK



Flip-Flop JK

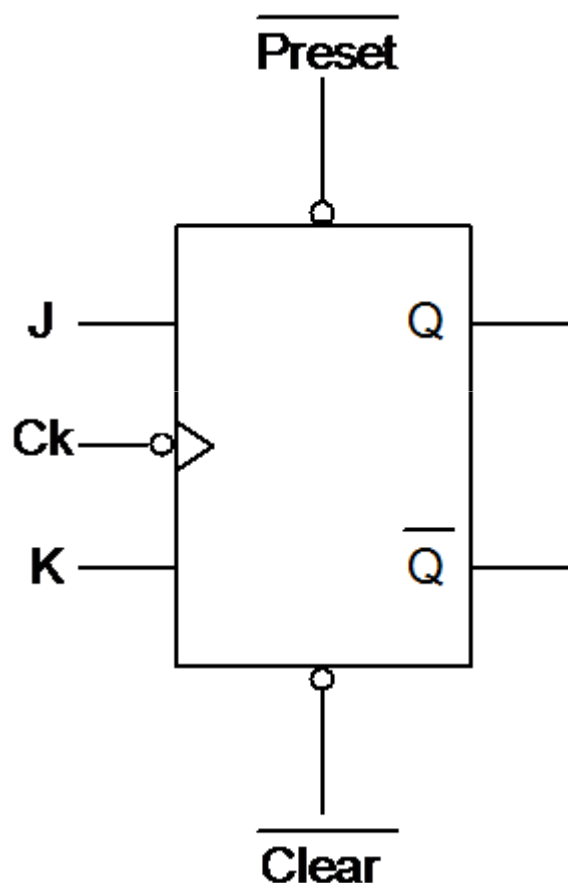
Bloco lógico e T.V. do FF JK

J	K	Qf
0	0	Qa
0	1	0
1	0	1
1	1	\overline{Qa}



- Problema: O FF acima é sensível ao nível porque ele responde às suas entradas J e K sempre que o clock está em ALTO

Flip-Flop JK com Clear e Preset



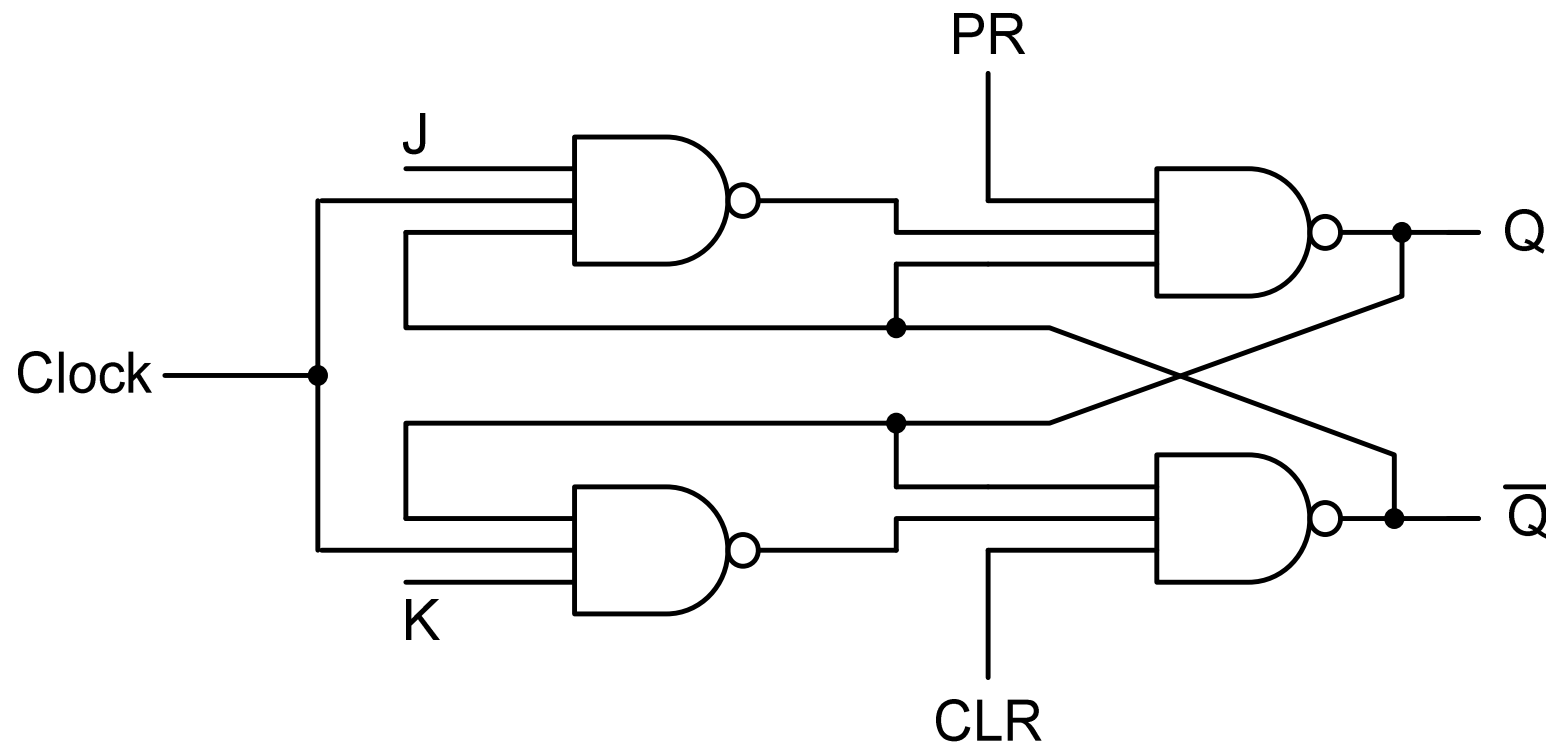
Preset e Clear são entradas que operam independentemente das entradas de clock e de dados

1. $\overline{\text{Preset}} = \overline{\text{Clear}} = 1 \Rightarrow$ FF responde às entradas J e K
2. $\overline{\text{Preset}} = 0$ e $\overline{\text{Clear}} = 1 \Rightarrow$ Q é "setada" (Q=1)
3. $\overline{\text{Preset}} = 1$ e $\overline{\text{Clear}} = 0 \Rightarrow$ Q é "resetada" (Q=0)
4. $\overline{\text{Preset}} = \overline{\text{Clear}} = 0 \Rightarrow$ Entradas não podem ser usadas

$\overline{\text{Preset}}$	$\overline{\text{Clear}}$	Qf
0	0	Entradas Proibidas
0	1	Q=1
1	0	Q=0
1	1	FF JK normal

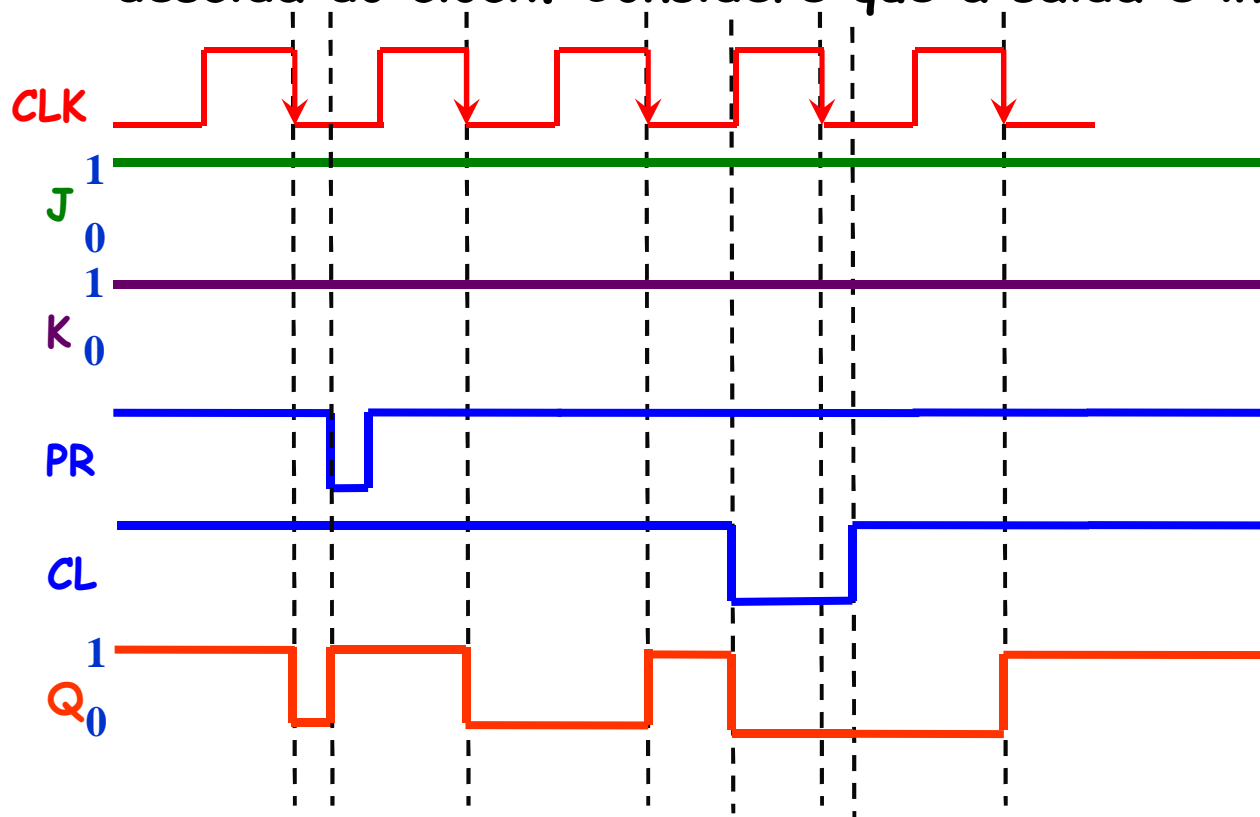
Flip-Flop JK com Clear e Preset

Preset e Clear são entradas que operam independentemente das entradas de clock e de dados



Flip-Flop JK com Clear e Preset

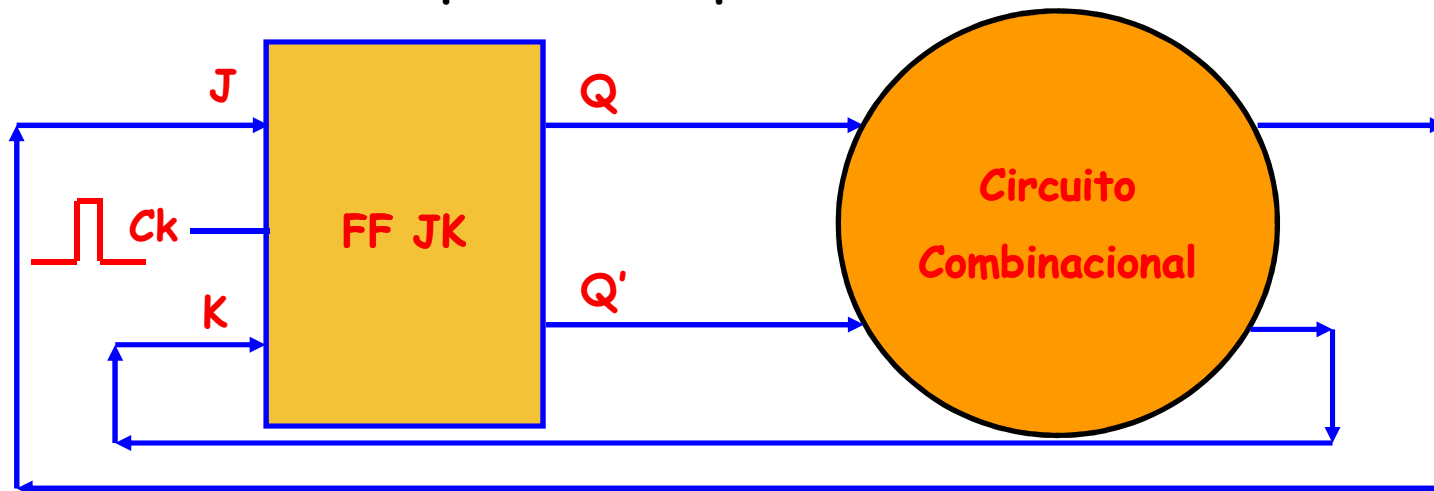
Exemplo: Para o FF JK com $\overline{\text{Preset}}$ e $\overline{\text{Clear}}$ faça o diagrama de forma de onda da saída Q. O FF é ativado na borda de descida do clock. Considere que a saída é inicialmente 1.



J	K	Q_f
0	0	Q_a
0	1	0
1	0	1
1	1	$\overline{Q_a}$

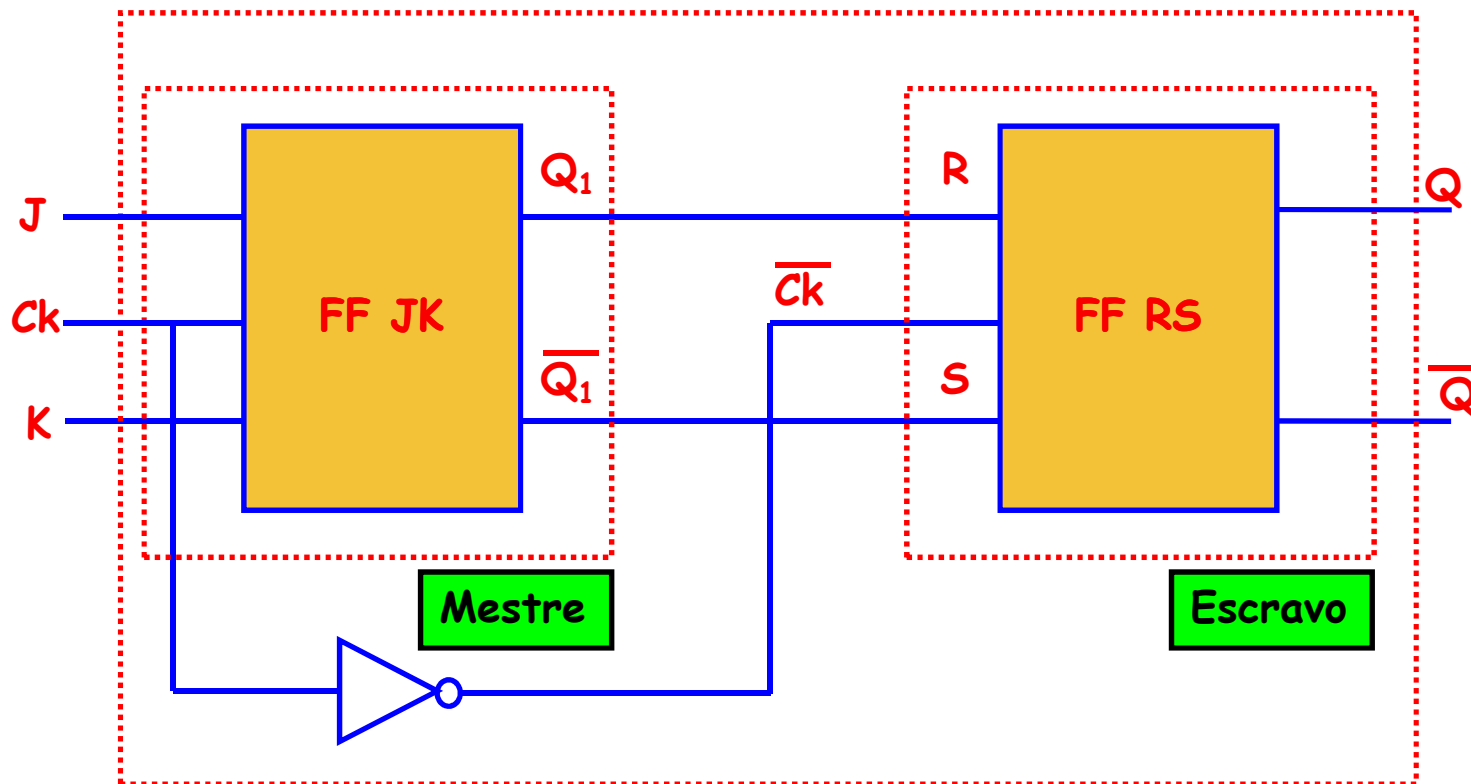
Flip-Flop sensível ao nível do clock

- **Problema:** Flip-Flop sensível ao nível do clock é instável para certas aplicações
- As saídas atuais do FF JK (Q e Q') são realimentadas através de um circuito combinacional para gerar novas entradas J e K
- Quando o FF JK é disparado os valores de J e K são transferidos para as saídas para gerar novos valores de Q^+ e Q'^+
- Se o clock é sensível ao nível então Q e Q' podem viajar pelo circuito combinacional e mudar os valores de J e K e, conseqüentemente, as saídas Q e Q'
- Para evitar esse problema o pulso de clock deveria ser muito estreito



Flip-Flop JK Mestre-Escravo

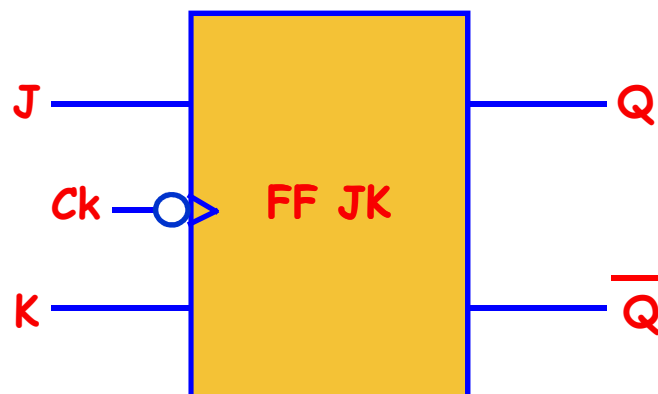
- Solução para o Problema: Flip-Flop JK Mestre-Escravo sensível à borda do clock



Flip-Flop JK Mestre-Escravo

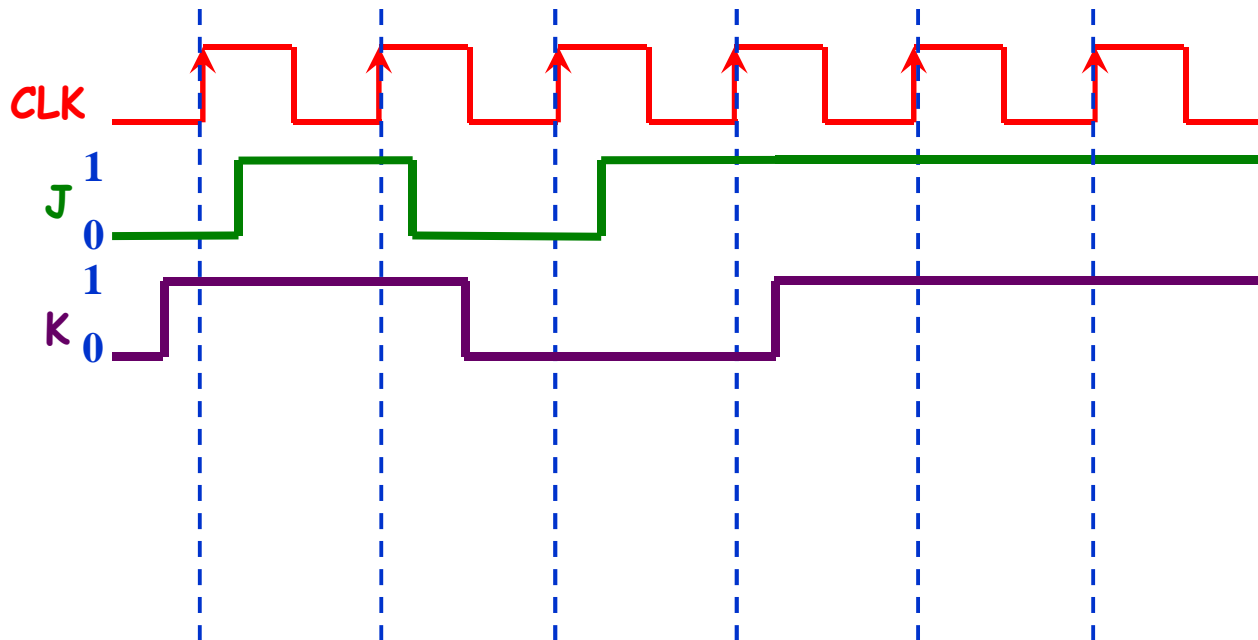
- Bloco lógico e T.V. do FF JK Mestre-Escravo

J	K	Q_f
0	0	Q_a
0	1	0
1	0	1
1	1	$\overline{Q_a}$



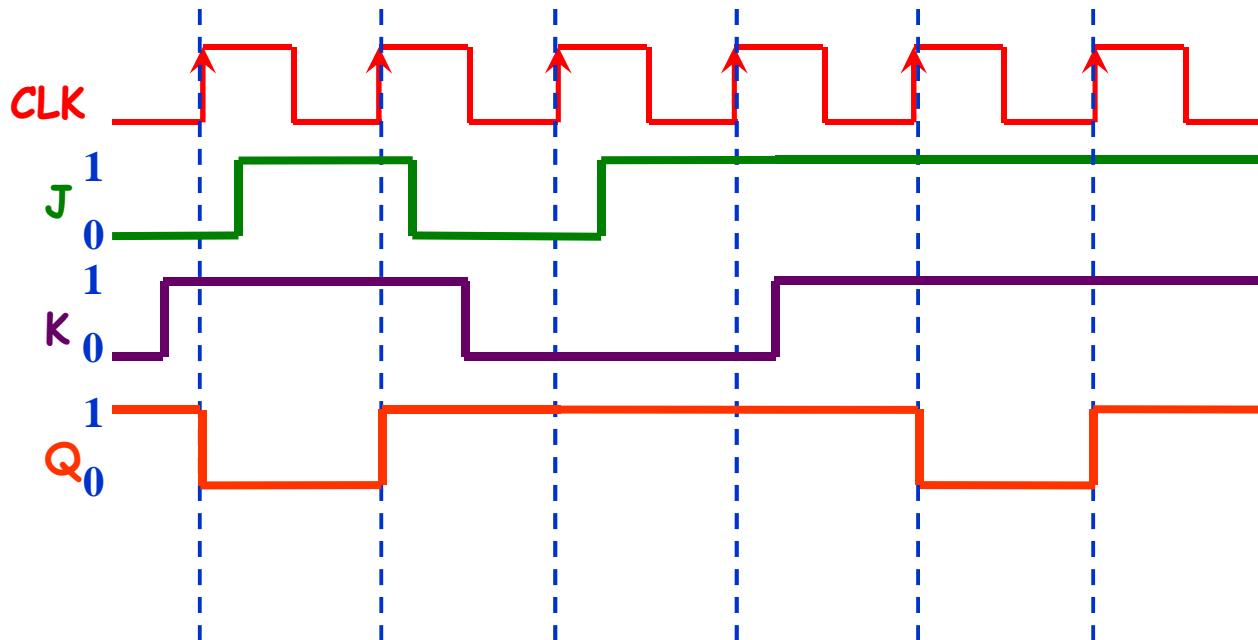
Exercício

1. Faça o diagrama de forma de onda da saída Q de um Flip-Flop JK Mestre-Escravo disparado pela borda de subida do clock. Considere que a saída Q é inicialmente 1.



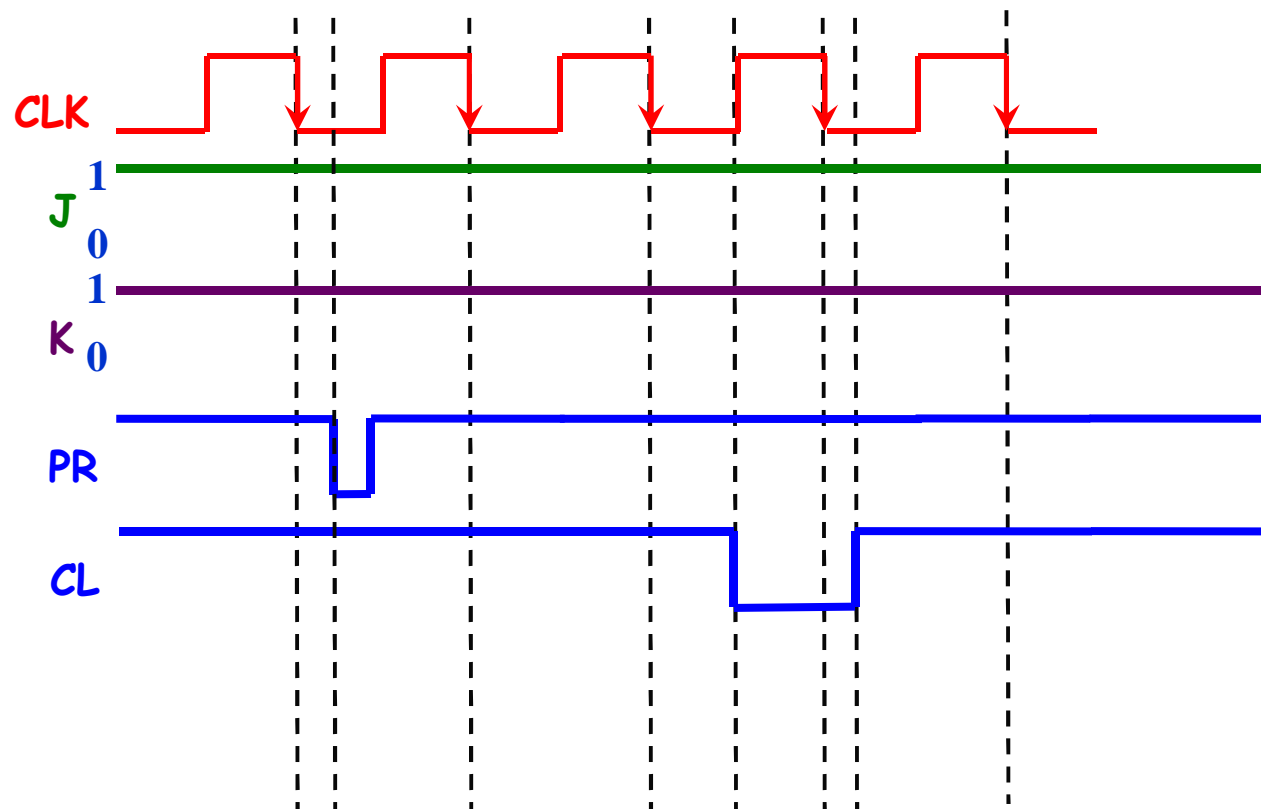
Solução

1. Faça o diagrama de forma de onda da saída Q de um Flip-Flop JK Mestre-Escravo disparado pela borda de subida do clock. Considere que a saída Q é inicialmente 1.



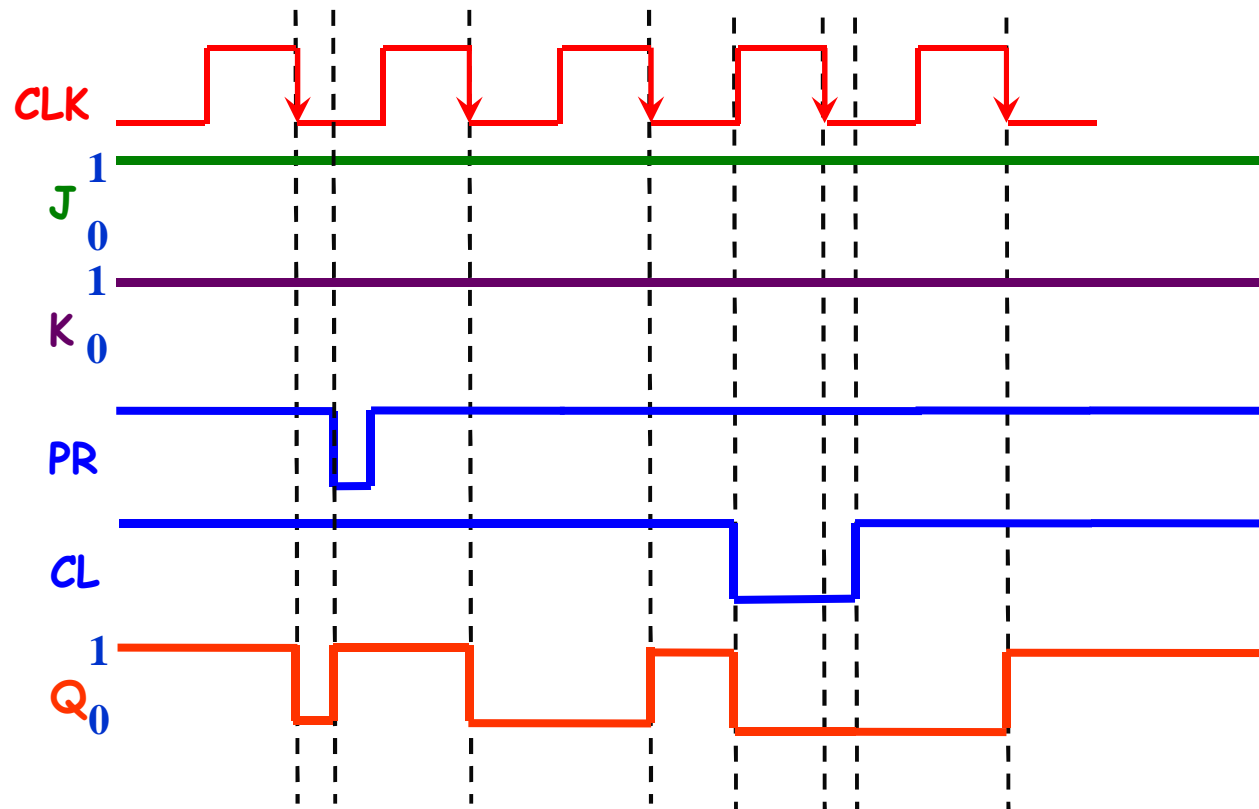
Exercício

2. Para o Flip-Flop JK Mestre-Escravo com entradas $\overline{\text{Preset}}$ e $\overline{\text{Clear}}$, faça o diagrama de forma de onda da saída Q. O Flip-Flop é ativado na borda de descida do clock. Considere que a saída é inicialmente 1.



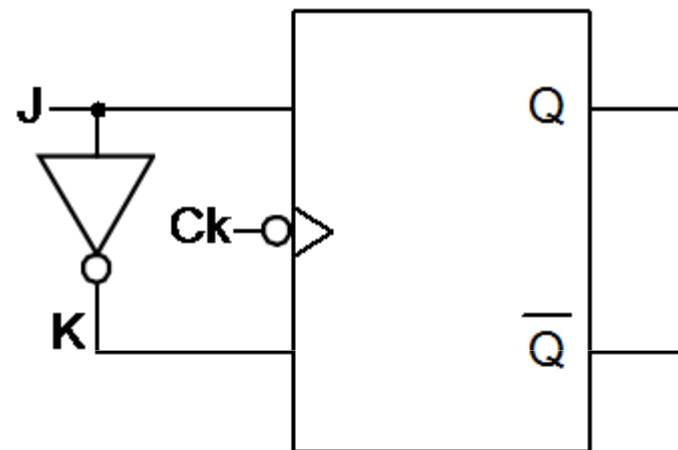
Solução

2. Para o Flip-Flop JK Mestre-Escravo com entradas $\overline{\text{Preset}}$ e $\overline{\text{Clear}}$, faça o diagrama de forma de onda da saída Q. O Flip-Flop é ativado na borda de descida do clock. Considere que a saída é inicialmente 1.



Flip-Flop Tipo D

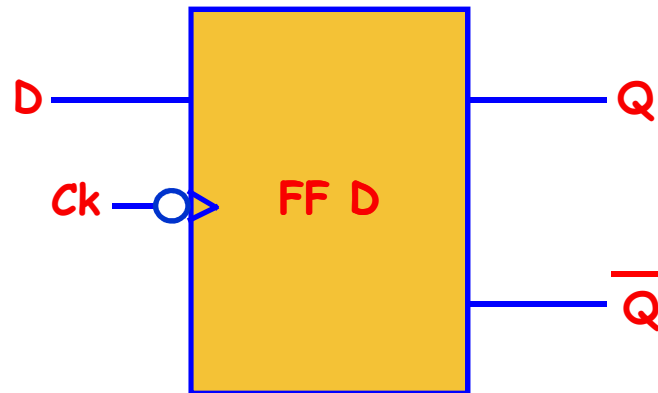
J	K	D	Qf
0	0	×	-
0	1	0	0
1	0	1	1
1	1	×	-



As entradas J e K são sempre diferentes

Flip-Flop Tipo D

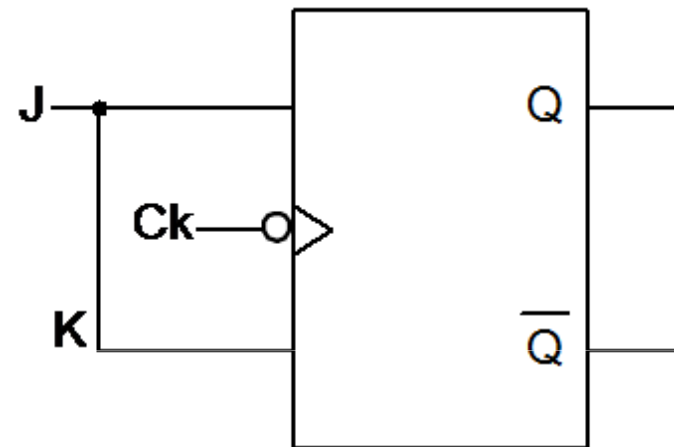
- Bloco lógico e T.V. do FF T



D	Qf
0	0
1	1

Flip-Flop Tipo T

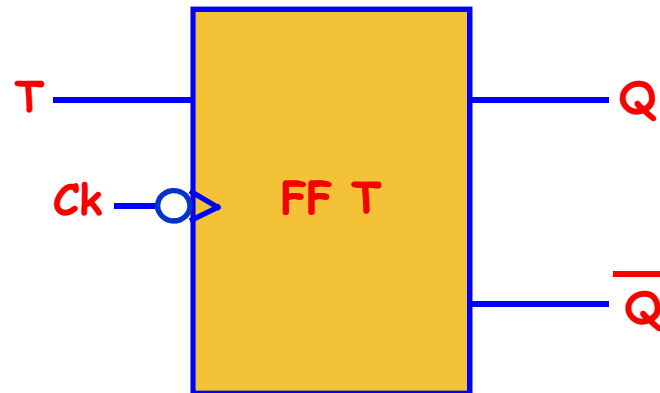
J	K	T	Qf
0	0	0	Qa
0	1	∅	-
1	0	∅	-
1	1	1	\overline{Qa}



As entradas J e K são sempre iguais

Flip-Flop Tipo T

- Bloco lógico e T.V. do FF T



T	Qf
0	Qa
1	\overline{Qa}

Resumo da Aula de Hoje

Tópicos mais importantes:

- Circuitos Sequenciais
 - Flip-Flop JK
 - Flip-Flop JK com Preset e Clear
 - Flip-Flop JK Mestre-Escravo
 - Flip-Flop Tipo D
 - Flip-Flop Tipo T