

### Lista de Exercícios

1. Dado o seguinte trecho de código em um pipeline de 5 estágios identifique:

1. L.D            R1, 0(R10)
2. L.D            R2, 0(R11)
3. ADD           R3,R2,R1
4. SUB            R4,R3,R5
5. ADD            R3,R4,R1

- a) Os hazards do tipo RAW;
- b) Os hazards do tipo WAR;
- c) Os hazards do tipo WAW;

2. Considere o seguinte trecho de código:

```
Loop: L.D            F0, 0(R1)
      L.D            F1, 0(R2)
      ADD.D          F3, F0, F1
      S.D            F3, 0(R3)
      ADDI           R1,R1,#8
      ADDI           R2,R2,#8
      ADDI           R3,R3,#8
      ADDI           R4,R4,#1
      BNE            R4,R5, Loop
```

Sabendo que quando a quantidade de ciclos em stall é dada pela tabela a seguir

Instrução produzindo o resultado	Instrução usando o resultado	Latência em ciclos de clock
Op. ALU de PF	Op. ALU de PF	3
Op. ALU de PF	Store	2
Op. ALU de inteiro	Store, Branch e load	1
Op. ALU de inteiro	Op. ALU de inteiro	0
Load	Op. ALU de PF	1
Load	Store	0

- a) Faça o *loop unrolling* do código sabendo que a quantidade de iterações é múltipla de 2;
- b) Escalone a instruções estaticamente para reduzir a quantidade de stalls;

3. Considerando uma arquitetura que contém:

Um Somador de PF que usa 2 ciclos para soma e 2 ciclos para subtração

Um Multiplicador de para PF que usa 5 ciclos para multiplicação e 10 ciclos para divisão;

Uma unidade de acesso a memória que usa 10 ciclos para load e 10 ciclos para store de qualquer elemento em memória;

Um somador de inteiros que usa 1 ciclo para soma e 1 ciclo para subtração

3 estações de reserva para cada uma dessas unidades;

E o seguinte trecho de código, sendo R4 = 1:

```

loop: L.D      F1, 0(R1)
      L.D      F2, 0(R2)
      ADD.D    F3, F1, F2
      MUL.D    F4, F1, F2
      DIV.D    F5, F4, F3
      S.D      F4, 0(R3)
      ADDI     R1, R3, #8
      ADDI     R2, R3, #8
      ADDI     R3, R3, #8
      SUBI     R4, R4, #1
      BNEZ     R4, LOOP

```

- a) Faça uma tabela mostrando o ciclo de emissão, o ciclo de termino de execução e o ciclo de escrita nos registradores para um processador que executa fora de ordem sem especulação.
  - b) Faça uma tabela mostrando o ciclo de emissão, o ciclo de termino de execução, o escrita nos rerorder buffers e o ciclo de commit para cada uma das instruções para um processador que faz uso de especulação.
4. Considerando os resultados obtidos no exercício anterior, qual o CPI alcançado pelos dois processadores. Qual o speedup alcançado com a especulação?
  5. Voce foi encarregado de construir um processador, e tem duas opções: Um processador com clock de 2GHz com CPI médio de 2, e um processador com 1GHz com CPI médio de 1,2. Qual a melhor escolha?
  6. Qual o CPI de uma máquina onde o CPI para instruções ALU é de 1,1; O CPI de branches e jumps é de 3,0. Suponha que nessa mesma máquina o acesso a memória leve 1 ciclo para miss e 120 ciclos para hit. Suponha um programa onde a quantidade de operações de branches e jumps é de 20%, a quantidade de loads é de 22%, a quantidade de stores 12%, e o restante das operações são operações de ALU. Qual o CPI da máquina nesse programa?
  7. Suponha que exista uma classe de programas que realiza 45% de suas operações em inteiros, 25% de operações em ponto flutuante. Existem duas opções para melhorar o projeto de hardware, onde a primeira traria um *speedup* para as instruções em inteiros de 10, já a segunda traria um *speedup* para as instruções em ponto flutuante de 12. Qual dos dois projetos é melhor para essa classe de programas?
  8. Suponha que se deseja alcançar um *speedup* total de 3 em uma classe de programas cujo 70% de suas operações são sobre ponto flutuante. Qual o fator de melhoria deveria ser alcançado nas operações de PF para que esse *speedup* fosse alcançado?