



Circuitos Digitais II - 6882

André Barbosa Verona
Nardênio Almeida Martins

Universidade Estadual de Maringá
Departamento de Informática

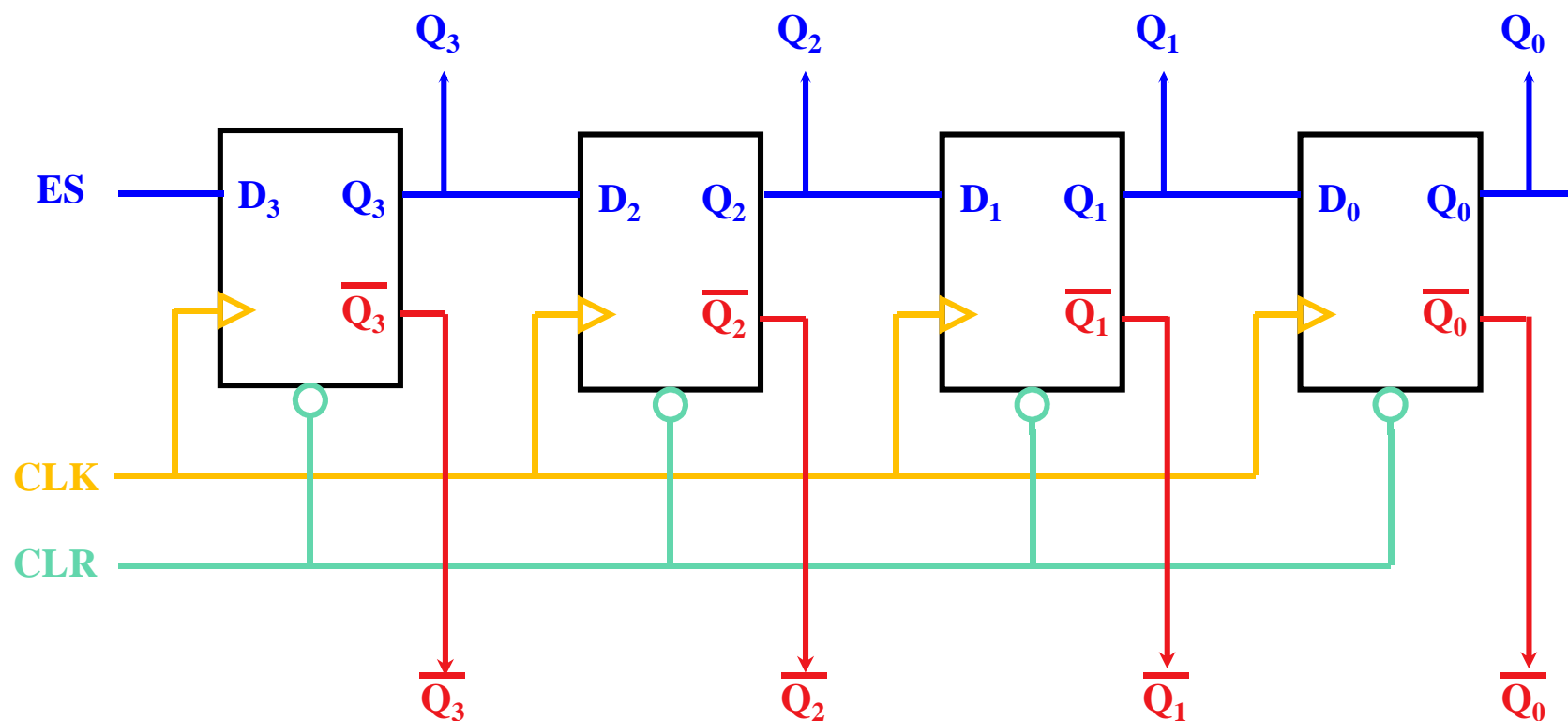
Bacharelado em Ciência da Computação

Aula de Hoje

- Registrador de Deslocamento
- Contador Síncrono (Outra solução)

Registrador de Deslocamento

Registrador de 4 Bits - Arquitetura Comportamental



OBS.: Criação da pasta "reg_desl" no "work"

VHDL - Código

○ Solução: Arquitetura Comportamental

```
LIBRARY ieee;
USE ieee.std_logic_1164.all;
ENTITY reg_desl IS
    PORT(clr, clk, shiftin : IN STD_LOGIC;
          shiftout : OUT STD_LOGIC_VECTOR(3 DOWNTO 0));
END reg_desl;
ARCHITECTURE comportamental OF reg_desl IS
    SIGNAL shift_bit : STD_LOGIC_VECTOR(3 DOWNTO 0);
BEGIN
    PROCESS(clr, clk)
    BEGIN
        IF (clr = '0') THEN
            shift_bit <= "0000";
```

--shiftin corresponde a ES e shiftout a Qi na figura

VHDL - Código

○ Solução: Arquitetura Comportamental (continuação)

```
        ELSIF (clk'EVENT AND clk = '1') THEN
            shift_bit(3) <= shiftin;
            shift_bit(2) <= shift_bit(3);
            shift_bit(1) <= shift_bit(2);
            shift_bit(0) <= shift_bit(1);

        END IF;

    END PROCESS;

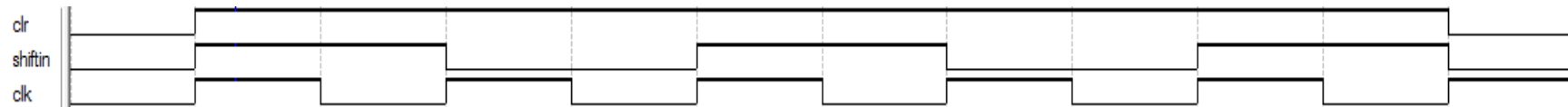
    shiftout(3) <= shift_bit(3);
    shiftout(2) <= shift_bit(2);
    shiftout(1) <= shift_bit(1);
    shiftout(0) <= shift_bit(0);

END comportamental;
```

VHDL - Código

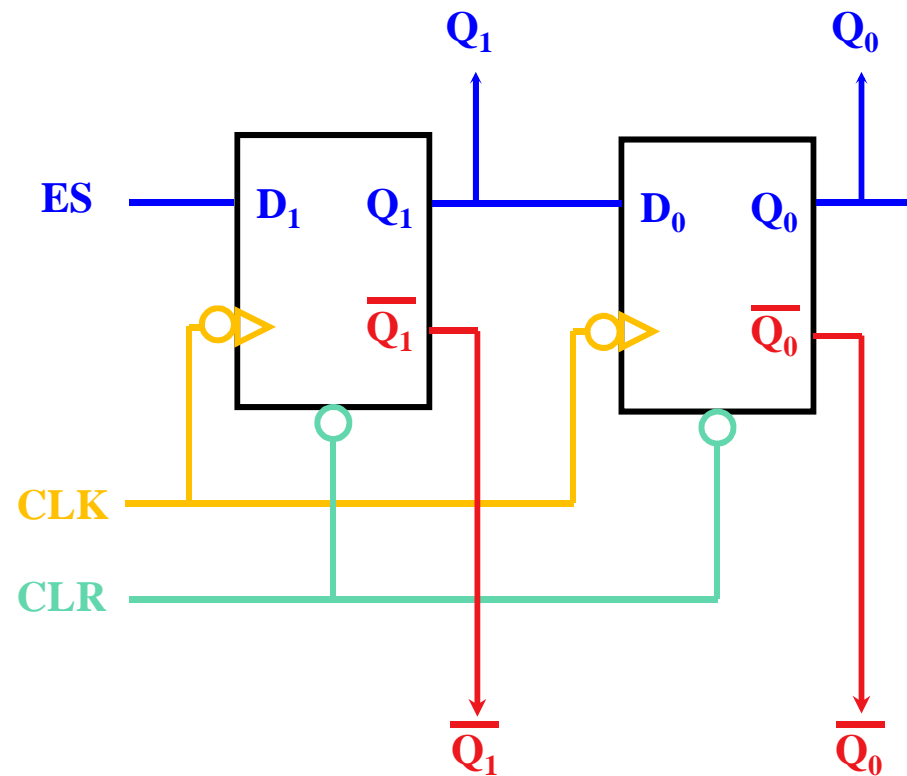
- Solução: Arquitetura Comportamental (continuação)

Formas de Onda (Entradas) → End Time = 120 ns



Registrador de Deslocamento

Registrador de 2 Bits - Arquitetura Estrutural



VHDL - Código

○ Solução: Arquitetura Estrutural

Criação da pasta "reg_desl_est" no "work"

Criação do Componente ffd_c (Flip-Flop D com Entrada Clear)

➤ Declaração da Entidade

```
LIBRARY ieee;  
USE ieee.std_logic_1164.all;  
  
ENTITY ffd_c is  
    PORT(clr, clk, d : IN STD_LOGIC;  
         q, qbar : BUFFER STD_LOGIC);  
END ffd_c;
```


VHDL - Código

- Solução: Arquitetura Estrutural (continuação)
Criação do Componente ffd_c (Flip-Flop D com Entrada Clear)
 - Arquitetura da Entidade

```
ARCHITECTURE comportamental OF ffd_c IS
BEGIN
    PROCESS(clr, clk, d)
    VARIABLE qv,qbarv : STD_LOGIC;
    BEGIN
        IF (clr = '0') THEN
            qv := '0';
            qbarv := NOT qv;
        ELSIF (falling_edge(clk)) THEN
            qv := d;
            qbarv := NOT qv;
        END IF;
        q <= qv;
        qbar <= NOT q;
    END PROCESS;
END comportamental;
```

VHDL - Código

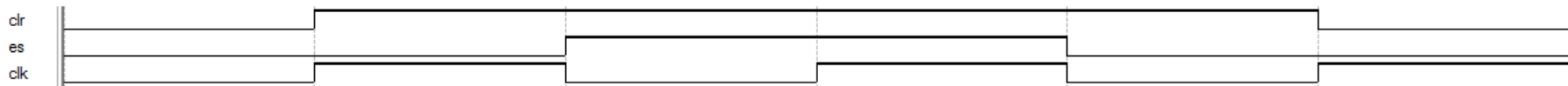
○ Solução: Arquitetura Estrutural (continuação)

```
LIBRARY ieee;  
USE ieee.std_logic_1164.all;  
  
ENTITY reg_desl_est IS  
    PORT(clr, clk, es : IN STD_LOGIC;  
          q_out, qb_out : BUFFER STD_LOGIC_VECTOR(1 DOWNT0 0));  
END reg_desl_est;  
  
ARCHITECTURE estrutural OF reg_desl_est IS  
    COMPONENT ffd_c IS  
        PORT(clr, clk, d : IN STD_LOGIC;  
              q, qbar : BUFFER STD_LOGIC);  
    END COMPONENT;  
    BEGIN  
        ffd_c1 : ffd_c PORT MAP(clr, clk, es, q_out(1), qb_out(1));  
        ffd_c0 : ffd_c PORT MAP(clr, clk, q_out(1), q_out(0), qb_out(0));  
    END estrutural;
```

VHDL - Código

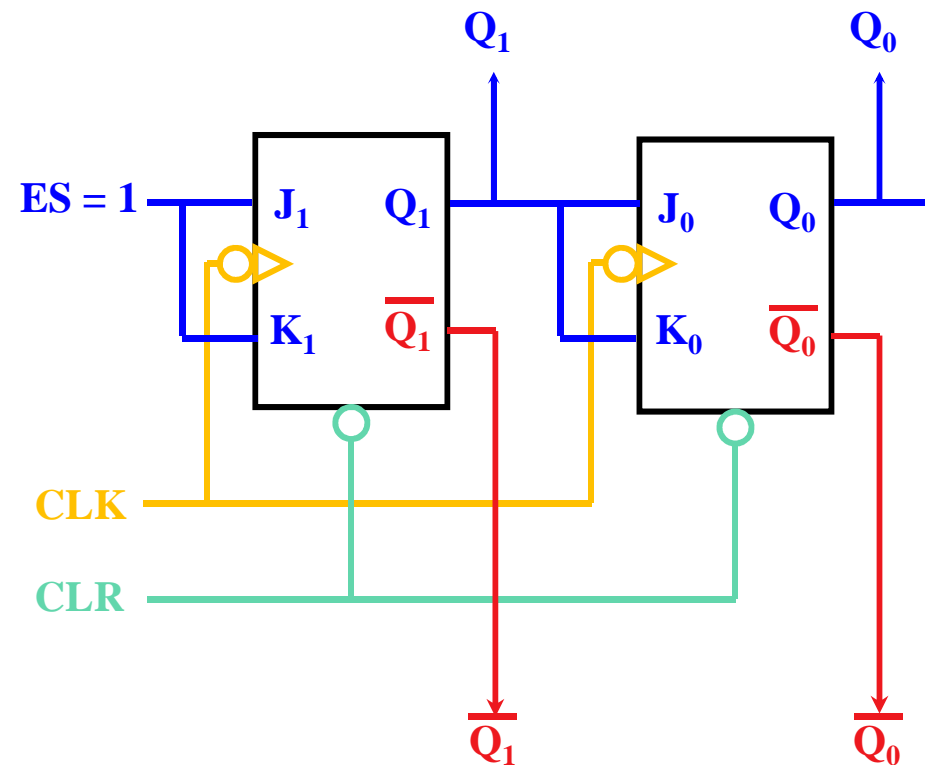
- Solução: Arquitetura Comportamental (continuação)

Formas de Onda (Entradas) → End Time = 60 ns



Contador Síncrono

Contador Síncrono de Módulo 4 - Arquitetura Comportamental



OBS.: Criação da pasta "cont_mod4_ex1" no "work"

VHDL - Código

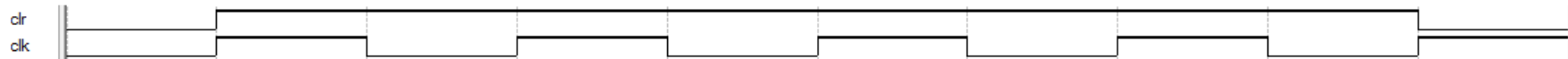
○ Solução 03: Arquitetura Comportamental

```
LIBRARY ieee;
USE ieee.std_logic_1164.all;
ENTITY cont_mod4_ex1 IS
    PORT(clr, clk : IN BIT;
          q : OUT INTEGER RANGE 0 TO 3);
END cont_mod4_ex1;
ARCHITECTURE comportamental OF cont_mod4_ex1 IS
BEGIN
    PROCESS(clr, clk)
        VARIABLE cont : INTEGER RANGE 0 TO 3;
    BEGIN
        IF (clr = '0') THEN
            cont := 0;
        ELSIF (clk'EVENT AND clk = '0') THEN
            IF (cont < 3) THEN
                cont := cont + 1;
            ELSE
                cont := 0;
            END IF;
        END IF;
        q <= cont;
    END PROCESS;
END comportamental;
```

VHDL - Código

○ Solução 03: Arquitetura Comportamental (continuação)

Formas de Onda (Entradas) → End Time = 100 ns



Resumo da Aula de Hoje

Tópicos mais importantes:

- Registrador de Deslocamento
- Contador Síncrono (Outra solução)