

**CENTRO TECNOLÓGICO
DEPARTAMENTO DE INFORMÁTICA**

Arquitetura de Computadores I – Turmas 01 e 02 – 2022/2
Prof. Rodolfo da Silva Villaca – rodolfo.villaca@ufes.br

Laboratório IV – Projeto CPU Monociclo

1. Objetivo

- Entender os passos necessários para estender uma CPU para que ela dê suporte a execução de novas instruções na arquitetura (*Instruction Set Architecture* ou ISA) que não haviam sido implementadas no projeto inicial da CPU monociclo.

2. Atividades

A implementação da CPU monociclo da figura a seguir implementa apenas uma pequena parte do conjunto de instruções MIPS. Novas instruções devem ser adicionadas, mas a decisão depende, dentre outras coisas, do custo e complexidade da inclusão do suporte a estas instruções no caminho de dados e no controle do processador.

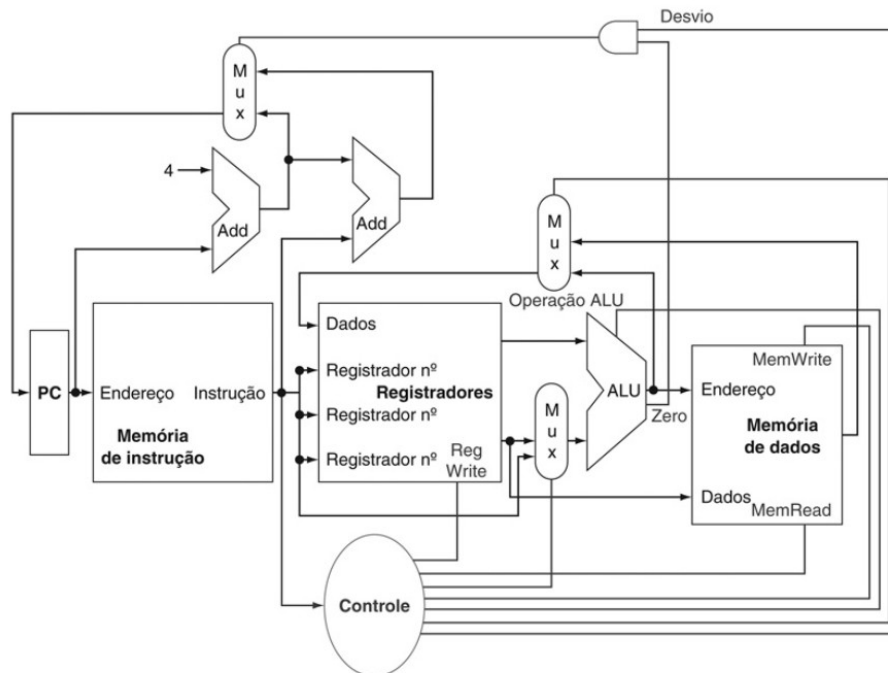


FIGURA 4.2 A implementação básica do subconjunto MIPS incluindo os multiplexadores necessários e as linhas de controle.

3. Questões

Para cada uma das 3 novas instruções apresentadas a seguir, responda:

- Quais blocos existentes (se existirem) podem ser reaproveitados para esta nova instrução?
- Quais novos blocos devem ser adicionados para esta nova instrução?
- Quais sinais são necessários para se executar esta nova instrução?
- Redesenhe o projeto com o suporte de cada 1 das novas instruções (serão 3 novos projetos).

CENTRO TECNOLÓGICO
DEPARTAMENTO DE INFORMÁTICA

- Instrução 1:
lwr Rt, Rd(Rs)
– $Reg[Rt] = Mem[Reg[Rd] + Reg[Rs]]$
- Instrução 2:
addi Rt, Rd, imed.
– $Reg[Rt] = Reg[Rd] + imed$
- Instrução 3:
bne Rt, Rd, desloc
– if ($Reg[Rt] \neq Reg[Rd]$) {
 $PC = (PC + 4) + desloc$; // salta se diferentes
}
else {
 $PC = PC + 4$;
}