

Arquitetura PlayStation 1

Thiago Ribeiro Goveia nº USP 10835942

A dark blue diagonal gradient bar that starts from the bottom left corner and extends towards the top right corner, covering the lower half of the slide.

Conteúdo

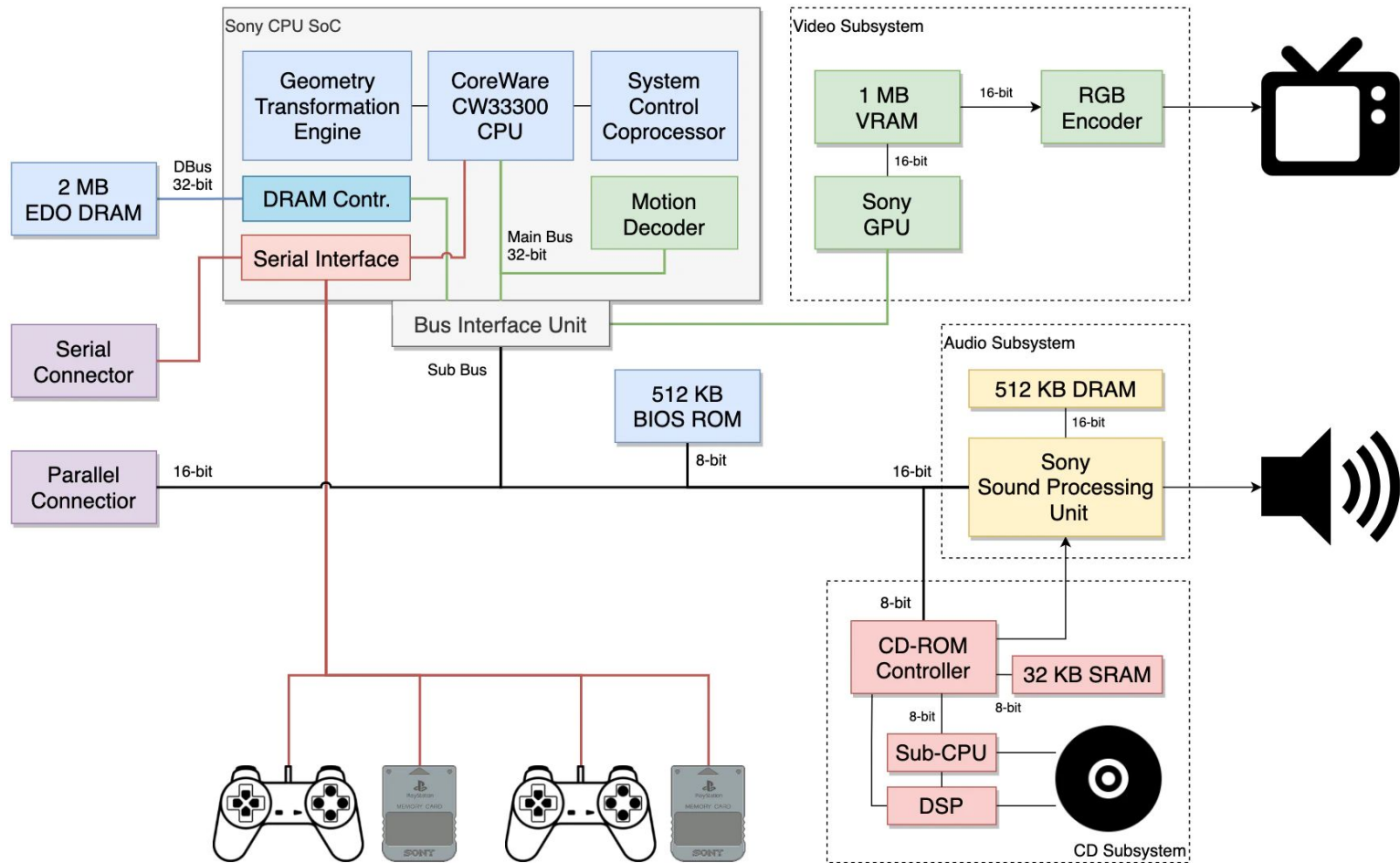
- História
- Arquitetura PlayStation
- CPU
- MIPS
- Pipeline

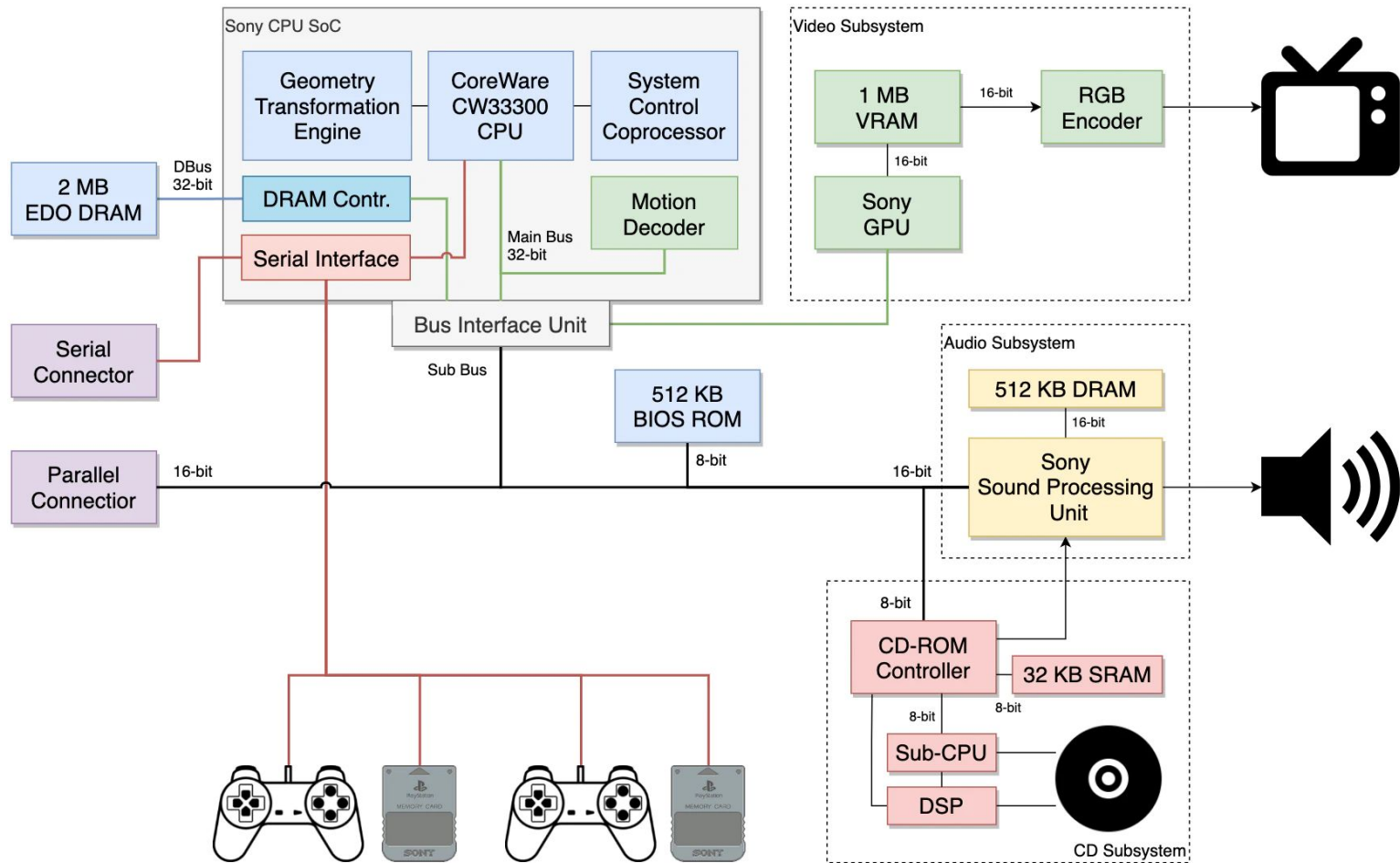
História

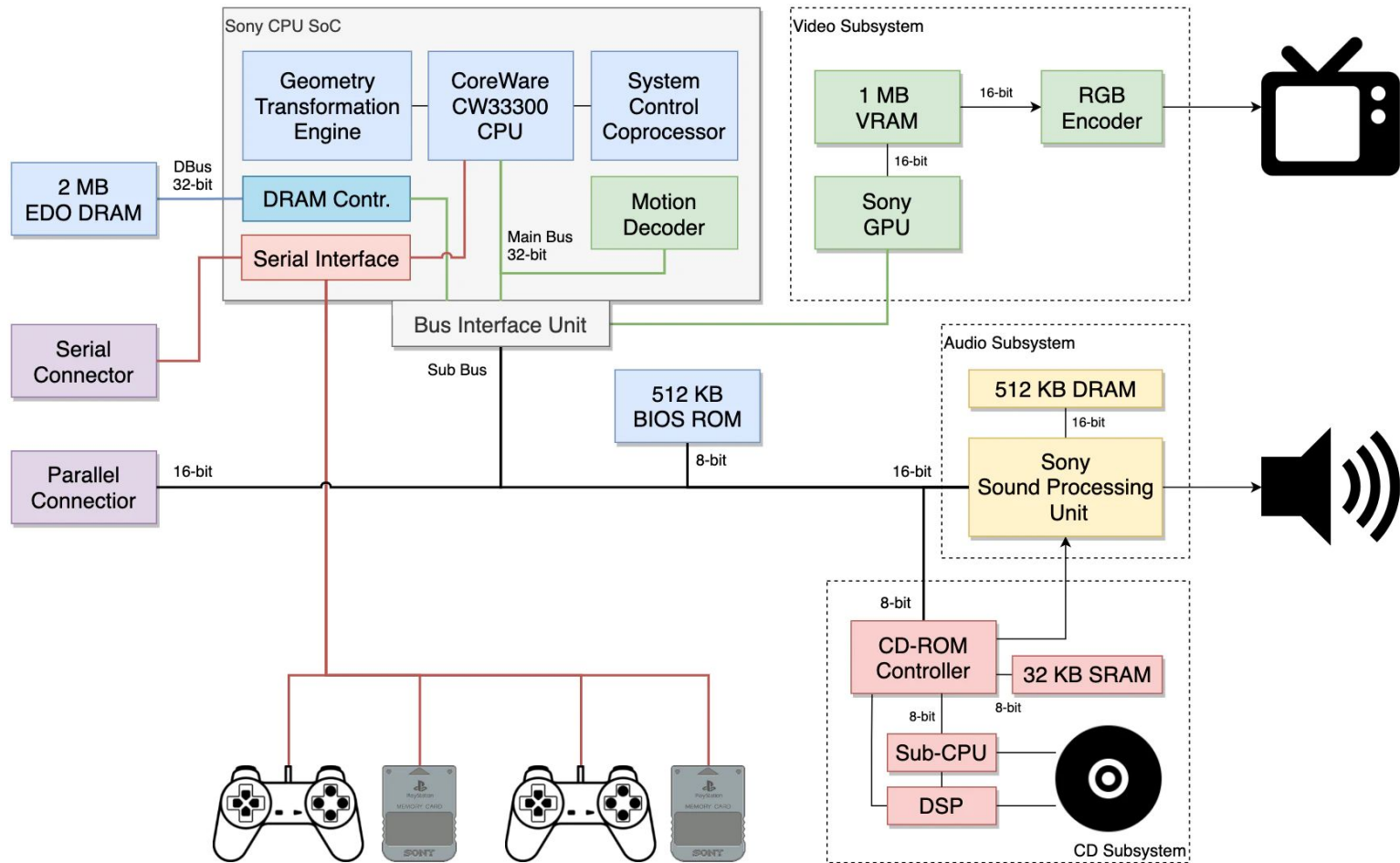
- Lançado em 1994
- Primeiro console a vender 100 milhões de unidades
- Concebido para rodar jogos 3D a partir de um CD-ROM após um final de uma parceria mal sucedida entre a Sony e a Nintendo
- Produzido na Sony Music
- Competindo com Nintendo 64 e Sega Saturn

Arquitetura

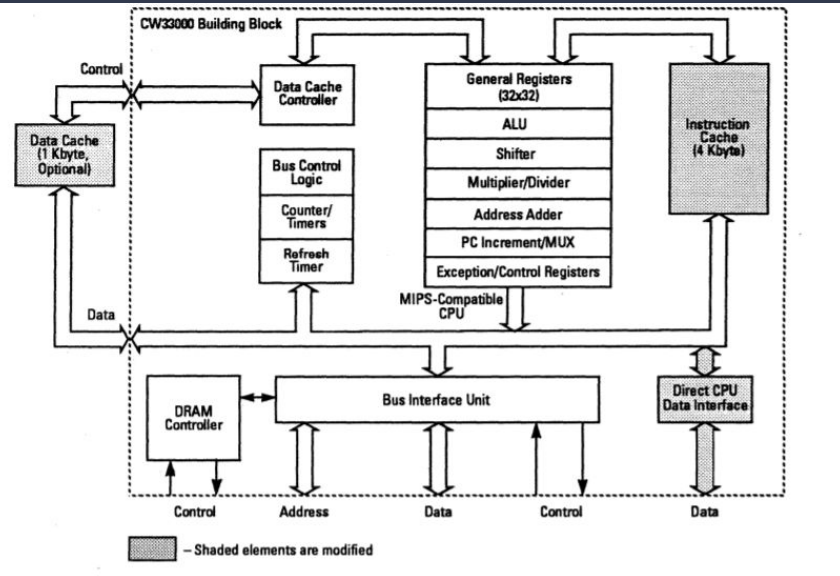
- CPU
- GPU
- Áudio
- E/S







CPU



- Família de processadores MIPS - 1 CW33000
- Arquitetura do tipo RISC
- Arquitetura de Von - Neumann
- Roda a 33.87 MHz
- 2 MB de RAM
- Instruções de 32 bits
- Suporte a operações de divisão e multiplicação
- 32 registradores de propósito geral
- 2 registradores de para multiplicação e divisão
- Barramento de dados de 32 bits
- Barramento de endereços de 32 bits
- Pipeline de 5 estágios
- Cache de instruções de 4 KB
- Sem cache de dados

MIPS CW33000

- MIPS - *Microprocessor Without Interlocked Pipeline Stages*
- Arquitetura load/store
- Instruções em três formatos básicos
 - Tipo I - *Immediate*
 - Tipo J - *Jump*
 - Tipo R - *Register*
- Utiliza Pipeline otimizado com *Delayed Branch*

MIPS CW33000

Format	Bits 31-26	Bits 25-21	Bits 20-16	Bits 15-11	Bits 10-6	Bits 5-0
R	op	rs	rt	rd	shamt	funct
I	op	rs	rt	imm		
J	op	address				

- Instruções Tipo R - *Register*
- Operações aritméticas e lógicas
- op - opcode da instrução
- rs e rt são os registradores de origem de dados
- rd é o registrador destino da operação
- shamt é usado em operações de troca de bits, em operações de multiplicação e divisão
- func é usado em conjunto com opcode para selecionar uma instrução aritmética

MIPS CW33000

Format	Bits 31-26	Bits 25-21	Bits 20-16	Bits 15-11	Bits 10-6	Bits 5-0
R	op	rs	rt	rd	shamt	funct
I	op	rs	rt	imm		
J	op	address				

- *Instruções Tipo I - Immediate*
- Operações de load, store, branch e instruções imediatas
- op - opcode da instrução
- rs - registrador de origem, guarda um endereço para load e store
- rt - registrador de origem para operações tipo branch e de destino para as demais
- imm - Imediato de 16 bits

MIPS CW33000

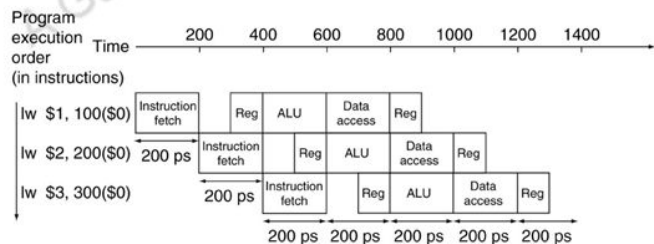
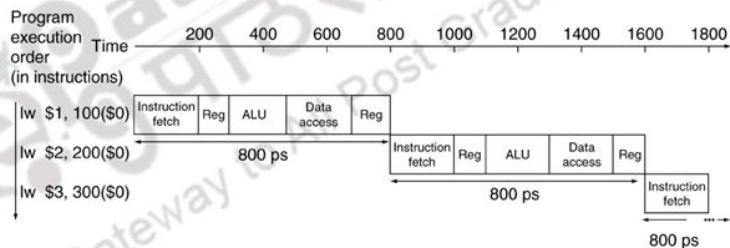
- Instruções Tipo J - *Jump*
- address é o endereço de destino

Format	Bits 31-26	Bits 25-21	Bits 20-16	Bits 15-11	Bits 10-6	Bits 5-0
R	op	rs	rt	rd	shamt	funct
I	op	rs	rt	imm		
J	op	address				

MIPS CW33000

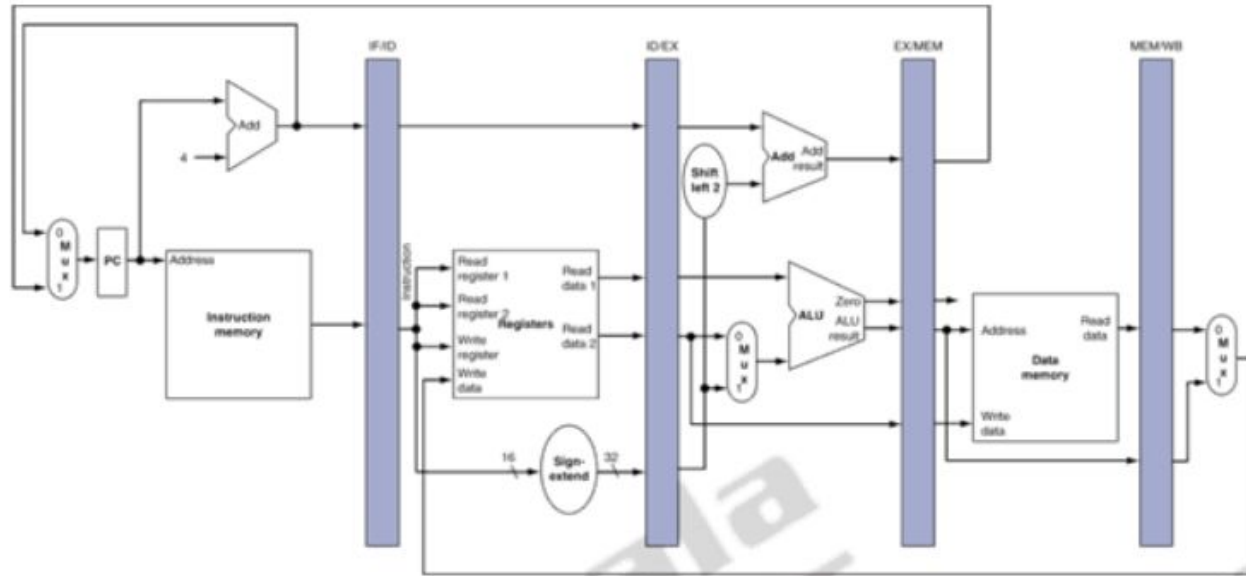
- Instruções podem ser categorizadas também em três grupos principais:
 - *Load/Store* : Operações que movem dados entre a memória e os registradores
 - *Computational*: Instruções que realizam operações aritméticas, lógicas e de “shift” Tipo R ou Tipo I
 - *Jump and Branch*: Controlam o fluxo de execução do programa, jumps são realizados para um endereço absoluto de 32 bits (Tipo R) ou 26 bits + 4 bits do *program counter* (Tipo J), enquanto branches o endereço é um offset de 16 bits do *program counter* (Tipo I)

Pipeline



- Pipeline de cinco estágios:
 - IF: Fetch de instruções
 - RD: Decodificação de instruções e leitura de operandos
 - ALU: Realiza operações da ULA e calcula endereços de dados
 - MEM - Acesso a memória
 - WB- Escrita de resultados no registrador
- Cada estágio dura um ciclo de clock
- Otimização de pipeline tipo Delayed Branch

Pipeline



Referências

- <https://www.copetti.org/writings/consoles/playstation/>
- http://bitsavers.trailing-edge.com/components/lsiLogic/Ci4002A_CW33000_MIPS_Embedded_Processor_Users_Manual_1992.pdf
- https://en.wikipedia.org/wiki/MIPS_architecture
- [https://en.wikipedia.org/wiki/PlayStation_\(console\)](https://en.wikipedia.org/wiki/PlayStation_(console))
- <https://max.cs.kzoo.edu/cs230/Resources/MIPS/MachineXL/InstructionFormats.html>
- <https://www.cs.umd.edu/~meesh/411/CA-online/chapter/pipelining-mips-implementation/index.html>