



UFRR

**PODER EXECUTIVO
MINISTÉRIO DA EDUCAÇÃO
UNIVERSIDADE FEDERAL DE RORAIMA
DEPARTAMENTO DE CIÊNCIA DA COMPUTAÇÃO**

ARQUITETURA E ORGANIZAÇÃO DE COMPUTADORES

RELATÓRIO DO PROJETO: PROCESSADOR LH

ALUNOS:

Thiago Thomáz Santana do Nascimento - 2021021472

João Eduardo Viana Leonel - 2021000679

**Dezembro de 2022
Boa Vista/Roraima**



UFRR

**PODER EXECUTIVO
MINISTÉRIO DA EDUCAÇÃO
UNIVERSIDADE FEDERAL DE RORAIMA
DEPARTAMENTO DE CIÊNCIA DA COMPUTAÇÃO**

ARQUITETURA E ORGANIZAÇÃO DE COMPUTADORES

RELATÓRIO DO PROJETO: PROCESSADOR LH

**Dezembro de 2022
Boa Vista/Roraima**

Resumo

Este trabalho aborda a criação de um projeto de processador uni-ciclo de 8 bits, com base na arquitetura MIPS. Todos os componentes usados e necessários serão listados e comentados durante este relatório, tendo como objetivo o melhor esclarecimento dos usos e listagem de possíveis usos do mesmo.

Conteúdo

1	Especificação	7
1.1	Plataforma de desenvolvimento	7
1.2	Conjunto de instruções	7
1.3	Descrição do Hardware	8
1.3.1	ULA	8
1.3.2	Bando de Registradores	8
1.3.3	Multiplexador	8
1.3.4	Memória RAM	8
1.3.5	Memória ROM	8
1.3.6	Somador de 8 Bits mais 4	9
1.3.7	Unidade de Controle	9
1.4	Datapath e Imagens	9
2	Simulações e Testes	13
3	Considerações finais	14

Lista de Figuras

Figura 1 - Interface Inicial Logisim	7
Figura 2 - Data Path Completo	10
Figura 3 - Ula	10
Figura 4.1 - Registrador de 8 Bits	11
Figura 4.2 - Banco de Registradores	11
Figura 5 - Multiplexador de 4 Entradas	12
Figura 6 - Memória RAM	12
Figura 7 - Memória ROM	13
Figura 8 - Somador de 8 Bits com mais 4	13
Figura 9 - Unidade de Controle	14

Lista de Tabelas

Tabela 1 - Tabela que mostra a lista de Opcodes utilizadas pelo processador LH	8
Tabela 2 - Detalhes das flags de controle do processador	9

1 Especificação

Nesta seção é apresentado o conjunto de itens para o desenvolvimento do processador LH, bem como a descrição de cada etapa da construção do processador.

1.1 Plataforma de desenvolvimento

Para a implementação do processador LH foi utilizado a IDE: **Logisim**.

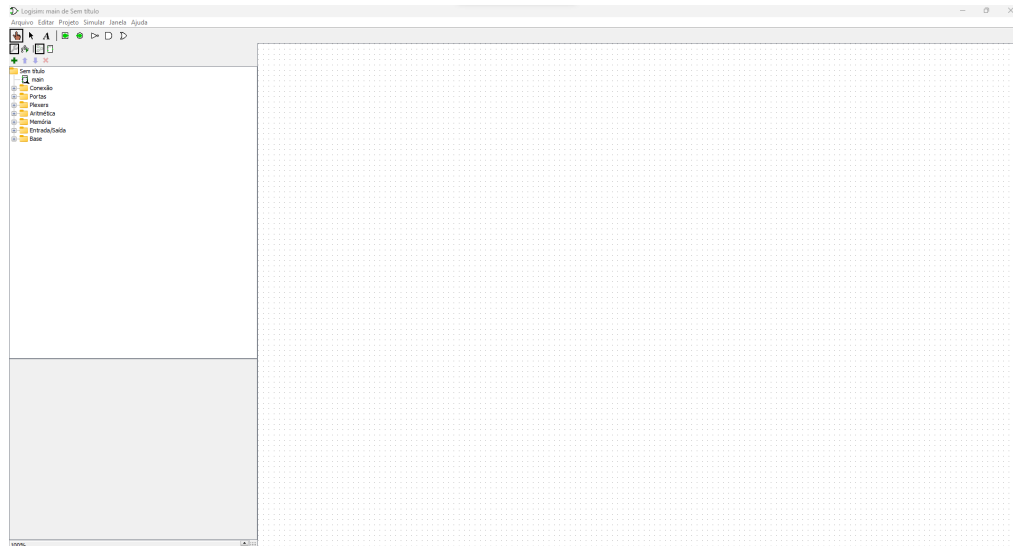


Figura 1 - Interface Inicial Logisim

1.2 Conjunto de Instruções

O processador LH possui quatro registradores: Reg0, Reg1, Reg2 e Reg3 . Assim como 6 formatos de instruções de 8 bits cada, Instruções do **tipo R, I e J**.

Tipos de Instruções:

- **Formato do Tipo I:** Este formato traz consigo as instruções Add e Sub.

Opcode - 4 bits	Registradores - 2 bits	2 bit vago
-----------------	------------------------	------------

- **Formato do Tipo R:** Este formato traz consigo as instruções Load, Store e Branch.

Opcode - 4 bits	Registradores - 2 bits	Num - 1 bits	1 bit vago
-----------------	------------------------	--------------	------------

- **Formato do Tipo J:** Este formato traz uma única instrução consigo, sendo esta o JUMP.

Opcode - 4 bits	Num - 4 bits
-----------------	--------------

Visão geral das instruções do Processador LH

Tabela 1 – Tabela que mostra a lista de Opcodes utilizadas pelo processador LH

Opcode	Nome	Formato	Breve Descrição
000	ADD	I	Soma
001	SUB	I	Subtração
010	BEQ	R	Igual à
011	LW	R	Carregar da memória
100	SW	R	Armazenar na memória
101	JUMP	J	Pular

1.3 Descrição do Hardware

Nesta seção, serão citados e descritos os componentes que compõem o processador.

1.3.1 ULA

Sendo a responsável pelas principais operações aritméticas do processador, além de ser responsável por operações como “AND” e “OR”. Ele recebe os dados por meio de duas entradas: “InA” - 8 bits; “InB” - 8 bits, além de duas saídas, sendo elas o “Zero”, o identificador do resultado, e a “Out”, onde sairá a informação em 8 bits.

1.3.2 Banco de Registradores

O componente responsável por armazenar os registradores e uma pequena parte dos dados que forem mandados para dentro do processador, tendo todos um total de 8 bits.

1.3.3 Multiplexador

Basicamente, um seletor de entradas, que é alterado de acordo com a instrução que é pedida pela Unidade de Controle.

1.3.4 Memória RAM

A parte responsável por armazenar mais dados vindos de fora, do que nos próprios registradores. Elas têm seus próprios registradores, o que facilita na hora desse acontecimento.

1.3.5 Memória ROM

1.3.6 Somador de 8 Bits mais 4

Basicamente, um somador normal de 8 bits, porém com um valor de 4 já adicionado normalmente.

1.3.7 Unidade de Controle

É o componente responsável por controlar todas as ações do processador, de acordo com o opcode. Esse controle é feito a partir das flags abaixo.

- **ADD:** 000
- **SUB:** 001
- **BEQ:** 010
- **LW:** 011
- **SW:** 100
- **JUMP:** 101

Abaixo segue a tabela, onde é feita a associação entre os opcodes e as flags de controle:

Tabela 2 - Detalhes das flags de controle do processador.

Comando	RegWrite	MemRead	MemWrite	MemToReg	Branch	Jump	ULASrc	ULAOP
ADD	1	0	0	0	0	0	1	10
SUB	1	0	0	0	0	0	0	11
BEQ	0	0	0	0	1	0	0	11
LW	1	1	0	1	0	0	1	10
SW	0	0	1	0	0	0	1	10
JUMP	0	0	0	0	0	1	0	XX

1.4 Data Path e Imagens

É a conexão entre as unidades funcionais formando um único caminho de dados e acrescentando uma unidade de controle responsável pelo gerenciamento das ações que serão realizadas para diferentes classes de instruções.

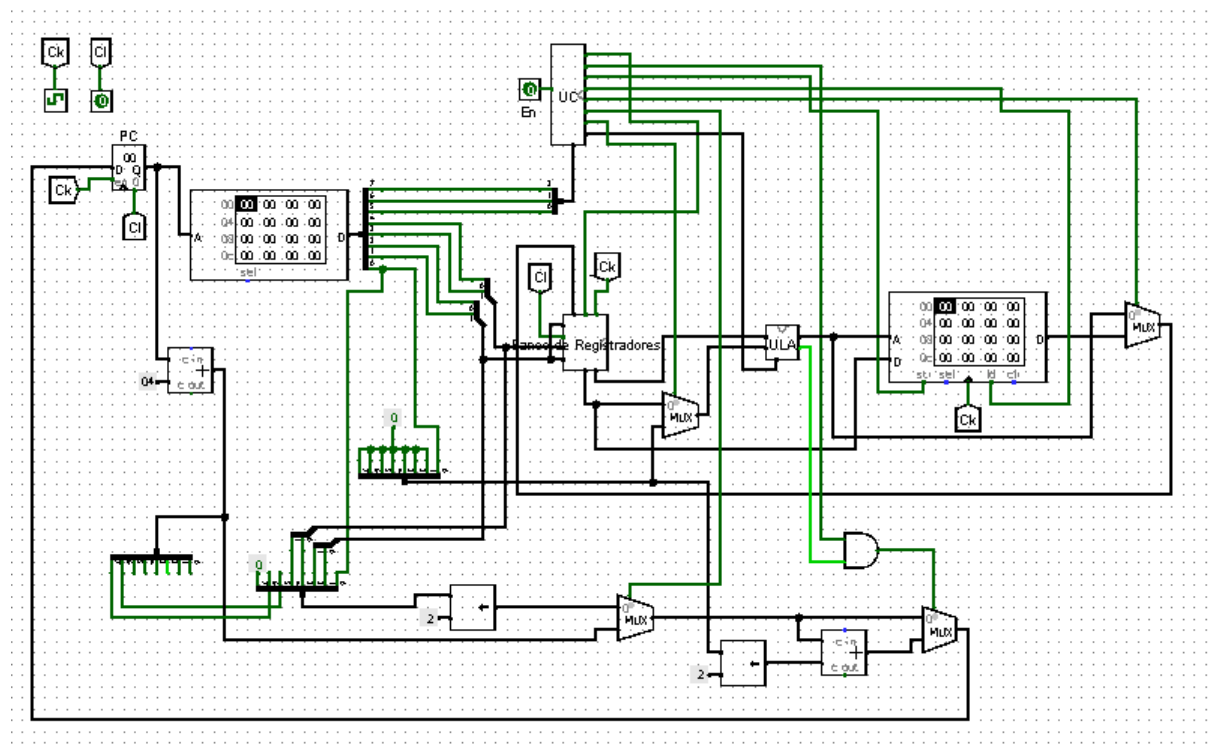


Figura 2 - Data Path Completo

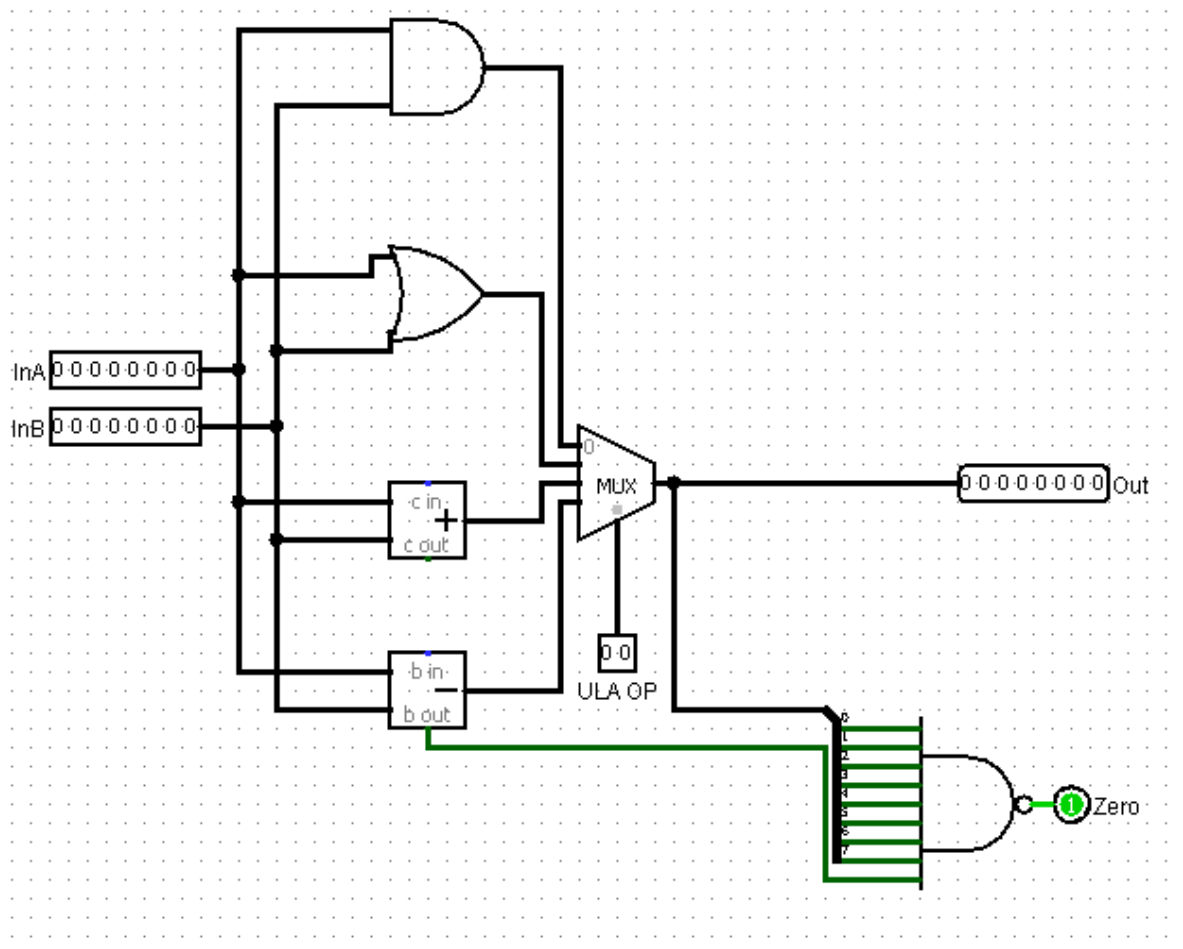


Figura 3 - ULA

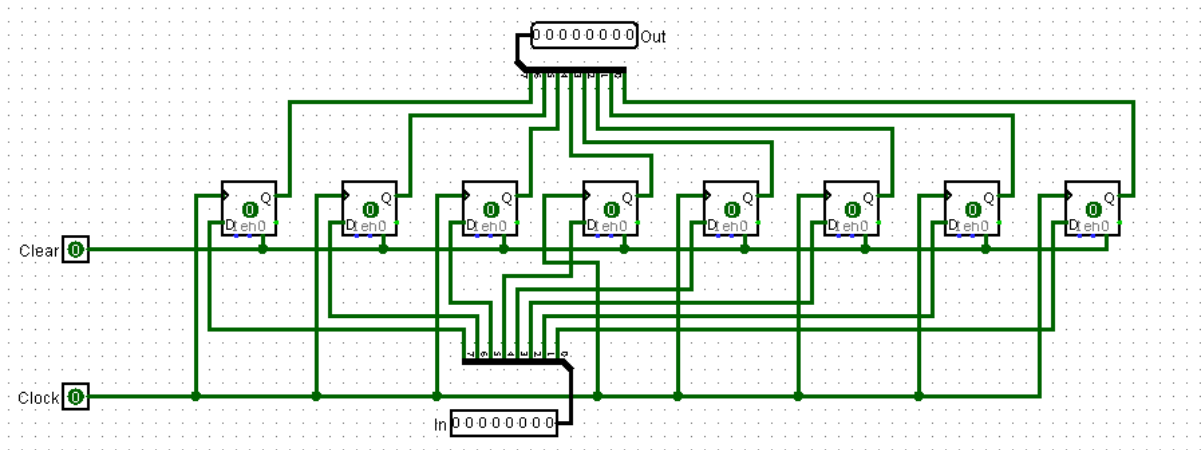


Figura 4.1 - Registrador de 8 bits

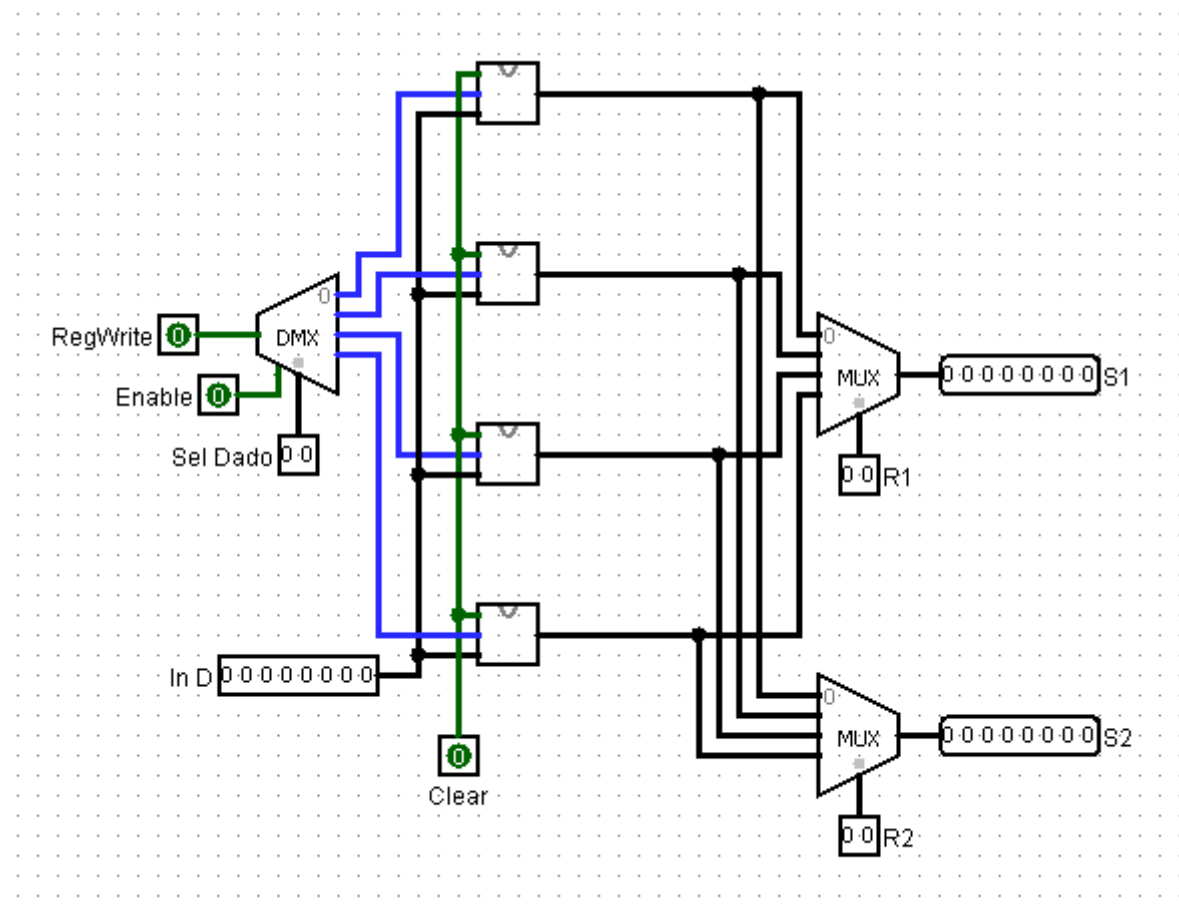


Figura 4.2 - Banco de Registradores

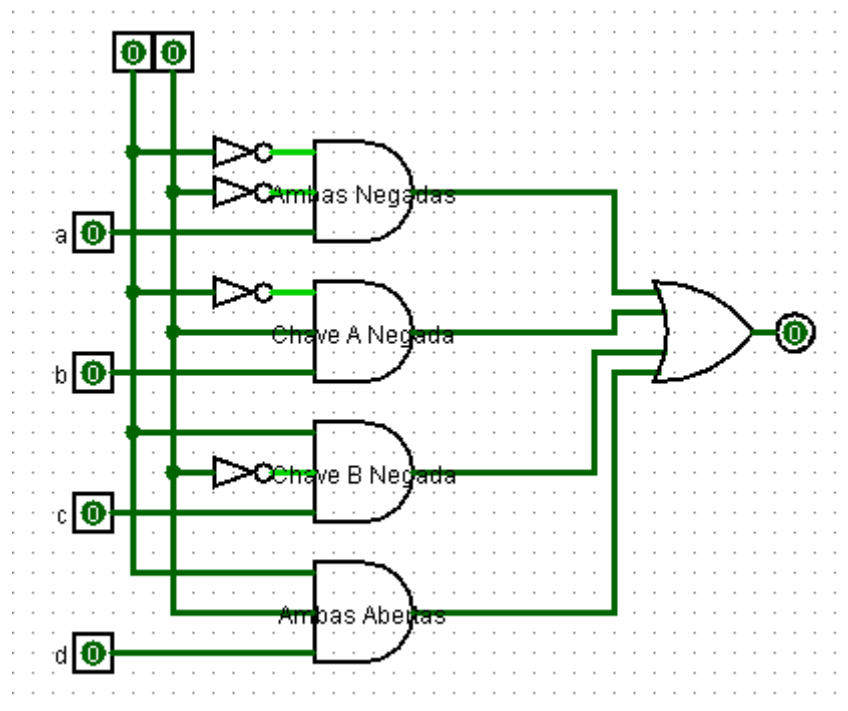


Figura 5 - Multiplexador de 4 Entradas

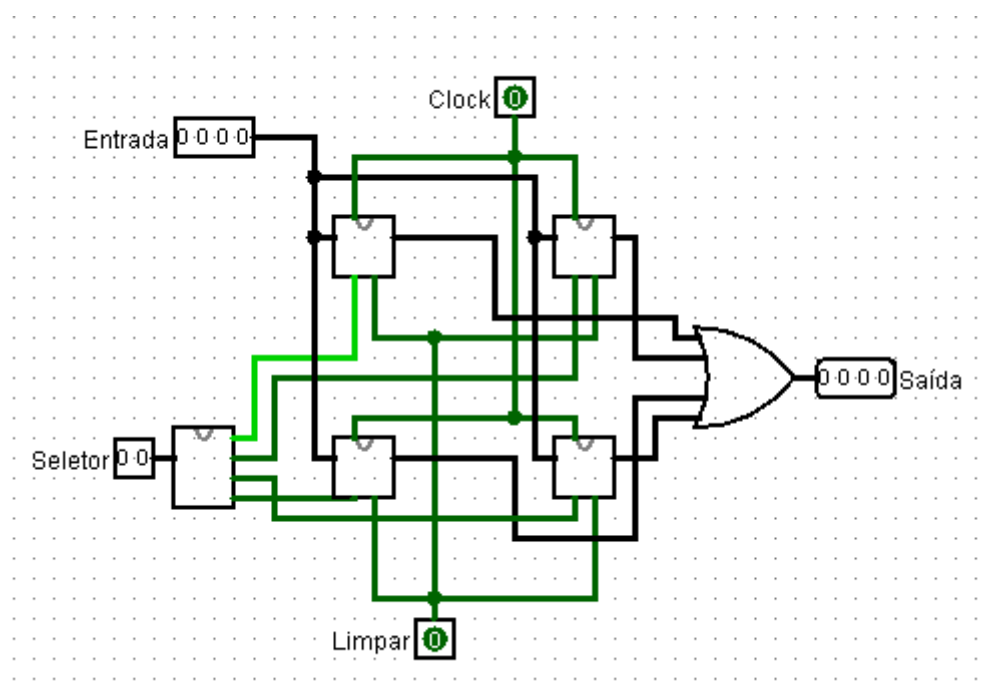


Figura 6 - Memória RAM

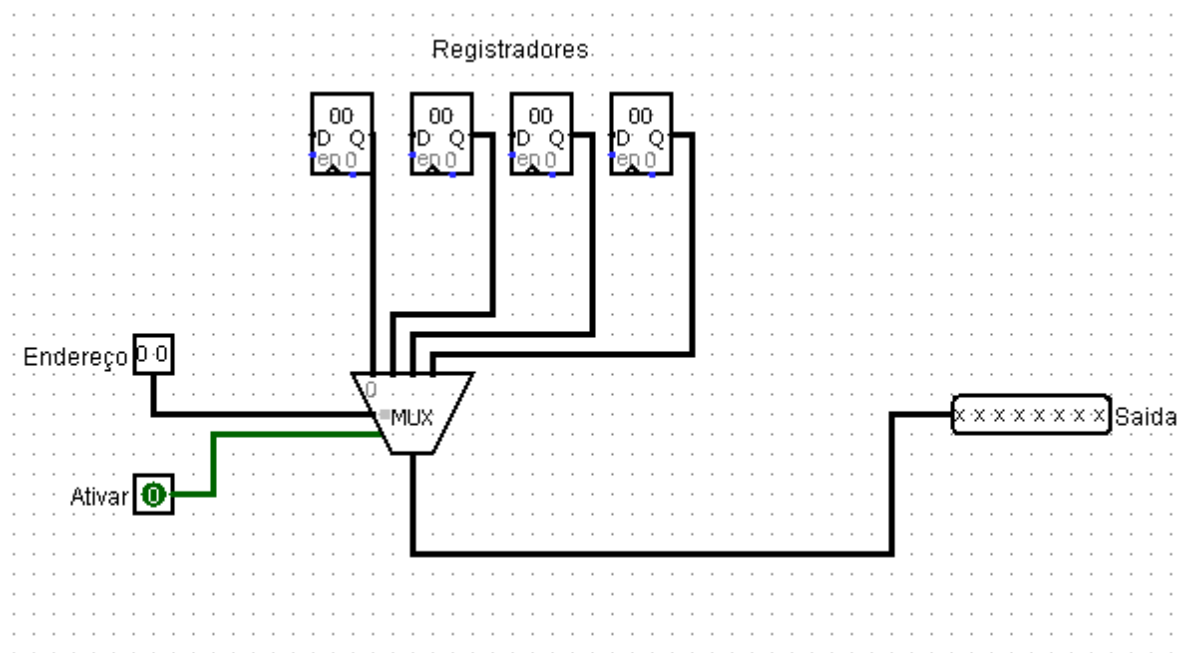


Figura 7 - Memória ROM

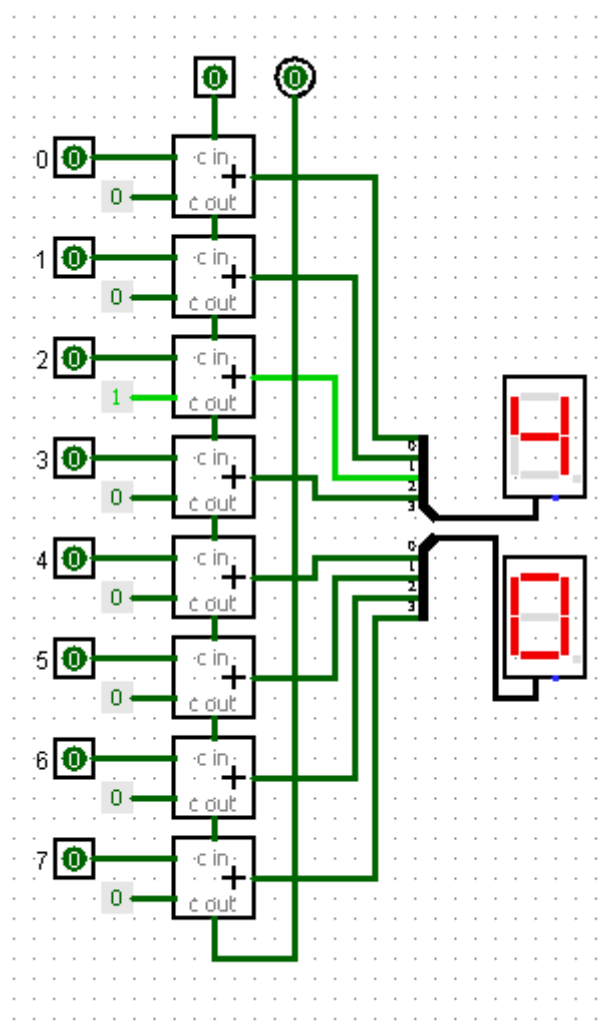


Figura 8 - Somador de 8 Bits com mais 4

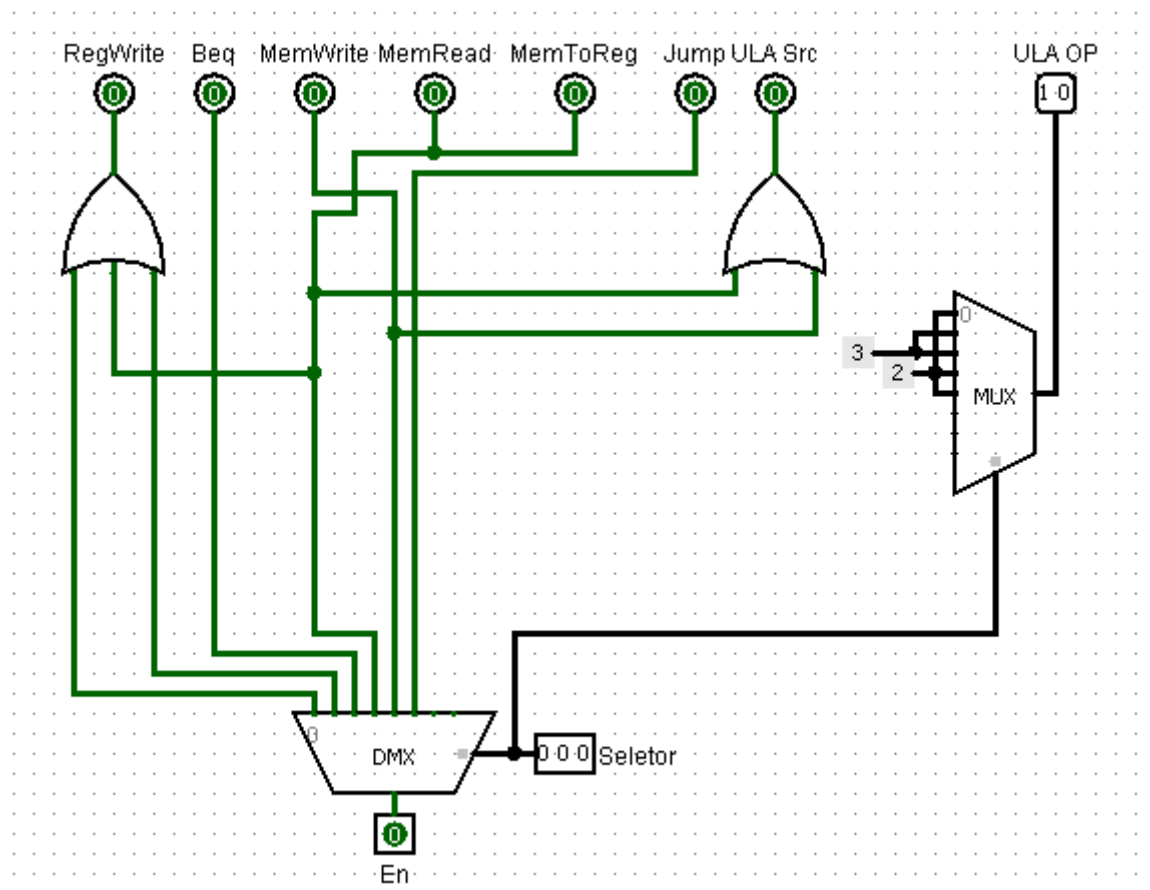


Figura 9 - Unidade de Controle

2 Simulações e Testes

Por causa de certos motivos, fazer os testes não foi possível, então, não há nenhum para ser apresentado.

3 Considerações Finais

Este trabalho apresentou o projeto e implementação do processador de 8 bits denominado de LH, demonstrando como ele foi feito, com quais componentes foi estruturado e como deveria ser bem utilizado para quem fosse querer.