

Bernardo Ferreira Torres, Thiago Felicíssimo César

# **Projeto e Implementação de um Amplificador de Áudio**

Brasil

25/05/2019

# Listas de ilustrações

Figura 1 – Topologia inicial, sem modificações.	7
Figura 2 – Estágio de entrada com polarização ativa.	9
Figura 3 – Estágio de entrada com carga ativa.	9
Figura 4 – Estágio intermediário de ganho com multiplicador de $V_{BE}$ e resistência de emissor.	11
Figura 5 – Estágio intermediário de ganho com <i>buffer</i> .	12
Figura 6 – Estágio intermediário de ganho com polarização ativa.	13
Figura 7 – Estágio intermediário de ganho com <i>buffer</i> e polarização ativa.	13
Figura 8 – Estágio de potência com <i>Emitter-follower</i> .	15
Figura 9 – Estágio de potência com <i>Complementary Feedback Pair</i> .	16
Figura 10 – Estágio de potência com <i>Tripple</i> .	16
Figura 11 – Circuito com o sistema de proteção implementado.	18
Figura 12 – Circuito com o filtro implementado.	19
Figura 13 – Cálculos das capacitâncias para o filtro.	20
Figura 14 – Cálculo da capacitância redutora de <i>offset</i> .	20
Figura 15 – Esquemático do circuito final com valores comerciais utilizados.	22
Figura 16 – Projeto da PCI feito no <i>Altium Designer</i> .	24
Figura 17 – Dissipador utilizado.	24
Figura 18 – Circuito térmico.	25
Figura 19 – Amplificador montado.	26
Figura 20 – Medição do ganho em malha fechada.	27
Figura 21 – Medição da frequência de corte superior em malha fechada.	28
Figura 22 – Medição da tensão de <i>offset</i> da saída.	28
Figura 23 – Medição das tensões de saturação positiva e negativa.	29
Figura 24 – Medição do <i>slew rate</i> .	29
Figura 25 – Registro da proteção atuando.	30
Figura 26 – Ligação do circuito para medição do ganho de modo comum.	33
Figura 27 – Análise da polarização do circuito.	35
Figura 28 – Cálculo das resistências de emissor e análise do quadripolo de realimentação.	35
Figura 29 – Análise do estágio de entrada.	36
Figura 30 – Análise do estágio intermediário de ganho e cálculo do ganho total.	37
Figura 31 – Cálculo do ganho em malha fechada e do ganho total.	37
Figura 32 – Cálculo da resistência de entrada em malha fechada e da resistência de entrada vista pela fonte de sinal.	38
Figura 33 – Cálculo das frequências de corte em malha aberta e fechada.	38

Figura 34 – Cálculo das resistências de saída em malha aberta e fechada. . . . . 38

# **Lista de tabelas**

Tabela 1 – Caracterização da topologia inicial. . . . .	7
Tabela 2 – Caracterização das mudanças propostas para o estágio de entrada. . . .	8
Tabela 3 – Caracterização das mudanças propostas para o estágio intermediário. .	12
Tabela 4 – Caracterização das mudanças propostas para o estágio de potência. . .	17
Tabela 5 – Tabela de custos do projeto. . . . .	23

# Lista de símbolos

$A_f$	Ganho em malha fechada
$A$	Ganho em malha aberta
$A_{cm}$	Ganho de modo comum
$f_{cf}$	Frequência de corte em malha fechada
$f_{ca}$	Frequência de corte em malha aberta
$R_{in}$	Resistência de entrada com realimentação
$R_{out}$	Resistência de saída com realimentação
$V_{off}$	Tensão de <i>offset</i> na saída
$L_+$	Tensão positiva de saturação
$L_-$	Tensão negativa de saturação
PSRR	Taxa de rejeição de ruído da fonte, medido a 60 Hz
CMRR	Taxa de rejeição de modo comum
SR	<i>Slew Rate</i>
THD	Distorção harmônica, com entrada senoidal a 1 KHz
$V_{in}$	Tensão de entrada do amplificador realimentado, considerando o divisor de tensão na entrada
$V_i$	Tensão de entrada do amplificador em malha fechada (ver Figura 1)
$V_f$	Tensão de realimentação do amplificador (ver Figura 1)
$V_{out}$	Tensão de saída (ver Figura 1)
$h_{fe}$	Ganho de corrente do transistor bipolar
PCI	Placa de circuito impresso

# Sumário

<b>Apresentação do Projeto . . . . .</b>	<b>6</b>
<b>1 PROPOSTAS DE MODIFICAÇÕES DOS ESTÁGIOS . . . . .</b>	<b>8</b>
<b>1.1 Estágio de entrada diferencial . . . . .</b>	<b>8</b>
<b>1.2 Estágio intermediário de ganho . . . . .</b>	<b>10</b>
<b>1.3 Estágio de potência . . . . .</b>	<b>14</b>
<b>1.4 Proteção . . . . .</b>	<b>17</b>
<b>1.5 Banda passante . . . . .</b>	<b>19</b>
<b>2 DESIGN E CONSTRUÇÃO DO AMPLIFICADOR . . . . .</b>	<b>21</b>
<b>2.1 Escolha de componentes . . . . .</b>	<b>21</b>
<b>2.2 Design da placa de circuito impresso . . . . .</b>	<b>22</b>
<b>2.3 Projeto térmico . . . . .</b>	<b>23</b>
<b>3 TESTES E RESULTADOS . . . . .</b>	<b>26</b>
<b>Conclusão . . . . .</b>	<b>31</b>
<b>APÊNDICE A – METODOLOGIA DAS SIMULAÇÕES . . . . .</b>	<b>32</b>
<b>APÊNDICE B – AVALIAÇÃO ANALÍTICA DO AMPLIFICADOR . . . . .</b>	<b>34</b>

# Apresentação do Projeto

Este documento relata o projeto de um amplificador de áudio, a fase de montagem e os resultados práticos obtidos. As especificações desejadas para o amplificador projetado são

1. Potência de saída nominal de 10 W a  $8\ \Omega$ ;
2. Tensão nominal de alimentação de  $\pm 15\ V$ ;
3. Tensão de offset máxima na saída de 10 mV;
4. Capacidade de amplificação na faixa de 20 Hz até 20 kHz sem distorção de fase;
5. Regulação de linha e de carga inferiores a 1%;
6. THD inferior a 0,01% para sinais de frequências menores que 10 kHz;
7. Presença de proteção contra sobrecarga;
8. Presença de ajuste de volume.

Para esse desenvolvimento, iniciou-se com a topologia inicial ilustrada na Figura 1, que apresenta baixo desempenho quando analisados os parâmetros apresentados acima - como pode ser visto na Tabela 1. Para cada estágio deste circuito, propuseram-se modificações, que foram avaliadas por meio de simulações, e após feitas considerações com respeito ao desempenho e a complexidade adicional, escolheu-se uma modificação para compor o circuito final.

Também foram projetadas outras partes, como um filtro e um esquema de proteção para o amplificador. Em seguida, é relatado o projeto da PCI, bem como aspectos relacionados ao teste experimental do amplificador.

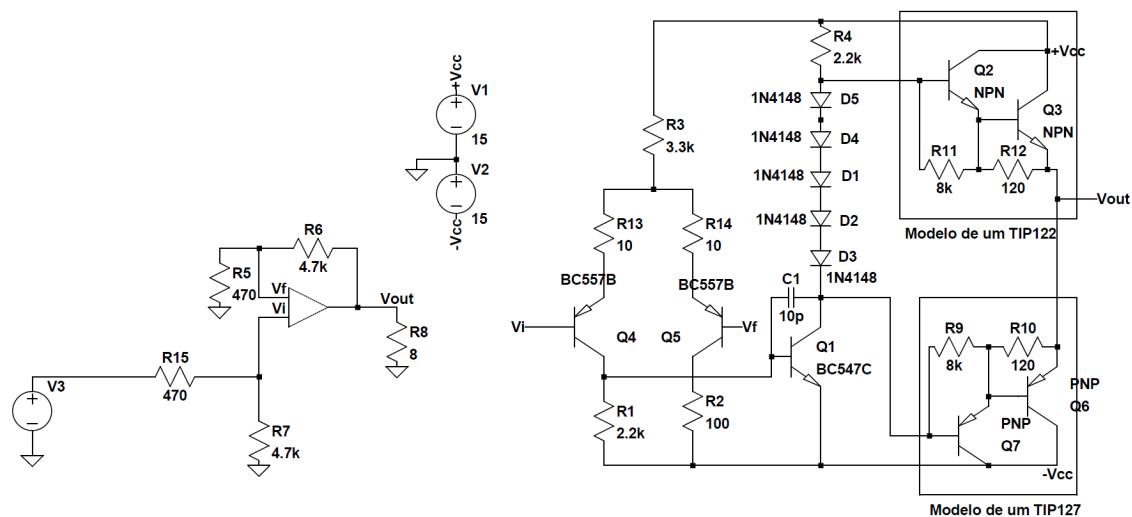


Figura 1 – Topologia inicial, sem modificações.

Circuito inicial	
$A_f [db]$	20,03
$A [db]$	72,98
$A_{cm} [db]$	27,95
$f_{cf} [\text{MHz}]$	13,59
$f_{ca} [\text{KHz}]$	26,16
$R_{in} [\Omega]$	5263
$R_{out} [\text{m}\Omega]$	2,56
$V_{off} [\text{V}]$	-1,206
$L_+ [\text{V}]$	12,42
$L_- [\text{V}]$	-13,15
PSRR [db]	24,7
CMRR [db]	45,02
SR [ $\text{V}/\mu\text{s}$ ]	24,4
THD [%]	0,028

Tabela 1 – Caracterização da topologia inicial.

# 1 Propostas de modificações dos estágios

Neste capítulo são caracterizadas as mudanças propostas no circuito, bem como é relatada a escolha feita para o circuito final. Nas tabelas nesta seção será denominado o estado presente do circuito, considerando as modificações já confirmadas, de acumulado (esses dados são exibidos na tabela para motivos de comparação). Daqui em diante, quando não for necessário, serão omitidos a alimentação e a malha de realimentação nas ilustrações do circuito.

## 1.1 Estágio de entrada diferencial

Para o estágio de entrada, foram caracterizadas duas modificações. Primeiramente, a polarização passiva, feita por uma resistência de  $3,3\text{ k}\Omega$ , foi substituída por uma polarização por fonte de corrente, como ilustrado na Figura 2. A topologia da fonte utilizada foi escolhida por sua simplicidade, uma vez que só é necessário um transistor para implementá-la. Para manter a mesma corrente de polarização de antes (ver Apêndice B), escolheu-se uma resistência de emissor igual a  $163\text{ }\Omega$  (pois, sabendo que a queda de tensão na resistência será aproximadamente igual a tensão em um dos diodos, tem-se que  $\frac{0,7\text{ V}}{163\text{ }\Omega} \approx 4,3\text{ mA}$ ).

Além disso, foi caracterizada uma segunda modificação, na qual as resistências de coletor do par diferencial foram substituídas por uma carga ativa, como ilustrado na Figura 3.

	Acumulado	Polarização Ativa	Carga Ativa	Polarização e Carga Ativa
$A_f [db]$	20	20	20	20
$A [db]$	72,98	72,37	85,87	88,84
$A_{cm} [db]$	27,95	28,4	-5,51	-6,93
$f_{cf} [\text{MHz}]$	13,59	13,68	26,07	26,6
$f_{ca} [\text{KHz}]$	26,16	28,92	20,31	15,2
$R_{in} [\Omega]$	5263	5168	5166	5168
$R_{out} [\text{m}\Omega]$	2,56	2,51	0,49	0,47
$V_{off} [\text{V}]$	-1,206	-1,280	-0,351	-0,366
$L_+ [\text{V}]$	12,42	12,43	12,43	12,42
$L_- [\text{V}]$	-13,15	-13,10	-13,16	-13,15
PSRR [db]	24,7	50,1	38,9	62,7
CMRR [db]	45,02	43,97	91,38	95,78
SR [ $\text{V}/\mu\text{s}$ ]	24,4	24,3	181,6	198,2
THD [%]	0,028	0,029	0,017	0,016

Tabela 2 – Caracterização das mudanças propostas para o estágio de entrada.

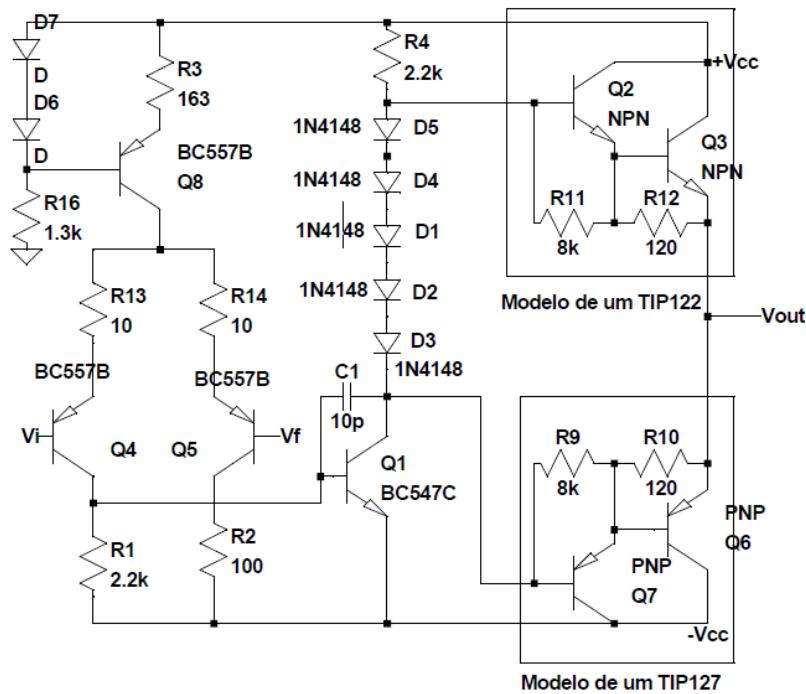


Figura 2 – Estágio de entrada com polarização ativa.

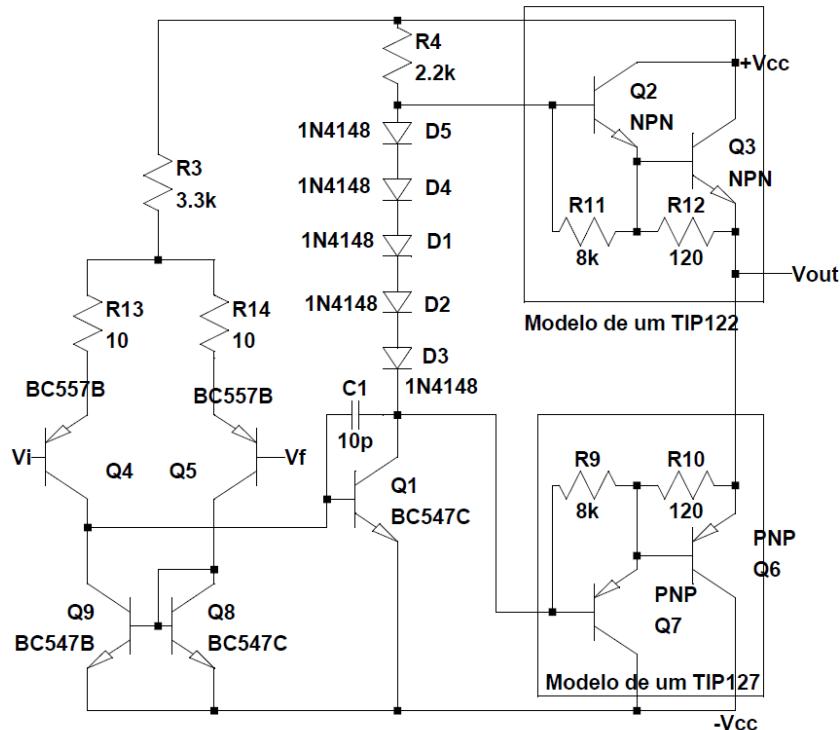


Figura 3 – Estágio de entrada com carga ativa.

A Tabela 2 exibe como os parâmetros do circuito inicial se modificaram, considerando primeiramente cada mudança introduzida de forma separada, e após o impacto quando consideradas as duas alterações em conjunto (assim como explicado anteriormente, o acumulado é o estado do circuito sem modificações - nesse caso, corresponde a topologia inicial).

Nota-se alguns benefícios observados. A introdução da carga ativa aumenta o ganho do estágio (o que pode ser observado olhando o ganho em malha aberta) pois as resistências de coletor no par diferencial passam a ser as resistências de saída dos transistores da carga, que são bem altas - e como o ganho é proporcional a resistência de coletor, então o ganho também sofre um aumento.

Como o amplificador é realimentado, o aumento do ganho em malha aberta causa uma melhora de vários parâmetros de malha fechada - como é o caso da resistência de saída e da frequência de corte em malha fechada. Um outro benefício da carga ativa é que ela tende a equilibrar as correntes do par diferencial, uma vez que as junções base-emissor dos transistores da carga são ligadas em uma mesma tensão. Um dos efeitos disso é a diminuição da tensão de *offset*.

Já no que diz respeito a fonte de corrente, seu maior benefício é a melhora na atenuação do ruído de fonte, o que ocorre devido ao fato da corrente suprida pela fonte ficar menos sensível a tensão de alimentação.

Considerando as duas modificações em conjunto, basicamente observou-se os benefícios considerados anteriormente combinados. Ademais, nota-se que a complexidade do circuito não aumenta muito. Desse modo, a decisão final para a topologia desse estágio ficou em adicionar as duas modificações ao circuito final.

## 1.2 Estágio intermediário de ganho

Para o estágio intermediário de ganho, ou segundo estágio, primeiramente foram feitos dois ajustes que na verdade não tem como objetivo principal de melhorar o desempenho do amplificador, mas que foram feitos por motivos práticos descritos a seguir. Como esses ajustes não devem produzir alterações significativas nos parâmetros do amplificador, eles não foram simulados separadamente, e assim foram consideradas como já parte do circuito base em cima do qual são propostas as modificações reais para este estágio. Esses ajustes são ilustradas na Figura 4 e descritos a seguir.

Primeiramente, os diodos que eram utilizados para realizar a polarização do estágio de potência foram substituídos por um multiplicador de  $V_{BE}$ . Esse ajuste tem como principal objetivo oferecer mais liberdade para a alteração da polarização após a montagem do amplificador.

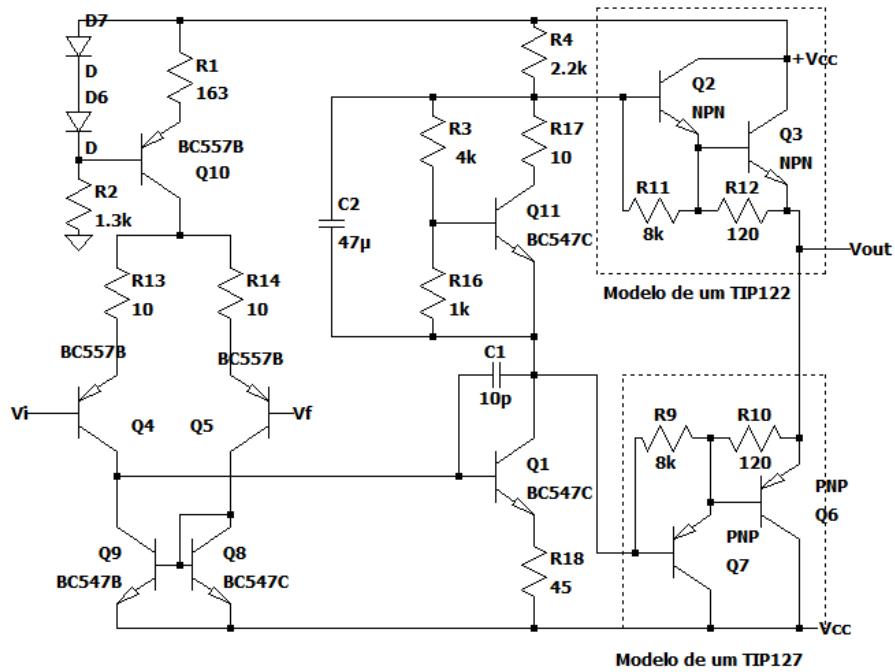


Figura 4 – Estágio intermediário de ganho com multiplicador de  $V_{BE}$  e resistência de emissor.

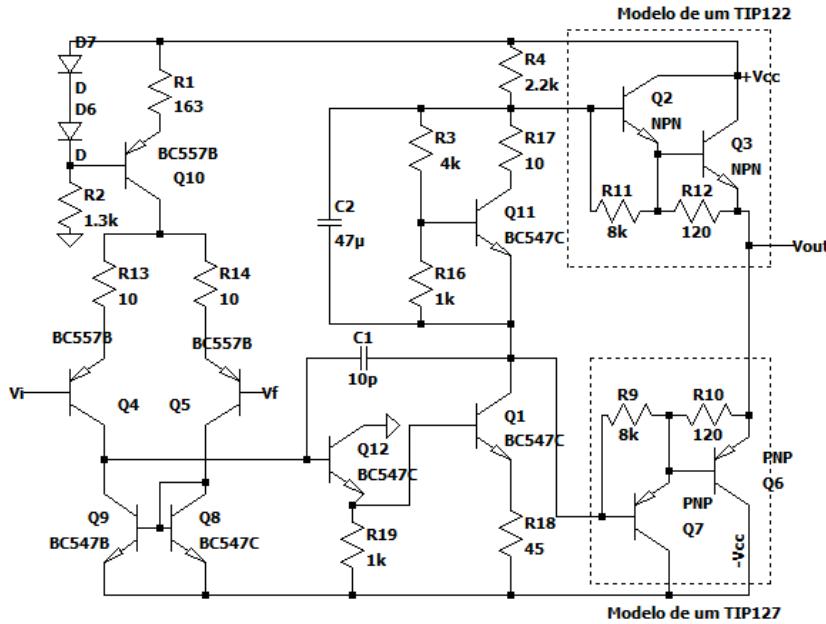
De fato, trocando-se uma das resistências do multiplicador por um *trimpot*, torna-se possível ajustar a tensão de polarização do estágio de saída, permitindo-se que a polarização deste estágio seja ajustada para um valor ótimo. O capacitor de  $47 \mu\text{F}$  age como um capacitor tanque e tem como objetivo estabilizar a tensão de polarização.

Um outro benefício que o multiplicador de  $V_{BE}$  traz é a compensação térmica: as variações dependentes de temperatura podem ser casadas com as variações nos transistores do estágio de potencia, evitando uma avalanche térmica. Isso é feito, no caso desse amplificador de áudio, colocando o transistor do multiplicador de  $V_{BE}$  no mesmo dissipador que os transistores do estágio de potencia. Esse tópico será discutido novamente na seção 2.3.

O segundo ajuste é a adição de uma resistência de emissor no transistor de ganho deste estágio. Esse resistor ainda não tem nenhuma função, mas em um dos próximos estágios do desenvolvimento deste amplificador sua resistência será ajustada e ele será conectado em um transistor para fazer parte do circuito de proteção. Mas por enquanto não é necessário se concentrar nisso, e sim nas mudanças que produzem impactos reais nos parâmetros, apresentadas a seguir.

A primeira mudança foi a adição de um *buffer* na entrada do estágio, que tem como objetivo evitar efeitos de carga gerados pela interligação deste estágio com o anterior. Essa mudança é ilustrada na Figura 5.

A segunda mudança, que é ilustrada na Figura 6 foi a troca da resistência de

Figura 5 – Estágio intermediário de ganho com *buffer*.

	Acumulado	Polarização Ativa	Buffer	Buffer e Polarização Ativa
$A_f [db]$	20	20	20	20
$A [db]$	88,84	101,4	87,91	111,18
$A_{cm} [db]$	-6,93	-20	-12,76	4,08
$f_{cf} [\text{MHz}]$	26,6	26,3	27,9	28,5
$f_{ca} [\text{KHz}]$	15,2	3,73	19,17	1,3
$R_{in} [\Omega]$	5168	5170	5169	5167
$R_{out} [\text{m}\Omega]$	0,47	0,57	0,35	0,15
$V_{off} [\text{V}]$	-0,366	-0,361	-0,353	-0,353
$L_+ [\text{V}]$	12,42	12,52	12,78	12,51
$L_- [\text{V}]$	-13,15	-12,65	-12,57	-12,81
PSRR [db]	62,7	60,2	64,4	60,1
CMRR [db]	95,78	121,4	100,67	107,09
SR [V/ $\mu\text{s}$ ]	198,2	212	211	239
THD [%]	0,016	0,015	0,016	0,015

Tabela 3 – Caracterização das mudanças propostas para o estágio intermediário.

polarização por uma fonte de corrente, utilizando a mesma topologia da fonte do estágio de entrada. Para que a corrente de polarização fosse aproximadamente a mesma utilizada anteriormente (6,2 mA, ver Apêndice B) escolheu-se uma resistência de 120  $\Omega$  para ser ligada no emissor do transistor da fonte. Desse modo, tem-se que a corrente será  $\frac{0,7 \text{ V}}{120 \Omega} \approx 5,8 \text{ mA}$ , um valor próximo do desejado.

Por fim, considerou-se também o impacto conjunto das duas mudanças quando em conjunto, como é ilustrado na Figura 7. Os parâmetros para as alterações sugeridas são exibidos na Tabela 3.

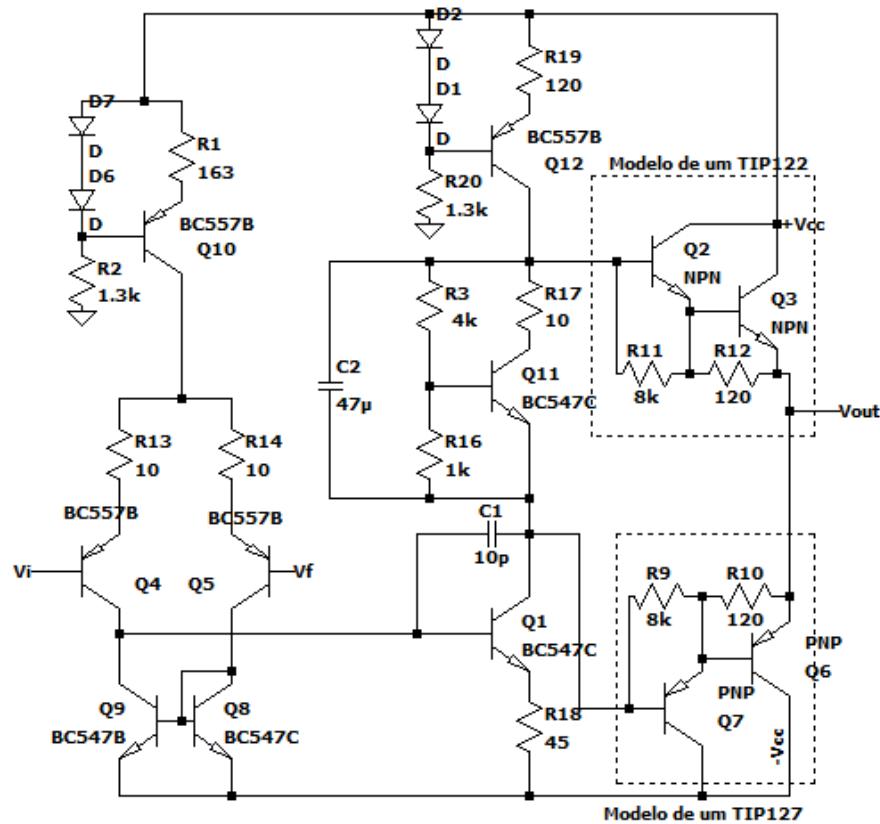
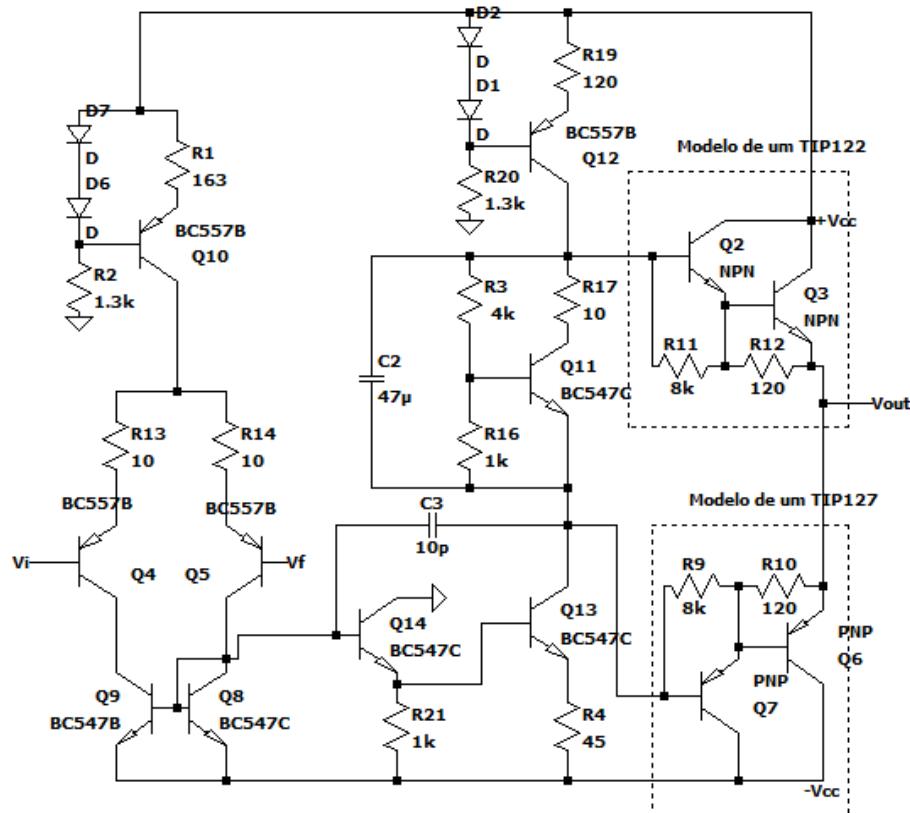


Figura 6 – Estágio intermediário de ganho com polarização ativa.

Figura 7 – Estágio intermediário de ganho com *buffer* e polarização ativa.

Nota-se que a mudança para um esquema de polarização ativa traz alguns impactos. Primeiramente, como a resistência de polarização impacta no ganho deste estágio, e considerando que a resistência de saída da fonte é bem maior que a resistência da polarização passiva, percebe-se um aumento no ganho (isso não aconteceu no estágio de entrada pois em um par diferencial essa resistência não está relacionada com ganho). Isso causa também uma diminuição da frequência de corte em malha aberta, o que é normal de se acontecer quando o ganho aumenta.

Um ponto interessante de comentar é que o PSRR não se alterou muito - na verdade, houve até um decréscimo da atenuação -, o que é bastante contra intuitivo. É difícil precisar o motivo deste fenômeno, mas especula-se que pode estar ligado a mudança do esquema de polarização do estágio de potência. Entretanto, como o circuito é bastante complexo, vários fatores difíceis de serem considerados analiticamente podem ter contribuídos para esse fato, o que inclusive motiva o uso de simulações em projetos dessa espécie.

Já no que diz respeito ao *buffer*, observa-se que os parâmetros não se alteraram fortemente. Na verdade, o que se nota é que os parâmetros quase todos apresentaram uma melhora, mas que não é muito alta.

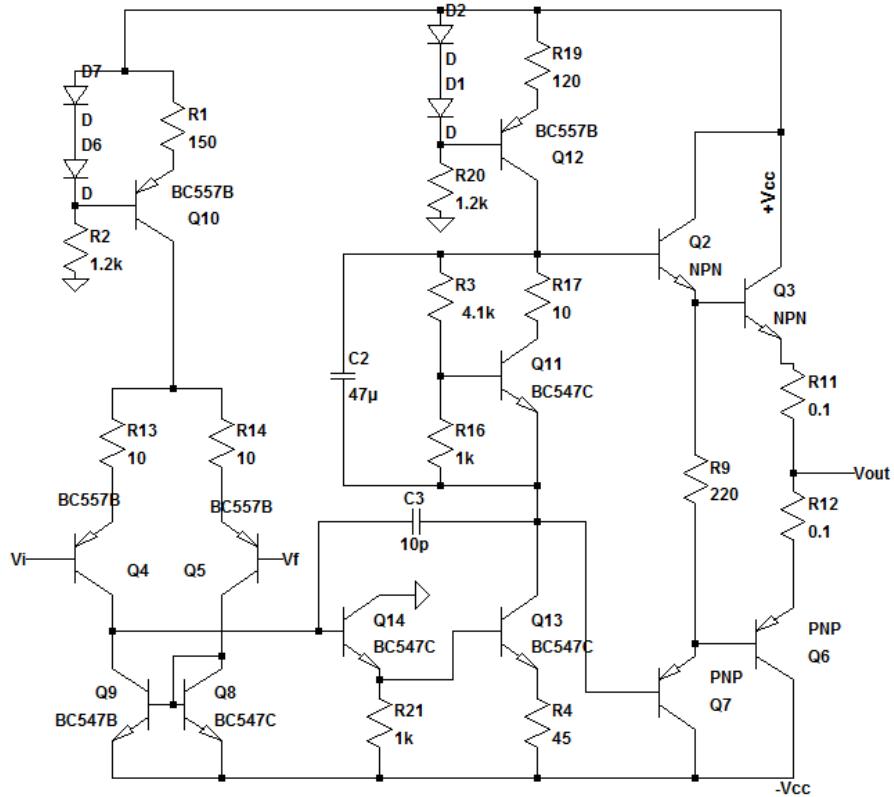
Quando consideradas as duas alterações em conjunto, notou-se uma melhora geral nos parâmetros do amplificador, basicamente causada pela sobreposição da contribuição de cada uma das alterações previamente explicadas. Assim sendo, e considerando que ambas as mudanças não geram um aumento muito abrupto da complexidade do circuito, escolheu-se para o estágio intermediário de ganho manter-se as duas mudanças.

### 1.3 Estágio de potência

Para o estágio de potencia, ou terceiro estágio, foram propostas e avaliadas três modificações, com topologias bem distintas. Antes de compará-las, porém, é importante notar que foi feita um pequeno ajusto no circuito da Figura 7, na qual a resistência do multiplicador de  $V_{BE}$  foi alterada para melhorar a polarização deste estágio. As configurações propostas serão brevemente discutidas, uma vez que uma análise profunda dos circuitos pode se tornar trabalhosa e pouco prática, sendo que os resultados são vistos de forma mais clara por meio de simulações.

O estágio de potencia do amplificador inicial (Figura 1) é um estágio de saída classe AB baseado em transistores *Darlington*. Sendo classe AB, ele permite uma compensação de *crossover*, garantindo uma linearidade do circuito - característica essencial para um amplificador de áudio. Contudo, sua linearidade ainda pode ser melhorada, e a topologia proposta inicialmente também apresenta problemas de estabilidade térmica.

A primeira modificação proposta faz uso de uma topologia *Emitter-follower (EF)*.

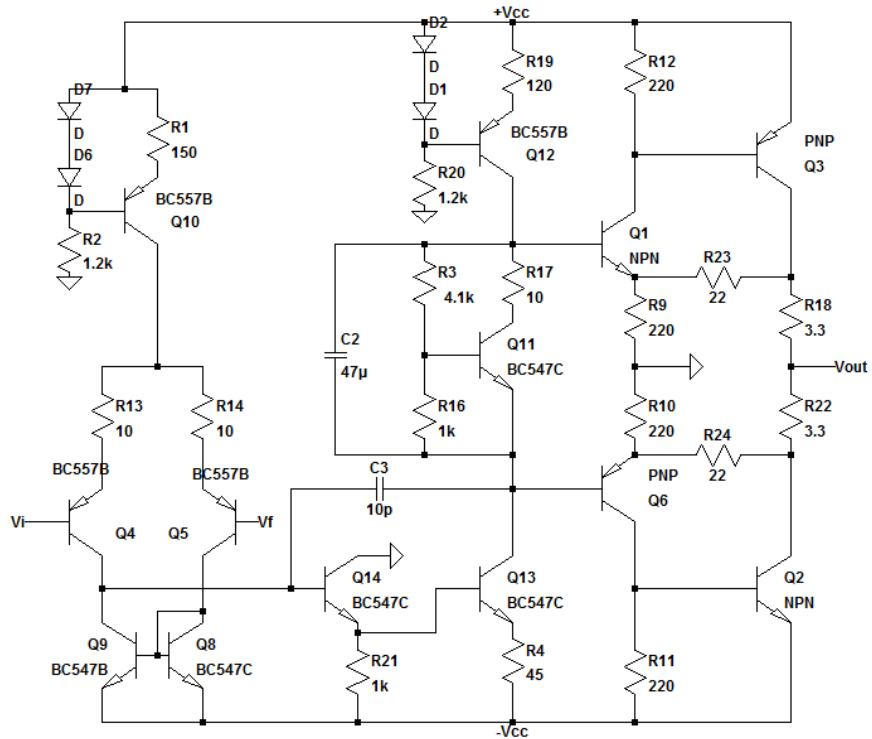
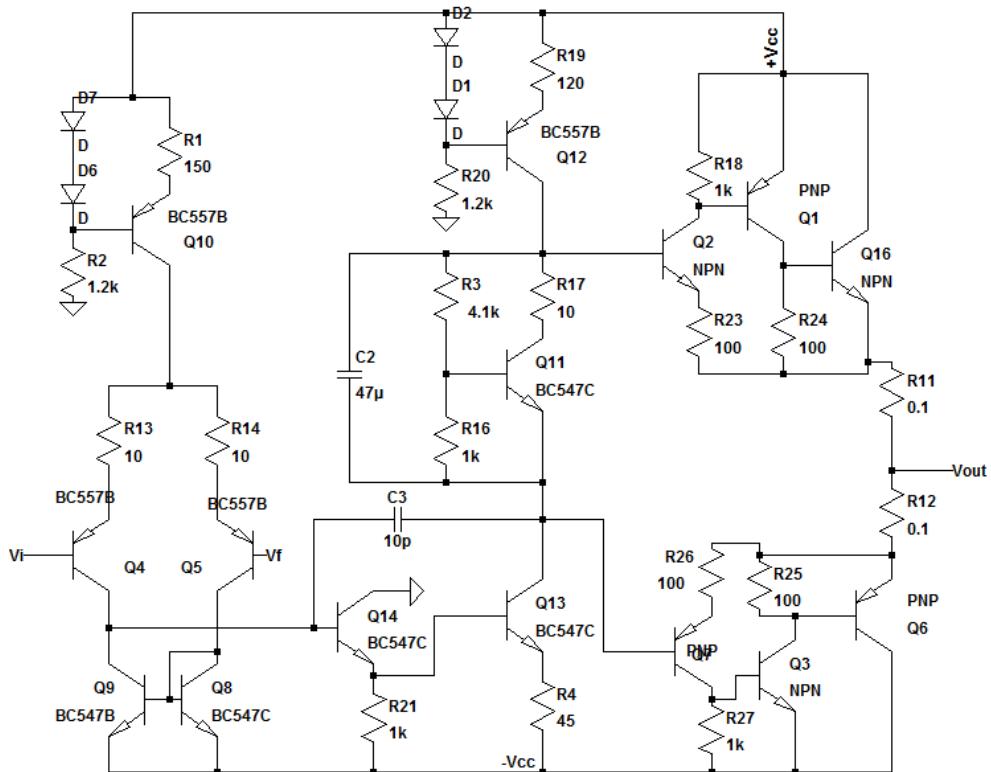
Figura 8 – Estágio de potência com com *Emitter-follower*

Essa configuração é, essencialmente, análoga a uma implementação utilizando *Darlingtons*, porém permite uma escolha de componentes mais seletiva e separa o transistor *driver* do transistor de potência. O resistor conectado entre os emissores dos *drivers* melhora os níveis de distorção do estágio, uma vez que promove o desligamento do transistor mais rapidamente na passagem da tensão de saída pelo zero. Essa modificação é ilustrada na Figura 8.

A segunda modificação proposta (Figura 9) faz uso de uma topologia *Complementary Feedback Pair (CFP)*, que utiliza transistores complementares em ambas as partes positiva e negativa do ciclo da tensão. Como o transistor *driver* está sempre polarizado, esta configuração apresenta grande linearidade. A realimentação presente nos circuitos dos transistores *driver* e de potência já realiza a compensação térmica, evitando que a saída entre em avalanche. Esse aspecto é melhor explorado no documento disponibilizado para o estudo deste estágio nesta disciplina.

A terceira topologia avaliada, denominada *Tripple*, faz uso de três transistores para ambas as tensões positivas e negativas na saída. Essa configuração é marcada por um alto ganho de corrente, e faz uso de uma realimentação local semelhante à configuração precedente (CFP). Essa modificação é ilustrada na Figura 10.

Como pode ser visto na Tabela 4, os estágios de potência considerados apresentam algumas melhorias com relação à configuração precedente, principalmente com relação ao

Figura 9 – Estágio de potência com com *Complementary Feedback Pair*Figura 10 – Estágio de potência com com *Tripple*

	Acumulado	CFP	Emitter Follower	Tripple
$A_f [db]$	20	20	20	20
$A [db]$	111,18	115,0	114,8	122,1
$A_{cm} [db]$	4,08	-27,96	-33,97	-27,96
$f_{cf} [\text{MHz}]$	28,5	30,5	29,2	29,5
$f_{ca} [\text{KHz}]$	1,3	1,05	0,96	0,428
$R_{in} [\Omega]$	5167	5169	5170	5170
$R_{out} [\text{m}\Omega]$	0,15	0,108	0,190	0,002
$V_{off} [\text{V}]$	-0,353	-0,370	-0,369	-0,369
$L_+ [\text{V}]$	12,51	10,37	12,36	13,27
$L_- [\text{V}]$	-12,81	-10,62	-12,67	-12,83
PSRR [db]	60,1	59,3	59,4	59,4
CMRR [db]	107,09	141,75	148,78	150,1
SR [V/ $\mu$ s]	239	272	283	252
THD [%]	0,013	0,014	<0,001	0,012

Tabela 4 – Caracterização das mudanças propostas para o estágio de potência.

ganho em malha aberta, resistência de saída (no caso do CFP e *Tripple*), PSRR e *slew rate*.

Alguns pontos negativos também podem ser destacados: a tensão de saturação da topologia CFP foi bastante reduzida, chegando a valores próximos de 10 V. Certamente isso é indesejável, uma vez que, em condições nominais, a tensão de saída é aproximadamente 9 V, deixando uma margem ligeira. Além disso, a resistência de saída, para o caso EF, foi ligeiramente aumentada.

Percebe-se que, em termos gerais, a topologia *Tripple* apresenta os melhores ganhos. Contudo, ela apresenta um número maior de componentes e complexidade superior às outras configurações. Tendo isso em mente, somado ao fato de que a *Emitter Folower* é a única que atingiu as especificações de THD, mesmo sem grandes diferenças nos outros aspectos, e apresentando um número reduzido de componentes, foi feita a escolha do estágio de potencia com esta configuração.

## 1.4 Proteção

A topologia inicial do amplificador já foi bastante melhorada até aqui, ainda assim ela não apresenta um sistema de proteção contra sobrecargas, o que é essencial em um projeto bem realizado. Para resolver esta questão, decidiu-se implementar uma proteção do tipo grampeada, como é ilustrado na Figura 11.

Nesse tipo de proteção, utiliza-se um resistor *shunt* para medir a corrente de saída de um determinado estágio de amplificação. Esse resistor é conectado em paralelo com a junção base-emissor de um transistor bipolar, cujo coletor é conectado na entrada do

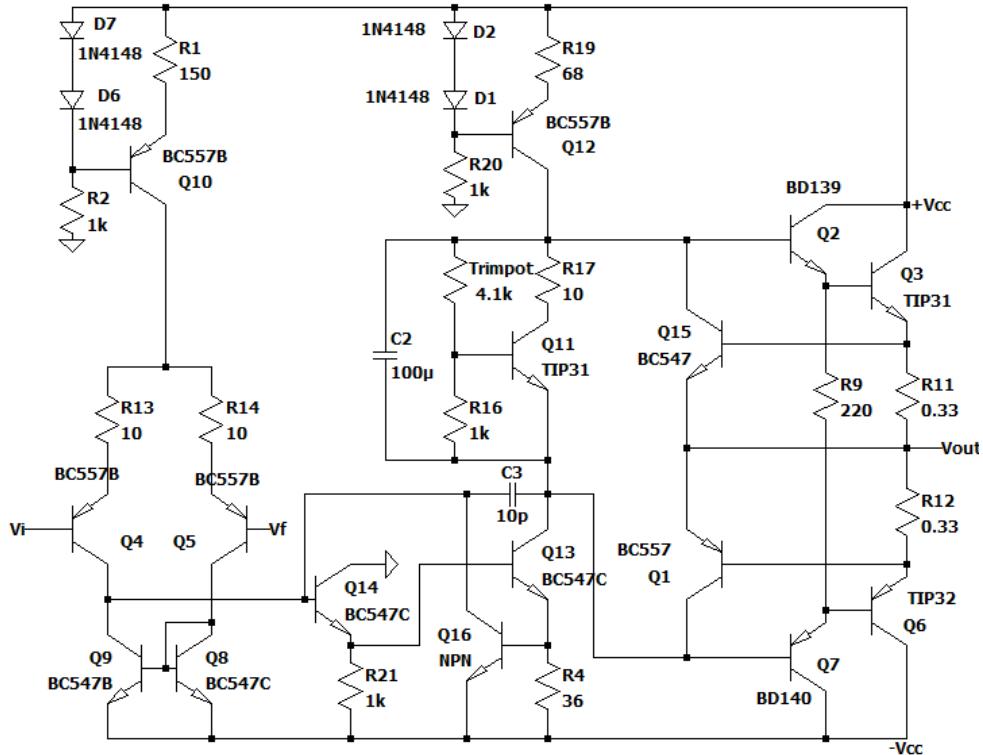


Figura 11 – Circuito com o sistema de proteção implementado.

estágio de amplificação.

A resistência *shunt* é ajustada para que no modo de operação normal o transistor fique inativo, mas que para uma determinada corrente ele seja ativado. Quando isso ocorre, o transistor passa a oferecer para a corrente de entrada do estágio um novo caminho de passagem, o que diminui a corrente que de fato é amplificada, limitando consequentemente também a tensão de saída. Essa corrente que passa pelo bipolar também é redirecionada para a saída, mas como ela não sofre ganho, então seu valor é desprezível. A partir desse ponto, o amplificador para de funcionar como amplificador de tensão e passa a funcionar como um amplificador de corrente.

No caso particular do amplificador implementado neste projeto, o estágio no qual a proteção é mais necessária é o estágio de potência. Para isso, foram inseridos os transistores Q1 e Q15 no estágio de potência. Para escolher a resistência *shunt* que deve ser usada na proteção, deve-se escolher uma corrente máxima de saída. Sabe-se que a potência e a carga nominal do amplificador são, respectivamente, 10 W e 8 Ω. Com isso, pode-se calcular a corrente nominal como sendo  $\sqrt{\frac{P}{R}} \approx 1,1$  A. Adicionando uma margem de 100%, chega-se em uma corrente máxima de 2,2 A. Como se sabe que no momento em que a proteção for acionada haverá uma queda de tensão de 0,7 V na junção base-emissor do transistor, então o valor da resistência *shunt* é dado por  $\frac{0,7V}{2,2A} \approx 3,3$  Ω.

Todavia, só proteger o estágio de saída ainda não resolve o problema. No semicírculo positivo, tem-se que a corrente de entrada do estágio de potência é limitada pelo valor

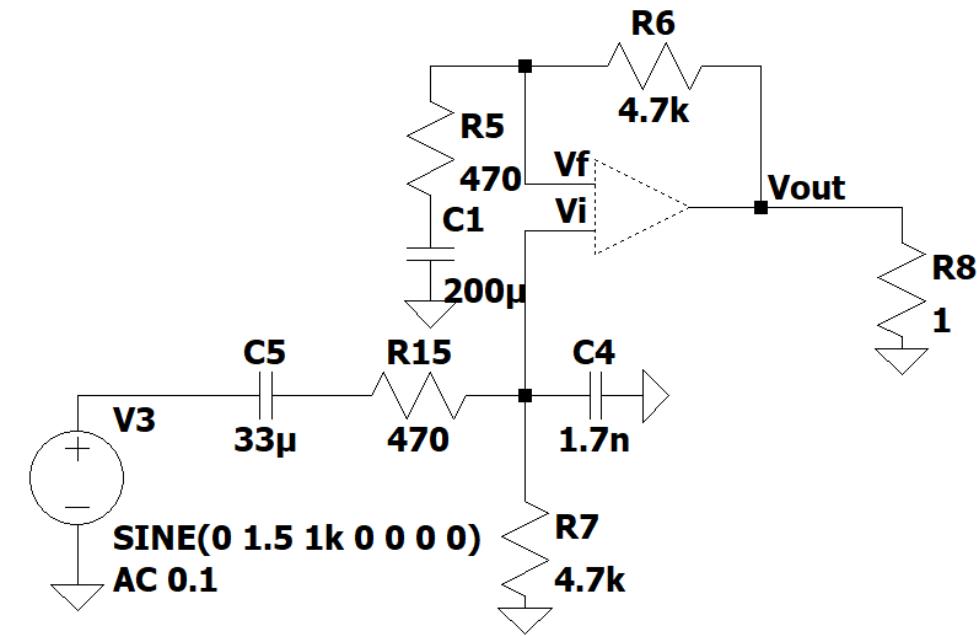


Figura 12 – Circuito com o filtro implementado.

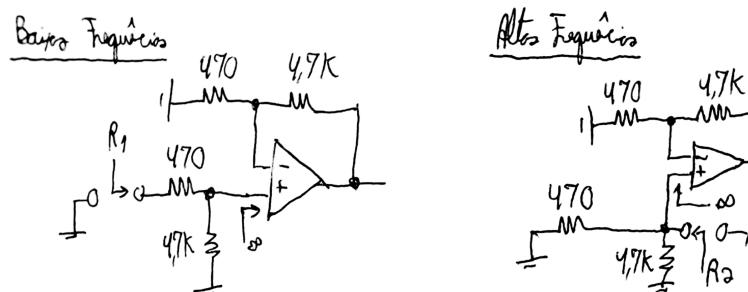
que a fonte de corrente consegue fornecer, portanto nesse caso não corre-se o risco do estágio de potência demandar corrente indefinidamente. Entretanto, durante o semicírculo negativo a corrente tem sentido entrando no segundo estágio, o que pode causar a queima do transistor Q13. Para isso, foi inserido o transistor Q16 no circuito, e a resistência de emissor do Q13 foi ajustada para proteger o circuito quando a corrente de saída desse estágio for aproximadamente duas vezes a corrente de polarização. Com isso, tem-se que a resistência é dada por  $\frac{0,7}{2I_p} = \frac{0,7}{2\frac{0,7}{68}} = \frac{0,7V}{19mA} \approx 36 \Omega$ .

## 1.5 Banda passante

Como o amplificador será utilizado para aplicações de áudio, então a faixa de frequências de interesse vai de 20 Hz até 20 KHz (estes são os limiares da audição humana). Dessa forma, convém limitar a faixa de frequências do circuito de forma a impedir que ele amplifique ruídos em frequências indesejadas.

Para isso, o tipo de filtro mais adequado a ser usado é um passa-faixas. Ele pode ser implementado simplesmente com o uso de um filtro passa-baixas e um outro passa-altas. Como não se deseja inserir distorção de fase na faixa de frequências de interesse, convém colocar os polos uma década acima e abaixo dos limites dessa faixa - em outras palavras, colocando-se os polos em 2 Hz e 200 KHz, é possível evitar a introdução de distorção de fase.

O filtro foi inserido na entrada do circuito, como é ilustrado na Figura 12 (os valores na imagem são próximos mas diferentes dos calculados, escolhidos por serem comerciais



$$R_1 = 470 + 4,7K$$

$$R_2 = 470 // 4,7K$$

$$C_1 \approx \frac{1}{2\pi R_1 f_1} = \frac{1}{2\pi(470 + 4,7K)} \approx 15\mu F$$

$$C_2 \approx \frac{1}{2\pi R_2 f_2} = \frac{1}{2\pi(470 // 4,7K) 200 \cdot 10^3}$$

$$C_2 \approx 1,86 nF$$

Figura 13 – Cálculos das capacitâncias para o filtro.

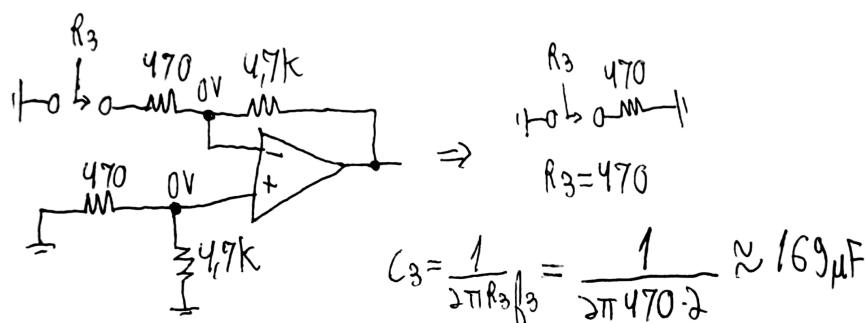


Figura 14 – Cálculo da capacitância redutora de *offset*.

e/ou de fácil acesso). Utilizando-se o método das constantes de tempo, foram calculados os valores de capacitância necessárias para as frequências de corte desejadas. Os cálculos são apresentados na Figura 14.

Também foi interessante inserir um capacitor na realimentação do circuito, como é ilustrado na Figura 12, de forma a diminuir o *offset* da saída. De fato, como o capacitor abre para tensão contínuo, o ganho passa a ser unitário nesse caso, e portanto o amplificador só propaga o *offset* da entrada, sem aplicar nenhum ganho. Para isso, convém que a frequência de corte associada a essa capacitância não interfira na faixa de passagem do amplificador. Assim sendo, calculou-se a capacitância para uma frequência de corte de 2 Hz, como é mostrado na Figura 14.

## 2 Design e construção do amplificador

O esquemático final do amplificador, com os valores comerciais dos componentes, pode ser visto na Figura 15.

### 2.1 Escolha de componentes

A escolha para todos os resistores, com exceção dos resistores *shunt* (R11 e R12 na Figura 15) foi de classe de potência de  $\frac{1}{4}$  W com 5 % de tolerância. Os resistores *shunt*, de valor  $0,33\ \Omega$ , foram escolhidos como classe de potência de 3 W.

Para os transistores *drivers* (Q2 e Q7) foram escolhidos os modelos complementares BD139 e BD140. Esses transistores são utilizados tipicamente em amplificadores de áudio, assim como indicado em suas *datasheets*. Para os transistores de saída, foram escolhidos os modelos TIP31 e TIP32, que possuem valor de corrente máxima de 3 A e encapsulamento que permite dissipador. Como o transistor Q11 também deve ser colocado no mesmo dissipador, ele também é do tipo TIP31. Os demais transistores do circuito são dos modelos complementares BC547 e BC557.

Para compor o capacitor C5, de capacidade  $33\ \mu F$ , foram utilizados dois capacitores eletrolíticos de  $68\ \mu F$  colocados em série com polaridade invertida.

Além disso, foi utilizado um *trimpot* de  $20\ \Omega$  para substituir os resistores R13 e R14. Esse *trimpot* pode ser ajustado para variar a proporção das resistências nos dois ramos do par diferencial. Essa funcionalidade é utilizada para realizar o ajuste da tensão de *offset*. Foi utilizado também um *trimpot* de  $10\ k\Omega$  no multiplicador de  $V_{BE}$ , permitindo um ajuste da polarização do segundo estágio.

Para realizar o ajuste de volume, foi inserido um potenciômetro entre a entrada do circuito e o capacitor C5. Esse componente exerce a função de um divisor de tensão, permitindo um ajuste de amplitude do sinal na entrada do amplificador.

Um dissipador retirado de uma fonte de computador antiga foi utilizado para prender os transistores Q3, Q6 e Q11 (Figura 17).

A relação completa dos componentes utilizados, assim como os respectivos custos, pode ser vista na Tabela 5.

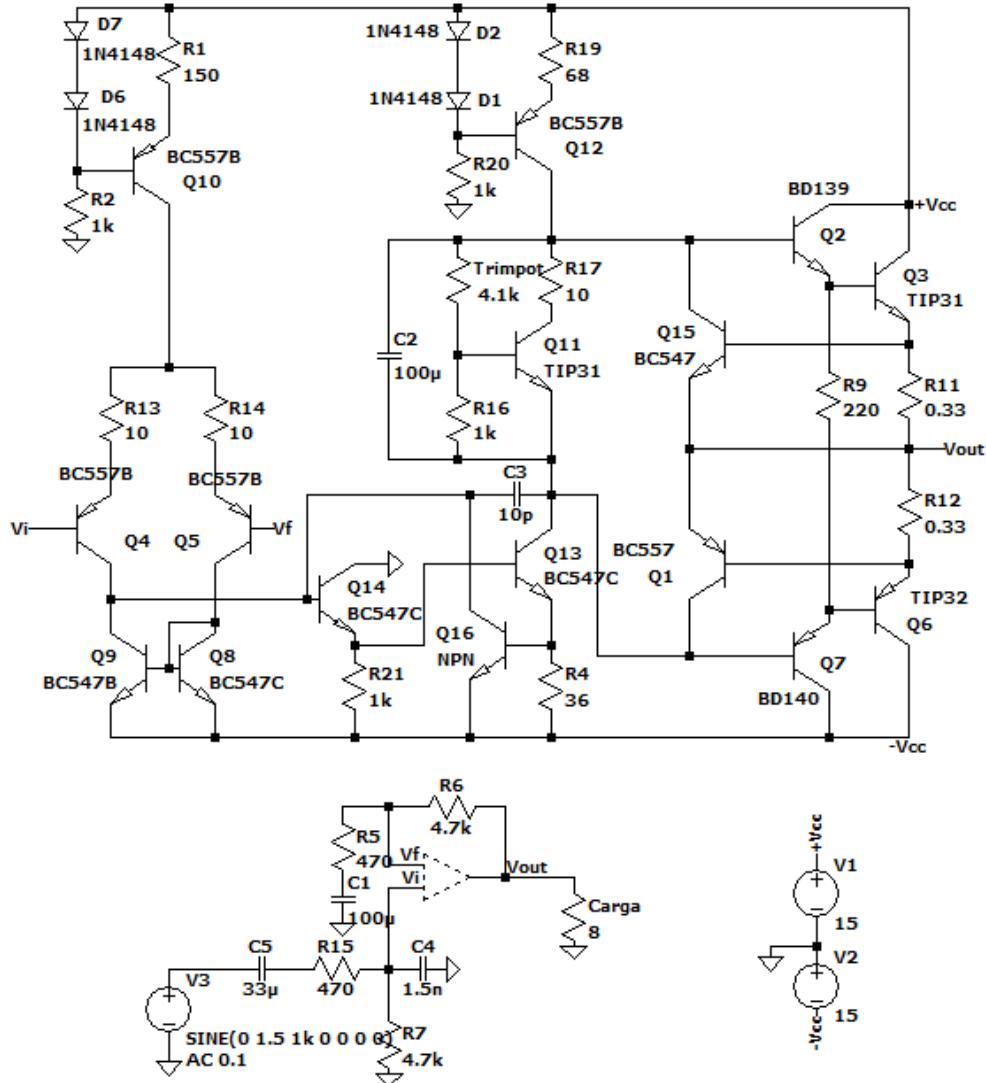


Figura 15 – Esquemático do circuito final com valores comerciais utilizados

## 2.2 Design da placa de circuito impresso

O projeto da placa de circuito impresso foi feito no *software Altium Designer*. O tamanho máximo escolhido para a placa foi de  $100 \times 150$  mm, uma vez que a placa de fenolite utilizada na fabricação possui essas dimensões. O projeto da PCI teve como diretriz principal o posicionamento dos componentes próximos uns dos outros, de acordo com o desenho esquemático. Dessa forma, componentes próximos no esquemático também foram posicionados próximos na PCI, respeitando as simetrias existentes.

Para a entrada, alimentação, saída para os transistores TIP e saída de áudio foram utilizados bornes. Os bornes foram posicionados nas extremidades da PCI. O potenciômetro de ajuste de volume também foi posicionado na extremidade, próximo ao borne de entrada.

As trilhas da PCI possuem espessura mínima de 1 mm. Para as trilhas de potência e alimentação, foi utilizado 1,5 mm. O clearance mínimo utilizado foi de 0,7 mm. A placa

	Componente	Custo unitário [R\$]	Quantidade	Custo total [R\$]
<b>Resistores [Ω]</b>				
1 k	0,08	4	0,32	
470	0,08	2	0,16	
4,7 k	0,08	2	0,16	
150	0,08	1	0,08	
68	0,08	1	0,08	
36	0,08	1	0,08	
10	0,08	1	0,08	
220	0,08	1	0,08	
0,33	0,52	2	0,08	
<b>Capacitores [F]</b>				
68 $\mu$	0,46	1	0,92	
1,5 n	0,08	2	0,16	
10 p	0,08	1	0,16	
100 $\mu$	0,23	2	0,46	
<b>Transistores</b>				
BC547B	0,17	7	1,19	
BC557B	0,14	5	0,7	
TIP31C	1,05	2	2,10	
TIP32C	1,44	1	1,44	
BD139	1,40	1	1,40	
BD140	1,10	1	1,10	
<b>Outros</b>				
Diodo 1N4148	0,07	4	0,28	
Trimpot 20 $\Omega$	1,40	1	1,40	
Trimpot 10 k $\Omega$	1,22	1	1,22	
Borne 3 terminais	1,09	5	5,45	
Borne 2 terminais	0,93	1	0,93	
Placa de fenolite 100X150 mm	3,50	1	3,50	
Potenciometro 10 k $\Omega$	1,09	1	1,09	
<b>Frete</b>				10,46
<b>Total</b>				<b>34,08</b>

Tabela 5 – Tabela de custos do projeto.

possui somente uma camada de cobre, situada na *bottom layer*.

O design final da PCI pode ser visto na Figura 16.

## 2.3 Projeto térmico

Assim como em qualquer projeto de um amplificador que fornece potência, é imprescindível a realização de um projeto térmico, de forma a evitar que o circuito superaqueça e se danifique. No caso deste trabalho em particular, como um projeto térmico feito em detalhes não poderia ser implementado na prática, a decisão foi de usar um dissipador que estava disponível, que é exibido na Figura 17. Pela imagem já se pode notar que, por uma questão de praticidade, a robustez térmica do amplificador projetado ficou longe do ideal - o que inclusive motivou o grupo a ter cuidado redobrado durante os testes da proteção. Ainda assim, é interessante imaginar como deveria ter ficado o projeto térmico idealmente, e de fato é exatamente isso que será feito nessa seção.

Primeiramente, é importante definir quais transistores devem ficar no dissipador. Os únicos transistores que de fato esquentam excessivamente são os transistores de potência do

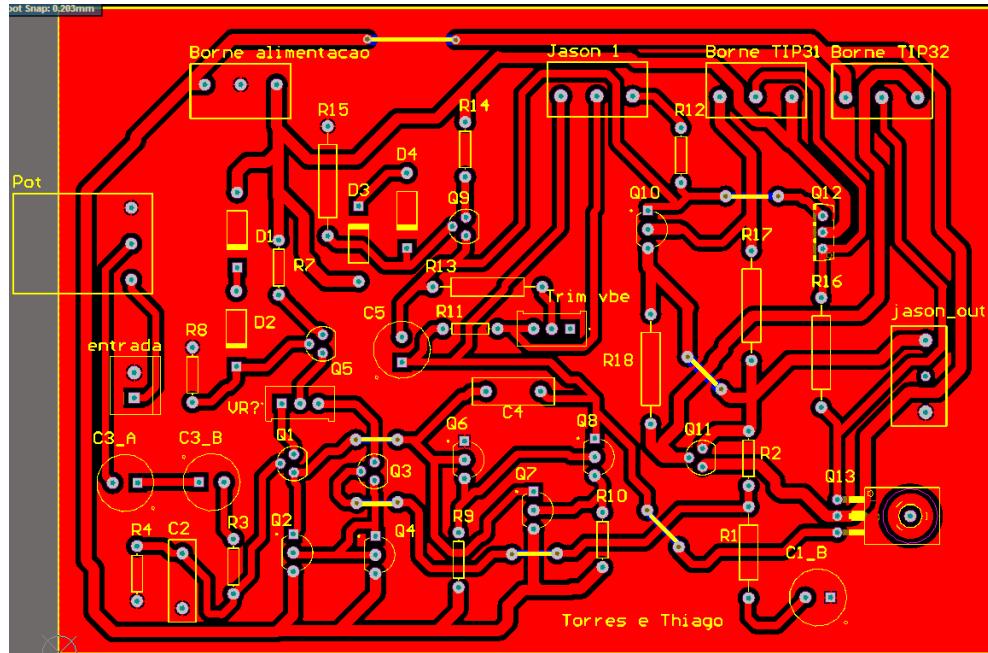
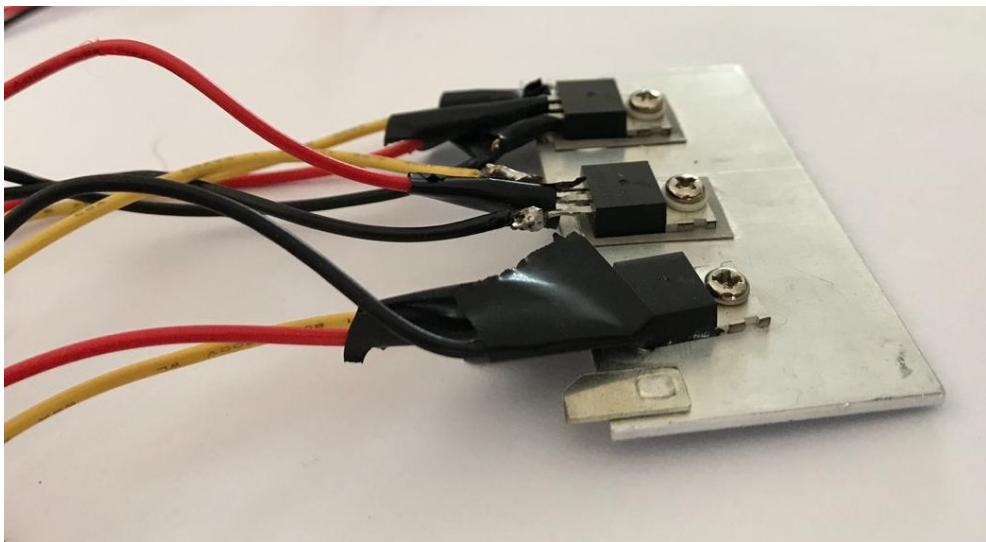
Figura 16 – Projeto da PCI feito no *Altium Designer*.

Figura 17 – Dissipador utilizado.

estágio de saída, então a princípio eles seriam os únicos que precisariam estar no dissipador. Todavia, assim como explicado na seção 1.2, para evitar que possa ocorrer uma avalanche térmica, o transistor do multiplicador de  $V_{BE}$  também precisa ficar no dissipador - o que explica o porquê de haver três transistores na Figura 17. Mesmo assim, esse transistor não precisa ser considerado no projeto térmico, uma vez que sua dissipação de potência é desprezível quando comparado com os outros transistores. Uma outra consideração que pode ser feita é que, como no estágio de saída AB somente um transistor dissipava potência expressiva por vez, pode-se fazer o projeto térmico considerando somente um transistor, e considerar nos cálculos que ele está sempre ativo. Para se obter os dados

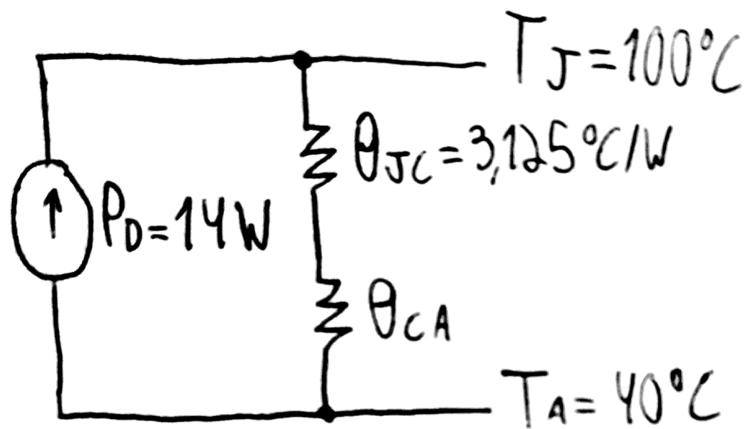


Figura 18 – Circuito térmico.

relevantes para a realização do projeto térmico, foi consultada a *datasheet* dos transistores TIP31C e TIP32C, obtendo-se que a temperatura máxima de junção é de 150 °C e que a resistência junção-case é de 3,125 °C/W. Para obter a potência máxima dissipada em cada transistor, simulou-se o circuito em sua versão final e, considerando-se a situação de carga e potência nominais, verificou-se que esse valor é aproximadamente igual a 7 W. Tomando uma margem de segurança de 100%, e considerando que essa potência máxima é dissipada constantemente, obtém-se uma dissipação constante a 14 W. Por mais que a temperatura máxima de junção dos transistores seja 150 °C, optou-se por fazer o cálculo considerando uma temperatura de 100 °C por uma questão de segurança. O circuito térmico é ilustrado na Figura 18, enquanto que os cálculos são exibidos na Equação 2.1.

$$100 - 40 = 14(3,125 + \theta_{CA}) \rightarrow 4,29 = 3,125 + \theta_{CA} \rightarrow \theta_{CA} \approx 1,17^\circ\text{C/W} \quad (2.1)$$

Por meio dos cálculos, foi obtida a resistência térmica case-ambiente, o que significa que, para uma implementação real, deve-se utilizar um esquema no qual a resistência total case-ambiente seja, no máximo, igual ao valor encontrado. Uma outra observação importante é que, para o cálculo dessa resistência total, deve ser considerado também a resistência do isolante elétrico utilizado para conectar os transistores no dissipador (lembrando que, como a carcaça dos transistores é conectada no coletor, é imprescindível o uso de um isolante elétrico para o contato com o dissipador), assim como as resistências de contato.

### 3 Testes e resultados

O amplificador construído pode ser visto na Figura 19.

O amplificador foi testado, inicialmente, utilizando-se um gerador de funções para aplicar uma tensão senoidal na entrada. Percebeu-se, porém, uma saída bastante ruidosa. A inserção de um capacitor de 0,18 nF, em paralelo com C3, reduziu significativamente o ruído no semicírculo positivo. O ruído no semicírculo negativo só foi atenuado após a inserção de um capacitor de 47  $\mu$ F na fonte negativa de alimentação ( $-V_{cc}$ ).

O ganho em malha fechada medido foi de aproximadamente  $9,53 \frac{V}{V}$ . As tensões de entrada e saída podem ser vistas na Figura 20.

A banda passante do amplificador foi estimada avaliando-se a frequência para a qual a amplitude da saída era 70% da amplitude na faixa de passagem. Essa frequência foi avaliada em aproximadamente 225 kHz (Figura 21). A frequência de corte desejada era de 200 kHz, próximo do resultado medido.

A tensão de *offset* foi ajustada por meio do *trimpot* do estágio de entrada, e o resultado final, visto na Figura 22, foi menor que 1 mV.

As tensões de saturação, vistas na Figura 23, foram avaliadas em 13,6 V e -10,8 V. No teste da tensão negativa, percebe-se um ruído quando a tensão se aproxima da

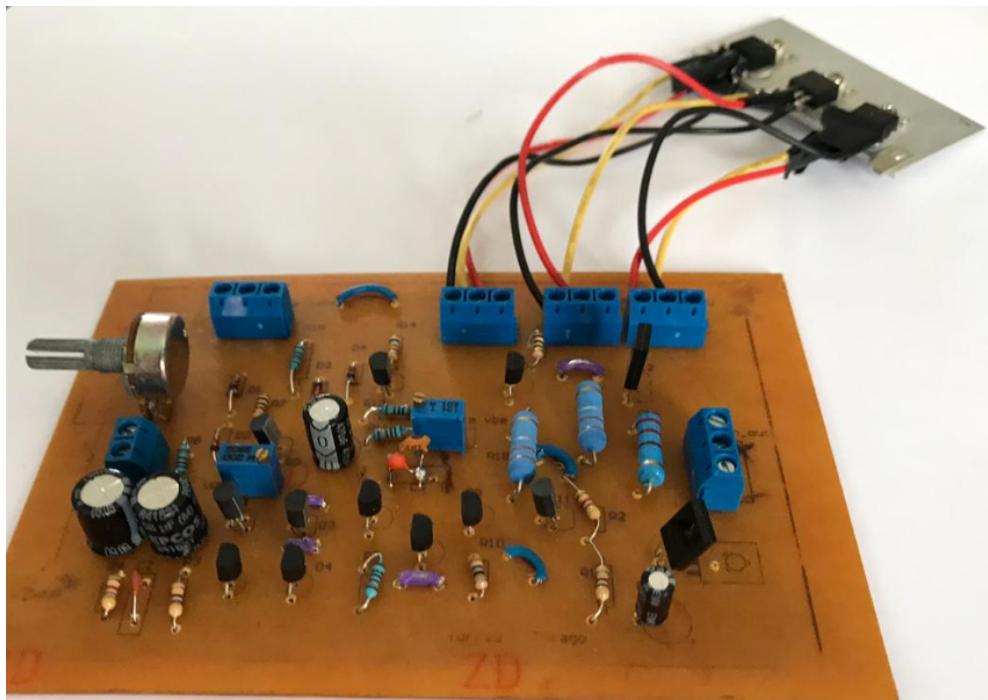


Figura 19 – Amplificador montado.

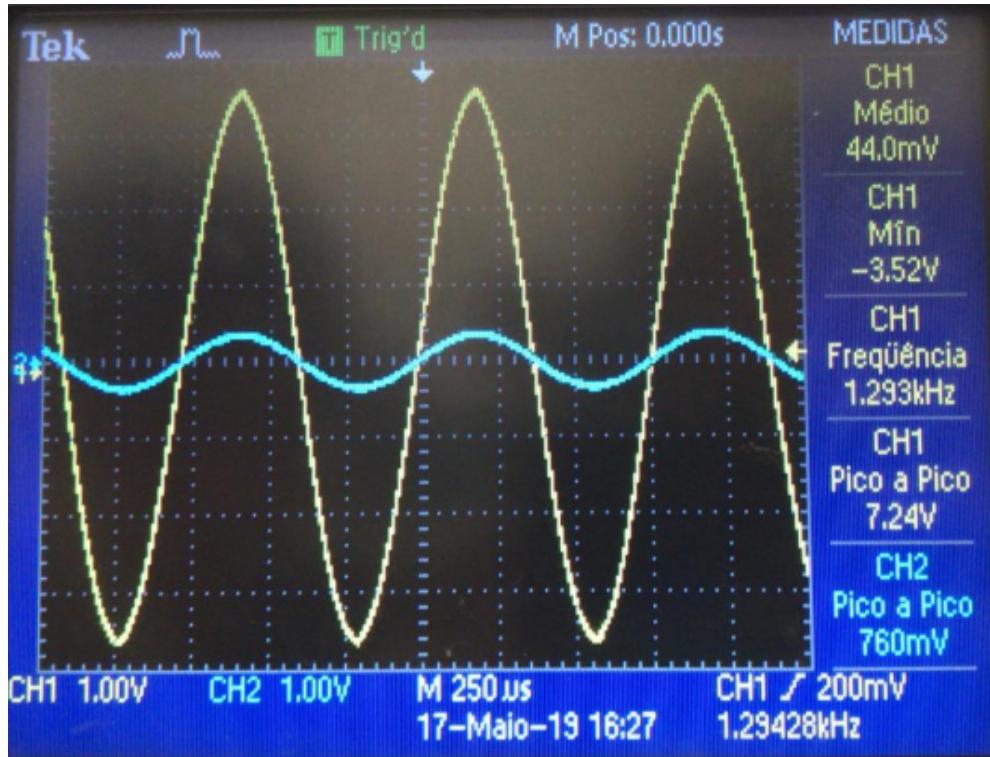


Figura 20 – Medição do ganho em malha fechada.

saturação. Dessa forma, arbitrou-se o ponto  $L_-$  como sendo a tensão na qual o ruído começa a aparecer. Como a tensão nominal na saída é de aproximadamente 9 V (pois tem-se que  $V_{nom} = \sqrt{P_{nom}R_{nom}} = \sqrt{10 \cdot 8} \approx 9$  V), segue que a saturação encontrada foi satisfatória.

O *slew rate*, visto na Figura 24, foi avaliado em  $8,5 \frac{V}{\mu s}$ . Esse valor difere bastante do encontrado por meio de simulação ( $283 \frac{V}{\mu s}$ ). Supõe-se que a introdução do capacitor supramencionado, em paralelo a C3, foi responsável pela diferença encontrada.

Por fim, foi conectada uma carga resistiva à saída. Reduziu-se gradativamente o valor *ohmico* da carga até que a proteção fosse ativada. A proteção pode ser vista atuando na saída na figura 25.

O amplificador foi utilizado também para amplificar o sinal proveniente de um computador pessoal e tocá-lo em uma caixa de som. O som foi percebido de forma clara, sem distorções aparentes.

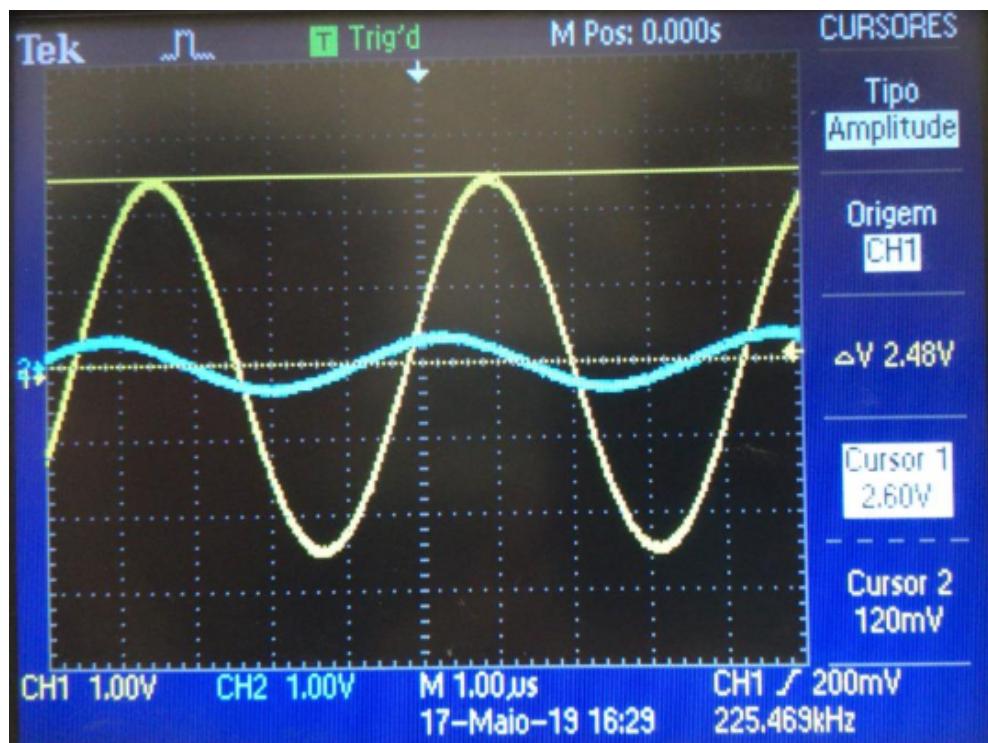


Figura 21 – Medição da frequência de corte superior em malha fechada.



Figura 22 – Medição da tensão de offset da saída.

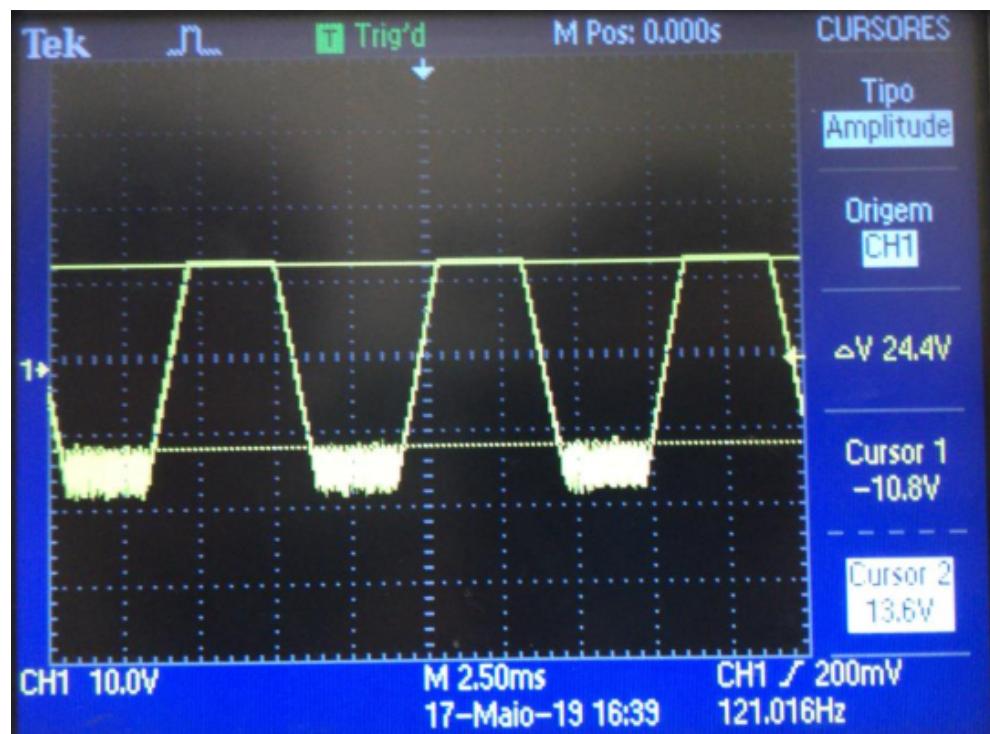


Figura 23 – Medição das tensões de saturação positiva e negativa.

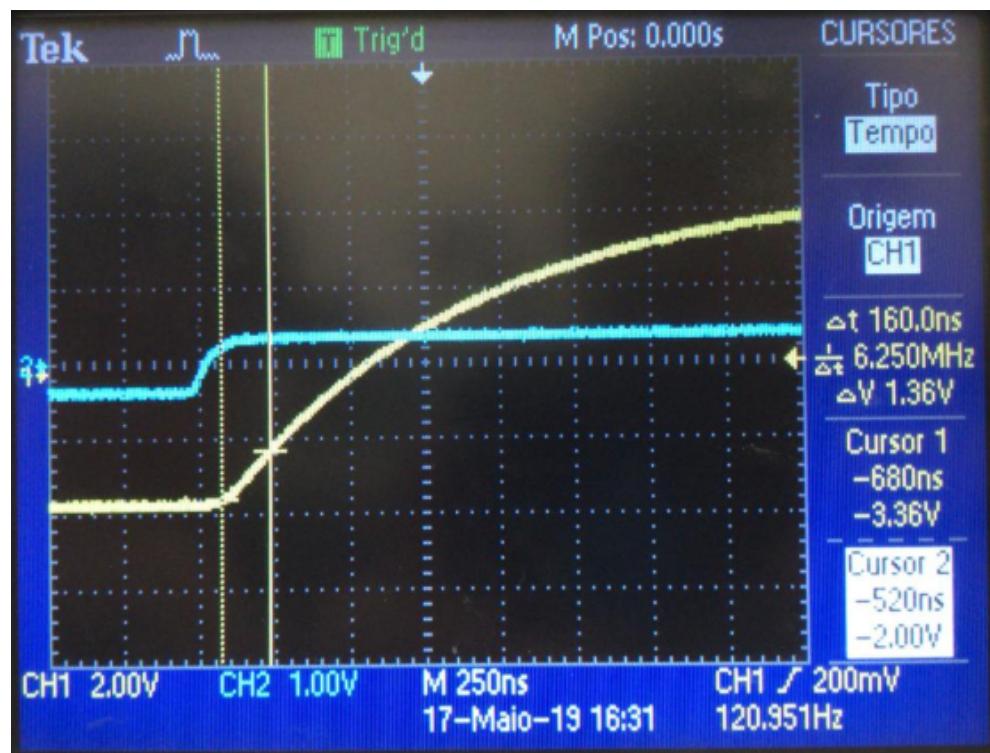


Figura 24 – Medição do *slew rate*.

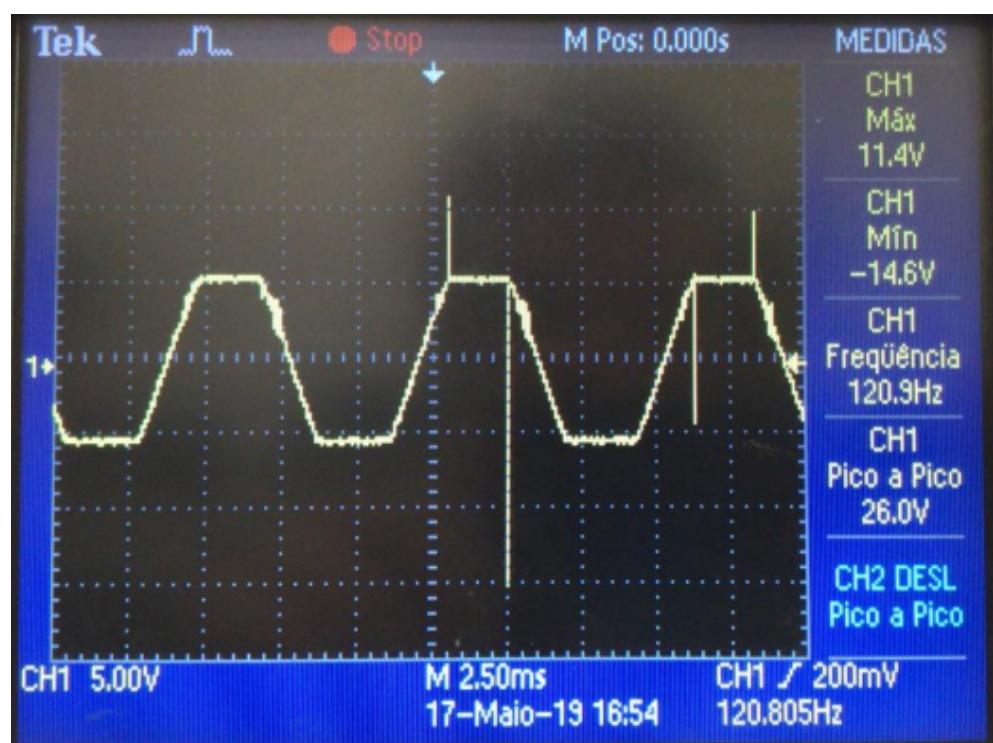


Figura 25 – Registro da proteção atuando.

# Conclusão

O amplificador projetado cumpre todas as especificações propostas. Embora algumas dessas não sejam possíveis de medir no laboratório, nas simulações foi possível garantí-las. A simulação se provou uma ferramenta bastante útil, principalmente para comparar topologias e realizar testes. Porém, é natural o surgimento de diferenças entre o real e o simulado: as próprias incertezas dos componentes, em um amplificador, podem causar grandes diferenças. Essas diferenças já foram abordadas no capítulo 3, e serão brevemente discutidas aqui.

O ganho de malha fechada é 95 % do ganho proposto ( $10 \frac{V}{V}$ ). Supõe-se que as incertezas dos componentes sejam responsáveis por essa diferença: o uso de componentes com tolerância menor, possivelmente, reduziria este efeito. O valor encontrado para a banda passante está bem próximo do valor proposto.

As características de tensão de saturação foram diferentes dos valores simulados. O surgimento de um ruído, neste teste específico, aumentou a tensão negativa de saturação para próximo de -11 V. Contudo,  $L_+$  e  $L_-$  ainda se adequam as condições nominais de operação. No *slew rate* foi encontrada a maior diferença. Esse fator, para o valor encontrado, não é crucial para a operação deste amplificador.

As ferramentas de regulação de volume, *offset* e polarização foram úteis para regular os parâmetros do amplificador. Foi possível, finalmente, ter como resultado um amplificador de áudio que pode ser utilizado para amplificar sinais reais, com distorções mínimas.

Ao realizar o projeto descrito neste relatório, foi possível utilizar e assimilar diversos conceitos das disciplinas de eletrônica analógica. Além disso, a perspectiva prática permite verificar que, para um projeto real, muitas coisas que não estão presentes na simulação devem ser levadas em consideração. Um exemplo disso é o projeto térmico. A importância da simulação surgiu de forma bem clara durante a fase de construção do amplificador: muitas vezes a construção dos projetos é demorada, cara ou trabalhosa. Tem-se que a presença de uma ferramenta dessa é essencial para qualquer design analógico.

# APÊNDICE A – Metodologia das simulações

Esse trabalho prático faz uso fortemente de simulações para avaliar os parâmetros do amplificador. Assim sendo, é importante deixar claro a metodologia de como tais simulações foram feitas. Todas as simulações foram realizadas com o *software* LTSpice. A forma na qual cada grandeza foi medida é descrita abaixo. Todas as simulações foram feitas utilizando a carga nominal, exceto quando indicado. Nas simulações utilizou-se um *timestep* de 1  $\mu\text{s}$ , exceto quando indicado.

- Ganho em malha fechada: Utilizou-se de uma simulação do tipo *AC Analysis* e avaliou-se o valor da grandeza  $\frac{V_{out}}{V_{in}}$  na faixa de passagem.
- Ganho em malha aberta: Utilizou-se de uma simulação do tipo *AC Analysis* e avaliou-se o valor da grandeza  $\frac{V_{out}}{V_i - V_f}$  na faixa de passagem.
- Ganho de modo comum: O circuito foi modificado para corresponder à Figura 26, na qual ambas as entradas do amplificadores estão conectadas à entrada senoidal. Dessa forma, aplicou-se uma tensão senoidal  $V_i$  de 1V de amplitude, medindo-se a tensão  $V_o$  na saída. O ganho  $A_{cm}$  foi calculado por meio da expressão abaixo, onde R1 corresponde à resistência de 470  $\Omega$  e R2 a de 4,7 k $\Omega$ .

$$A_{cm} = \frac{V_o(R_1 + R_2 + A_d R_1)}{V_i R_2 + V_o \frac{R_1}{2}} \quad (\text{A.1})$$

- Frequência de corte em malha fechada: Utilizou-se de uma simulação do tipo *AC Analysis* e avaliou-se o ponto de -3 dB da curva correspondente a grandeza  $\frac{V_{out}}{V_{in}}$ .
- Frequência de corte em malha aberta: Utilizou-se de uma simulação do tipo *AC Analysis* e avaliou-se o ponto de -3 dB da curva correspondente a grandeza  $\frac{V_{out}}{V_i - V_f}$ .
- Resistência de entrada com realimentação: Por meio de uma análise do tipo *Transient*, avaliou-se a razão entre a tensão e a corrente na fonte de sinal de entrada, para uma entrada senoidal de 1 KHz e de 1 V de pico.
- Resistência de saída com realimentação: Substituiu-se a carga de 8  $\Omega$  na saída por uma fonte de corrente e aterrou-se a entrada. Em seguida, por meio de uma análise do tipo *Transient*, avaliou-se a razão entre a tensão e a corrente na fonte de sinal da saída, para uma corrente senoidal a 1 KHz de 100 mA de pico.

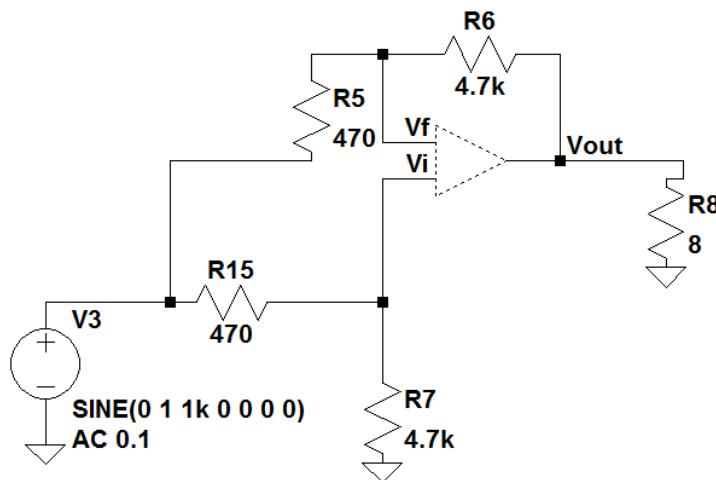


Figura 26 – Ligação do circuito para medição do ganho de modo comum

- Tensão de *offset* na saída: Aterrou-se a entrada e mediu-se a tensão na saída, utilizando uma simulação do tipo *Transient*.
- Tensões de saturação: Utilizando-se de uma simulação do tipo *DC Sweep*, variou-se a tensão de entrada de -5 V até +5 V, registrando os valores máximos de tensão de saída que se encontravam no segmento linear da característica de transferência.
- PSSR: Aterrando-se a entrada do circuito, foi inserida uma perturbação senoidal a 120 Hz de 1 V de amplitude na alimentação positiva. Após medir a amplitude das oscilações na saída por meio de uma simulação do tipo *Transient*, avaliou-se em dB o valor da atenuação do sinal.
- CMRR: De posse dos valores de  $A$  e  $A_{cm}$ , calculou-se em dB a razão entre essas duas grandezas.
- *Slew Rate*: Configurou-se a fonte de sinal para gerar uma onda quadrada de 1 V de amplitude, com um tempo de subida de 10 ns. Em seguida, utilizou-se de uma simulação do tipo *Transient* para avaliar a inclinação máxima da forma de onda produzida na saída durante a borda de subida.
- THD: Configurou-se a fonte de sinal para produzir uma entrada senoidal a 1 KHz de 1 V de amplitude. Por meio de uma simulação do tipo *Transient*, avaliou-se o valor da distorção harmônica do sinal de saída do amplificador, utilizando o script `.FOUR 1khz 51 V(Vout)`, que considera os primeiros 51 harmônicos do sinal. Para o cálculo do THD em particular, foi utilizado um *timestep* de 0,1  $\mu$ s na simulação, o que é essencial nesse caso, pois um valor baixo de *timestep* pode introduzir distorções na simulação que alteram os resultados.

# APÊNDICE B – Avaliação analítica do amplificador

Neste apêndice são apresentados os resultados da avaliação analítica do amplificador, ou seja, os valores teóricos para alguns dos parâmetros (nem todos os parâmetros são possíveis de se calcular na mão, como é o caso do THD e do *slew rate* por exemplo).

Para ser possível o cálculo dos parâmetros analiticamente, algumas considerações foram feitas. Primeiramente, nos cálculos relativos a polarização, considerou-se o  $h_{fe}$  como sendo infinito. Para os outros cálculos em que seu valor foi necessário, foi consultada as *datasheets* e obteve-se o valor de 330 para os transistores de sinal e 1000 para os transistores de potência (do tipo *darlington*). Vale lembrar que o ganho de corrente não é uma constante, e varia tanto com a polarização quanto com a temperatura e até mesmo com o lote - o processo de fabricação de transistores não garante uma exatidão boa para este parâmetro. Desse modo, é esperado que os valores utilizados sejam em algum nível diferentes dos valores reais.

Uma outra consideração para os cálculos é que quando a tensão de entrada for nula, considerou-se que a de saída também será. Isso na realidade não ocorre, uma vez que o par diferencial no estágio de entrada está altamente desequilibrado, como é verificado pelas contas, mas é uma aproximação necessária para possibilitar a análise.

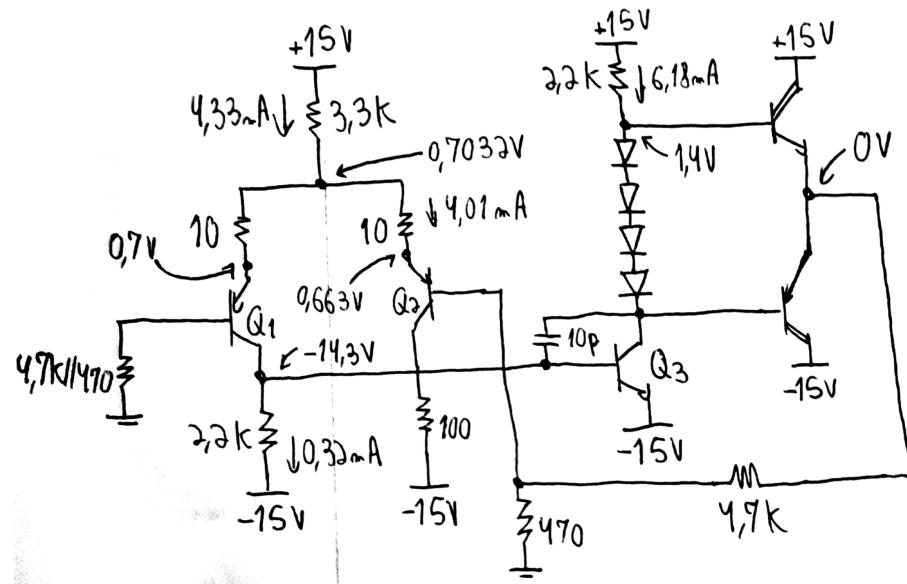


Figura 27 – Análise da polarização do circuito.

$$\Pi_{e1} = \frac{25\text{mV}}{0.32\text{mA}} \approx 78\Omega \quad \Pi_{e2} = \frac{25\text{mV}}{4.01\text{mA}} \approx 6\Omega \quad \Pi_{e3} = \frac{25\text{mV}}{6.18\text{mA}} \approx 4\Omega$$

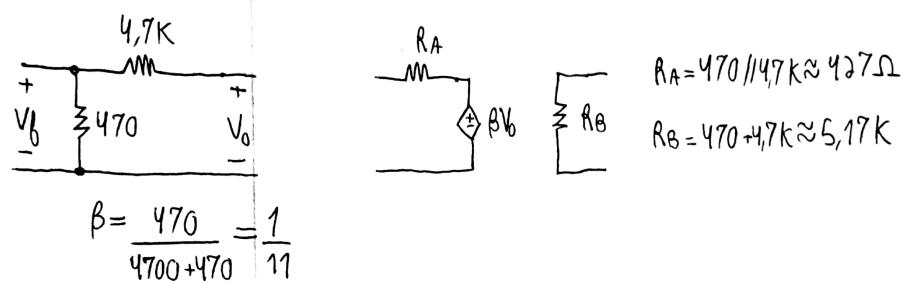
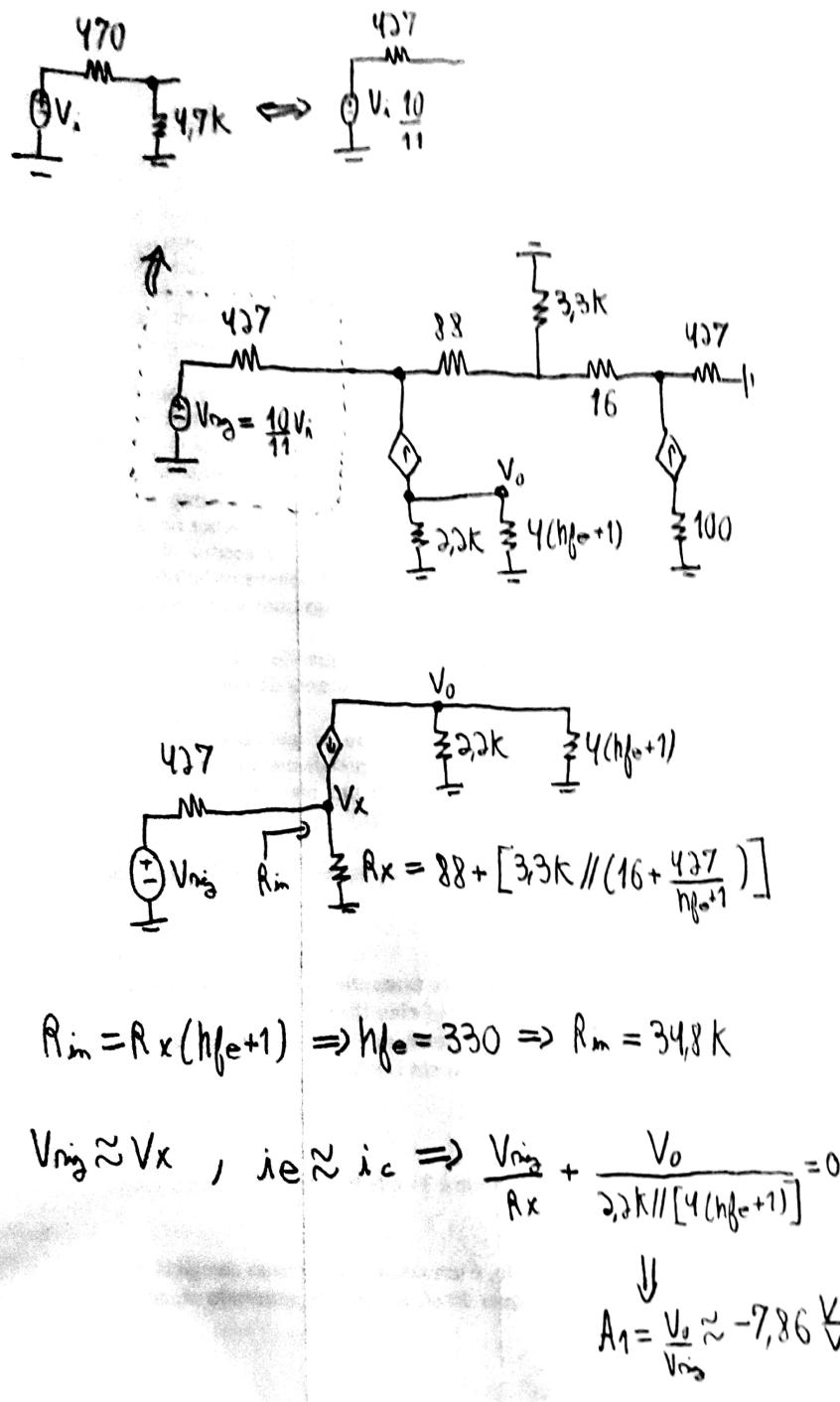


Figura 28 – Cálculo das resistências de emissor e análise do quadripolo de realimentação.



$$R_{inj} = R_x (h_{fe} + 1) \Rightarrow h_{fe} = 330 \Rightarrow R_m = 34,8 \text{ k}$$

$$V_{inj} \approx V_x, i_e \approx i_c \Rightarrow \frac{V_{inj}}{R_x} + \frac{V_o}{2,2k // [4(h_{fe} + 1)]} = 0$$

$$\downarrow \\ A_1 = \frac{V_o}{V_{inj}} \approx -7,86 \frac{V}{V}$$

Figura 29 – Análise do estágio de entrada.

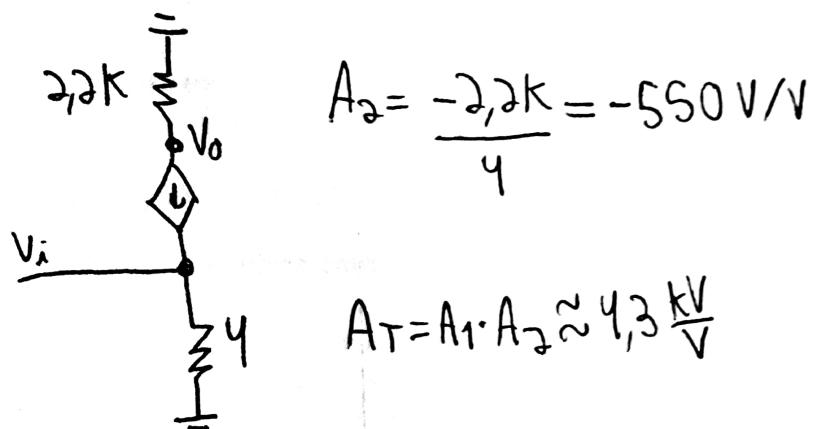
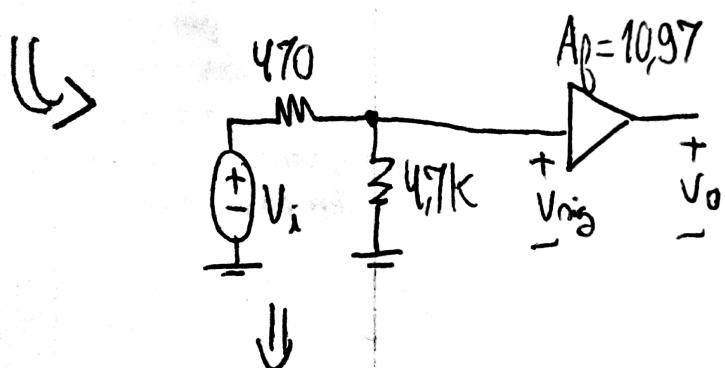


Figura 30 – Análise do estágio intermediário de ganho e cálculo do ganho total.

$$A_f = \frac{A}{1 + \beta A} \approx 10.97$$



$$G_V = \frac{4.7k}{4.7k + 470} \cdot 10.97 \approx 9.97 \text{ V/V}$$

Figura 31 – Cálculo do ganho em malha fechada e do ganho total.

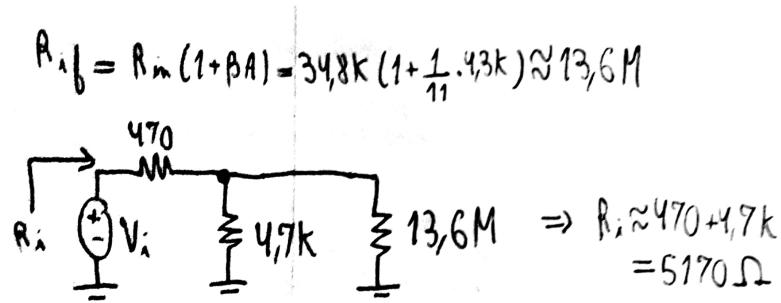


Figura 32 – Cálculo da resistência de entrada em malha fechada e da resistência de entrada vista pela fonte de sinal.

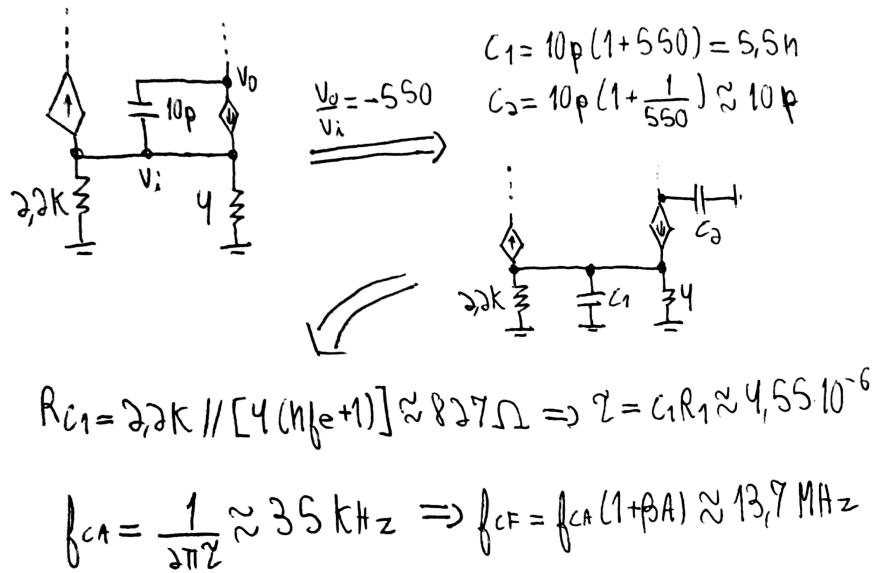


Figura 33 – Cálculo das frequências de corte em malha aberta e fechada.

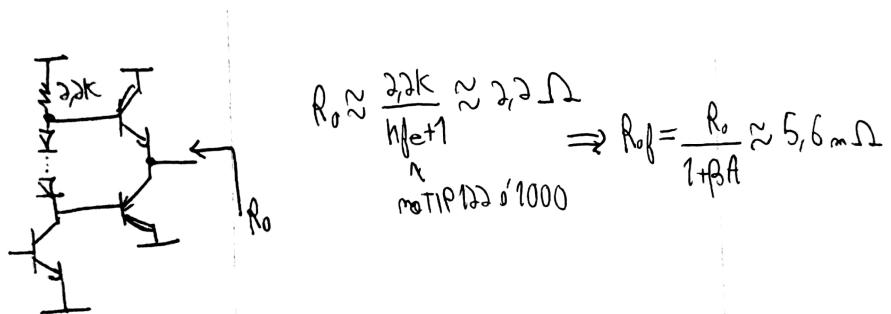


Figura 34 – Cálculo das resistências de saída em malha aberta e fechada.