

---

# DEVOIR 7

---

Thibault Fievez



## 1)Partie LtSpice

Le compteur que j'ai réalisé est un compteur synchrone (pas de propagation du délai, tous les bits sont évalués en même temps) basé sur l'utilisation de T Flip Flop.

Le principe du T Flip Flop est, si  $T=VDD$  il change la valeur en mémoire par son opposé à chaque Clock montante, si  $T=0$ , il est en mode mémorisation.

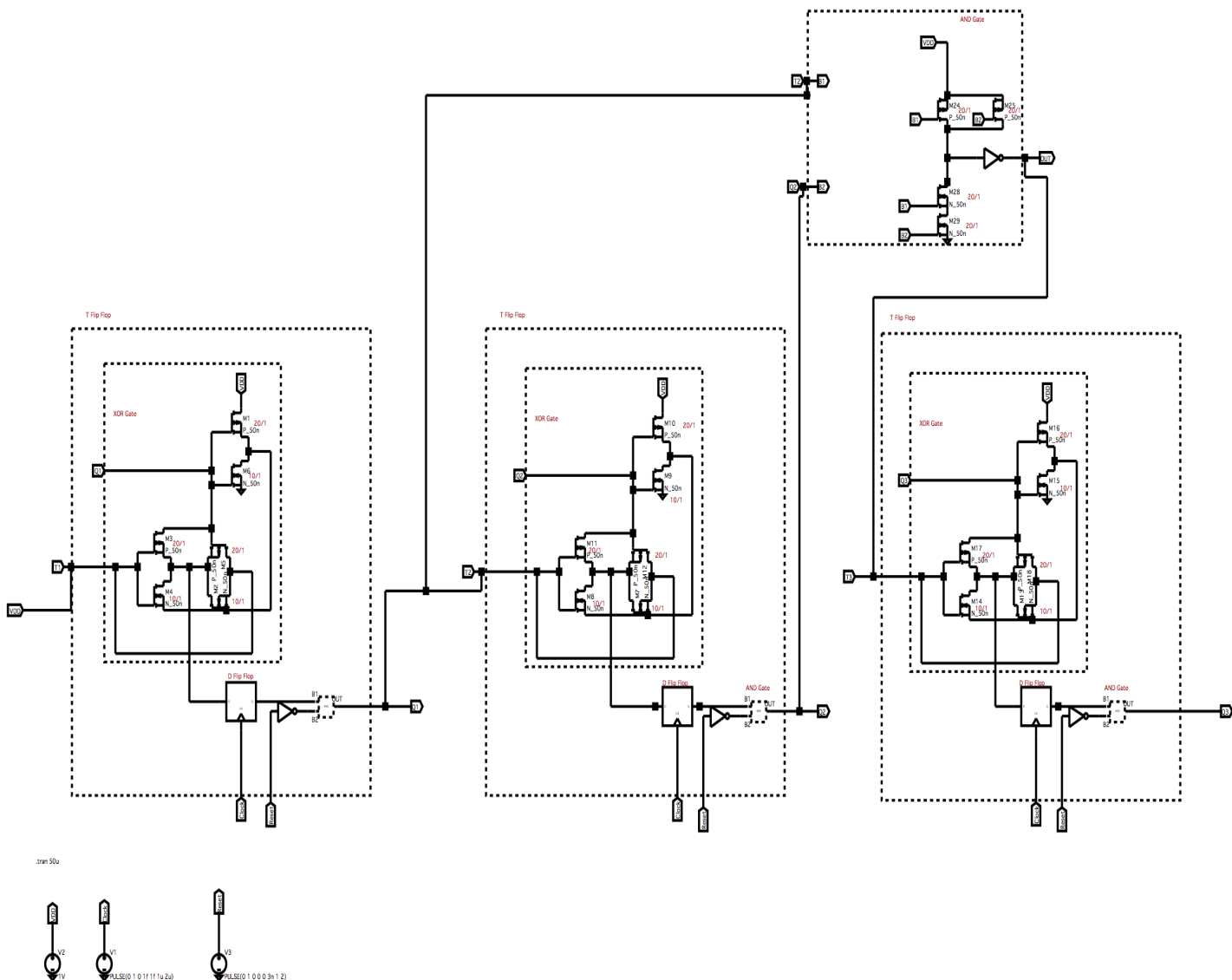
Ici on peut donc voir sur la figure ci dessous la table de vérité du compteur complet lorsque le signal Reset vaut 0. L'état où  $T1=0$  est un état qui n'est normalement jamais considéré, il est donné à titre illustratif. De manière générale,  $T1$  vaut toujours  $VDD$ .

Q3	Q2	Q1		$T3=(Q2*Q1)$	$T2=(Q1)$	T1		Q3 +	Q2+	Q1+
0	0	0	0	0	0	0		0	0	0
0	0	0	0	0	0	1		0	0	1
0	0	0	1	0	1	1		0	1	0
0	0	1	0	0	0	1		0	1	1
0	0	1	1	1	1	1		1	0	0
0	1	0	0	0	0	1		1	0	1
0	1	0	1	0	1	1		1	1	0
0	1	1	0	1	0	1		1	1	1
0	1	1	1	1	1	1		0	0	0
0	0	0	0	0	0	1		0	0	1

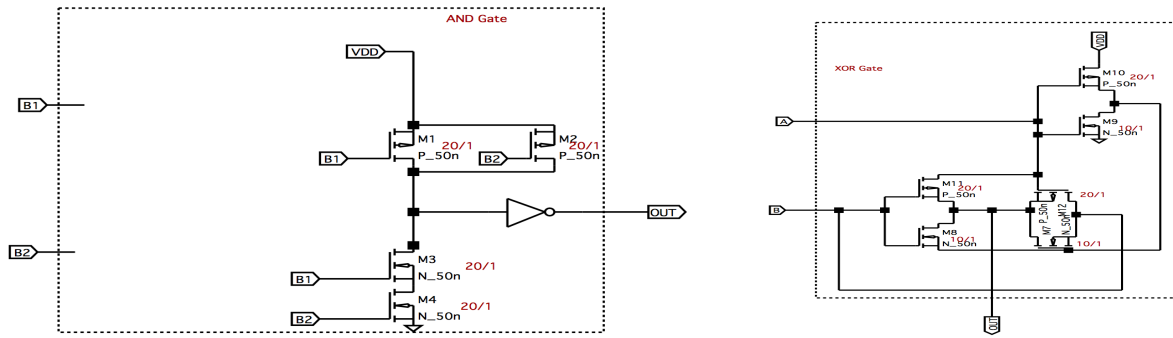
Lorsque Reset vaut  $VDD$ ,  $Q1$ ,  $Q2$ , et  $Q3$  valent tous 0, le compteur est donc remis à 0. Lorsque le signal de Reset redevient 0, le compteur recommencera à compter à partir de 0 au prochain flanc montant de Clock.

### Schématique LtSpice

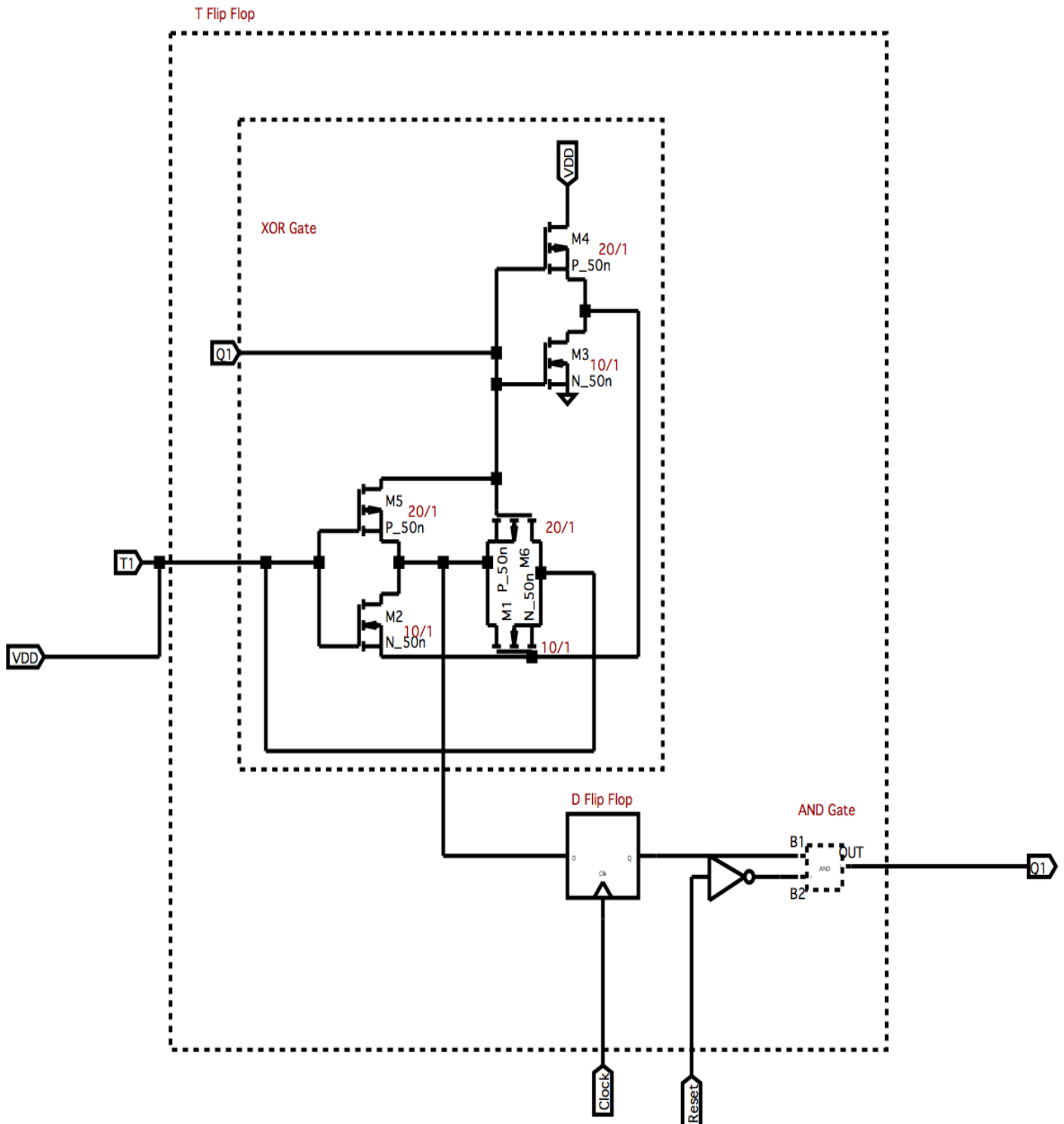
#### Circuit Complet



And et Xor :

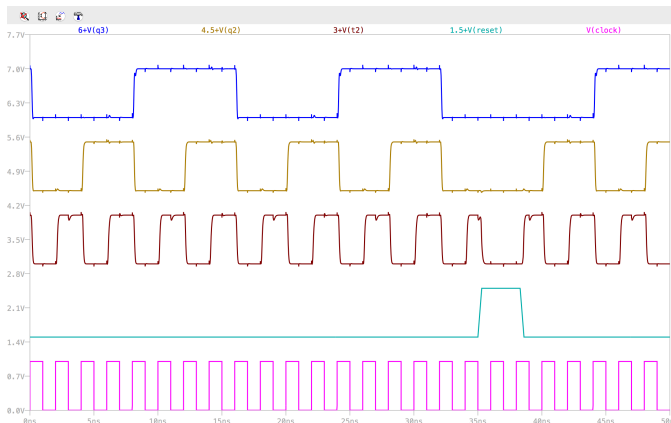


## T Flip Flop

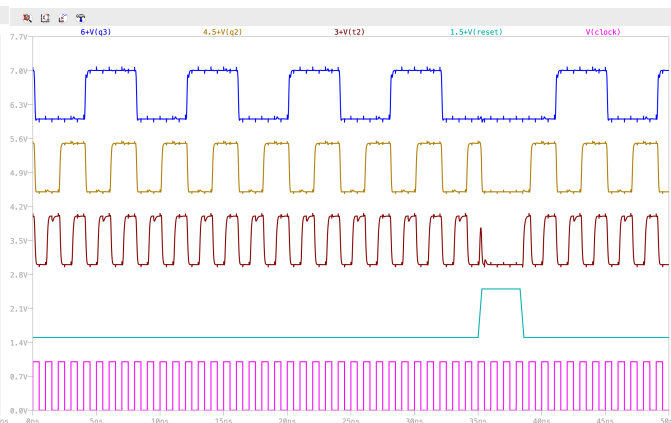


## Résultat de la simulation Avec signal de Reset Test

500 MHz



1GHz



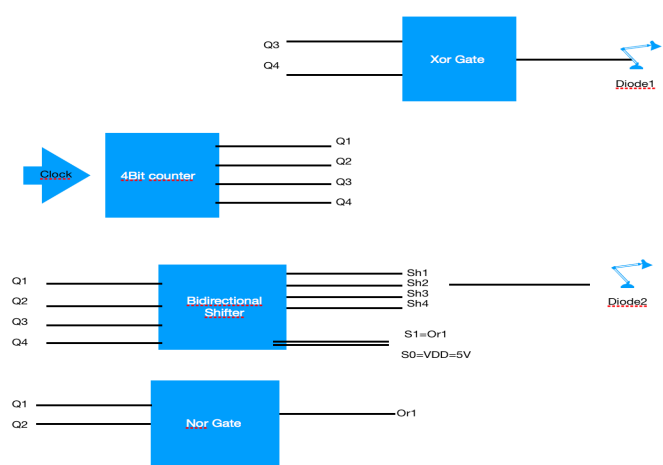
On remarque l'apparition de glitches à chaque montée de Clock (évaluation). Cependant j'ignore toujours leur origine.

### Fréquence de fonctionnement maximale

La fréquence maximale de fonctionnement se trouve au alentour de 1 GHz , sans la fonctionnalité de Reset ,il est possible d'augmenter cette fréquence. En effet le Reset impose le passage par une porte logique And ce qui a pour effet de délayer l'information à la sortie du D Flip Flop.

### 2)Partie Mydag

Voici le schéma Bloc



Ainsi que la table de vérité, cette table décrit les 16 états consécutifs dans lequel le circuit se trouve.

XOR Gate	
IN	OUT
Si Q3=Q4	0
Si Q3≠Q4	1=Diode 1 on

4-Bit Counter				
Number	Q4	Q3	Q2	Q1
0	0	0	0	0
1	0	0	0	1
2	0	0	1	0
3	0	0	1	1
4	0	1	0	0
5	0	1	0	1
6	0	1	1	0
7	0	1	1	1
8	1	0	0	0
9	1	0	0	1
10	1	0	1	0
11	1	0	1	1
12	1	1	0	0
13	1	1	0	1
14	1	1	1	0
15	1	1	1	1

Bi-Directional Shifter				
Setting when Q1=Q2=0	A	B	C	D
Setting (Q4 Q3 Q2 Q1)	0	0	0	0
	1	0	0	0
	1	1	0	0
	1	1	1	0
	0	1	0	0
Setting (Q4 Q3 Q2 Q1)	1	0	1	0
	1	1	0	0
	1	1	1	0
	1	1	1	1
Setting (Q4 Q3 Q2 Q1)	1	0	0	0
	1	1	0	0
	1	1	1	0
	1	1	1	1
Setting (Q4 Q3 Q2 Q1)	1	1	0	0
	1	1	1	0
	1	1	1	1
	1	1	1	1

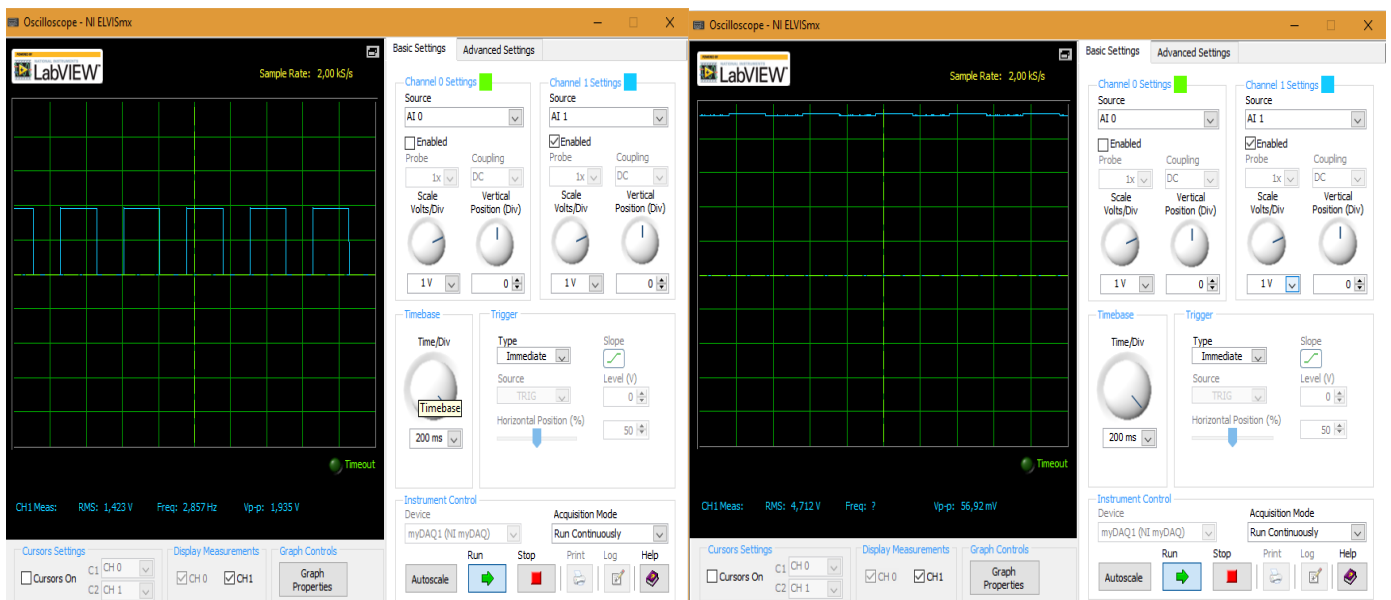
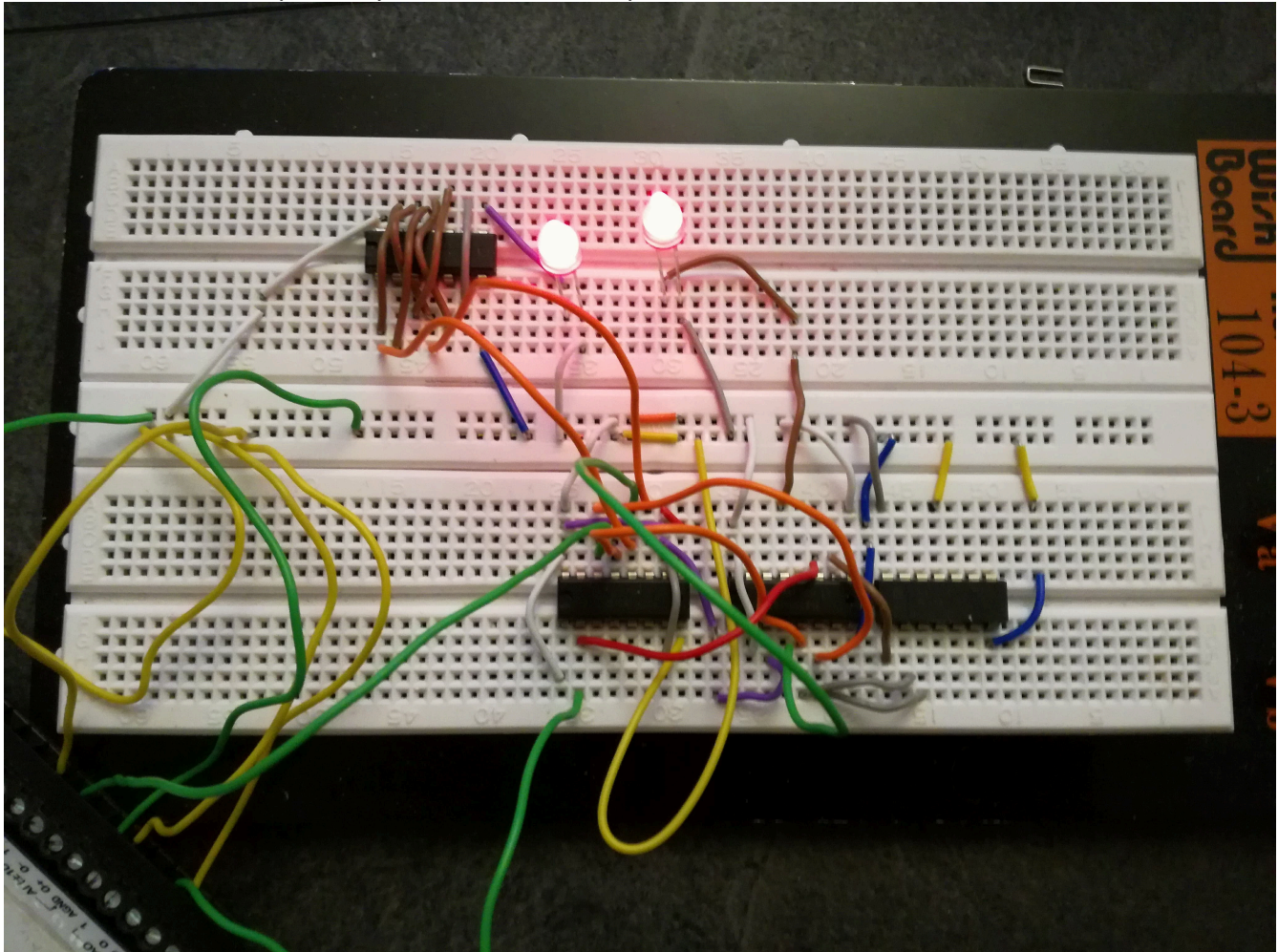
NOR Gate	
IN(Q1&Q2)	OUT
Q1=Q2=0	Setting on
Q1=Q2=0	Setting on
Q1=Q2=0	Setting on
Q1=Q2=0	Setting on

Light Table	
Diode1	Diode2
0	
1	
2	
3	
4	
5	
6	
7	
8	
9	
10	
11	
12	
13	
14	
15	

Diode2 on  
Diode1 on

On a donc la Led 1 qui s'allume lorsque Q3 et Q4 sont différents, et la Led 2 s'allume lorsque la sortie C du Bi Directional Shifter vaut 1. Le Shifter mémorise une nouvelle configuration à chaque fois que  $Q1=Q2=0$ , cette configuration est ensuite « déplacée » à 3 reprises à droite en ajoutant un 1 logique à gauche de la liste ABCD.

Voici une photo du circuit, en haut à gauche du conteur 4bit il y a le Xor, réalisé à partir de 4 portes NAnd, à droite du compteur il y a le Bi Shifter et la porte Nor.



On remarque sur la figure de gauche que la partie avec la porte Xor du circuit fonctionne correctement. Cependant, il y a un problème avec le compteur 4bit, le deuxième bit (Q2, figure de droite) reste coincé à VDD alors que les autres bits fonctionnent correctement. J'en conclus donc que ce n'est pas un problème de branchement (que j'ai vérifié). Le compteur est probablement défectueux.