

# Travail 7 Circuit

Thibault fievez

December 2017

## 1 Partie LtSpice

### 1.1 Equations Logique du compteur

Le compteur que j'ai réalisé est un compteur synchrone (pas de propagation du délai, tous les bits sont évalué en même temps) basé sur l'utilisation de T Flip Flop. Le principe du T Flip Flop est qu'il, si  $T=VDD$  change la valeur en mémoire par son opposé à chaque Clock montante, si  $T=0$ , est en mode mémoire. Ici on peut donc voir sur la figure 1 la talbe de vérité du compteur complet lorsque le signal Reset vaut 0. L'état où  $T1=0$  est un état qui n'est normalement jamais considéré, il est donné à titre illustratif. De manière générale,  $T1$  vaut toujours VDD.

Q3	Q2	Q1	T3=(Q2*Q1)	T2=(Q1)	T1	Q3+	Q2+	Q1+
0	0	0	0	0	0	0	0	0
0	0	0	0	0	1	0	0	1
0	0	1	0	1	1	0	1	0
0	1	0	0	0	1	0	1	1
0	1	1	1	1	1	1	0	0
1	0	0	0	0	1	1	0	1
1	0	1	0	1	1	1	1	0
1	1	0	0	0	1	1	1	1
1	1	1	1	1	1	0	0	0
0	0	0	0	0	1	0	0	1

Figure 1: Table de vérité du compteur

Lorsque Reset vaut VDD, Q1, Q2, et Q3 valent tous 0, le compteur est donc remis à 0. Lorsque le signal de Reset redevient 0, le compteur recommencera à compter à partir de 0 au prochain flanc montant de Clock.

### 1.2 Schématique LtSpice

Voir figure 2.

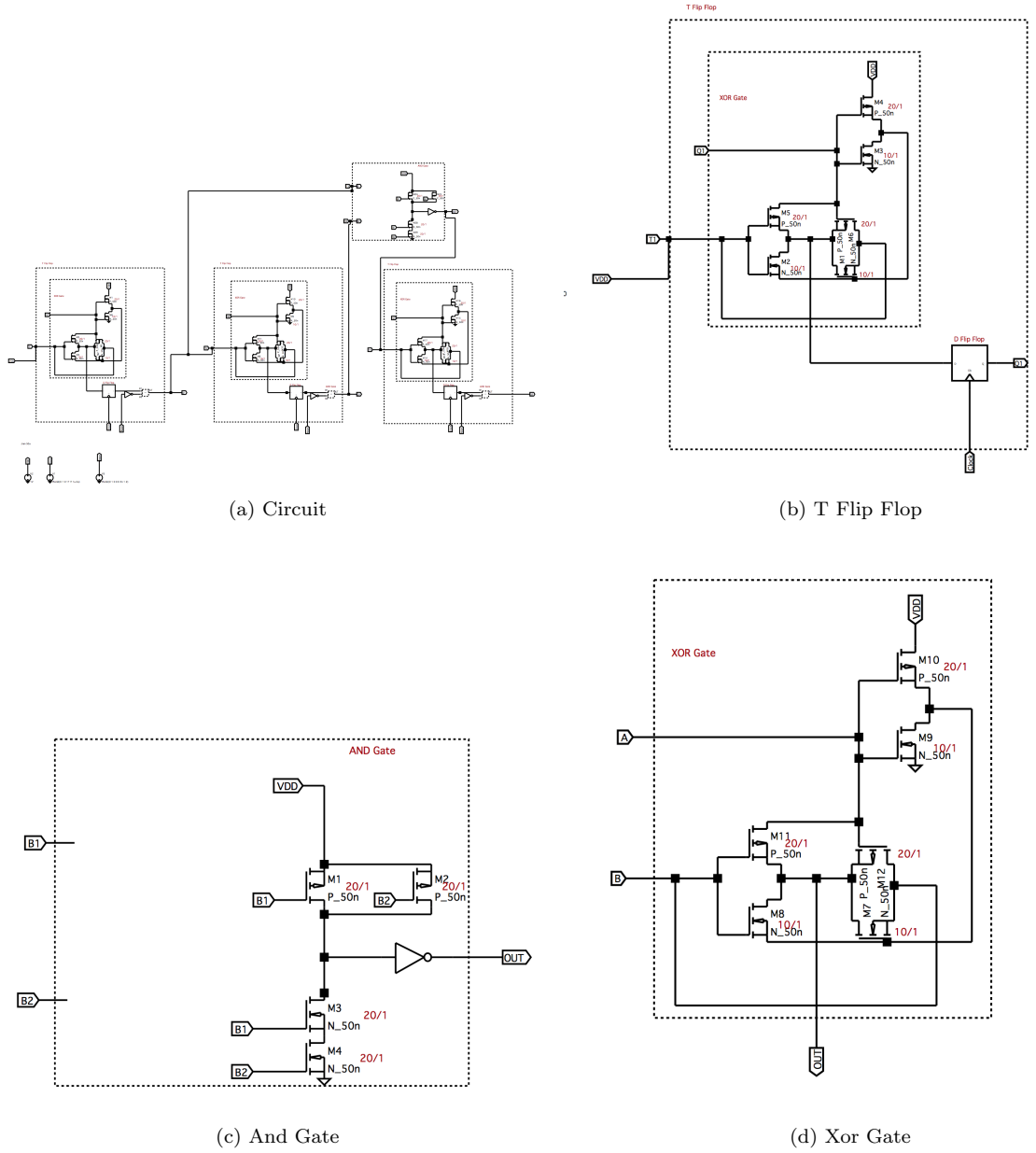


Figure 2: Photos du Circuit, Des photos plus grandes sont disponibles à la fin du rapport en Annexe.

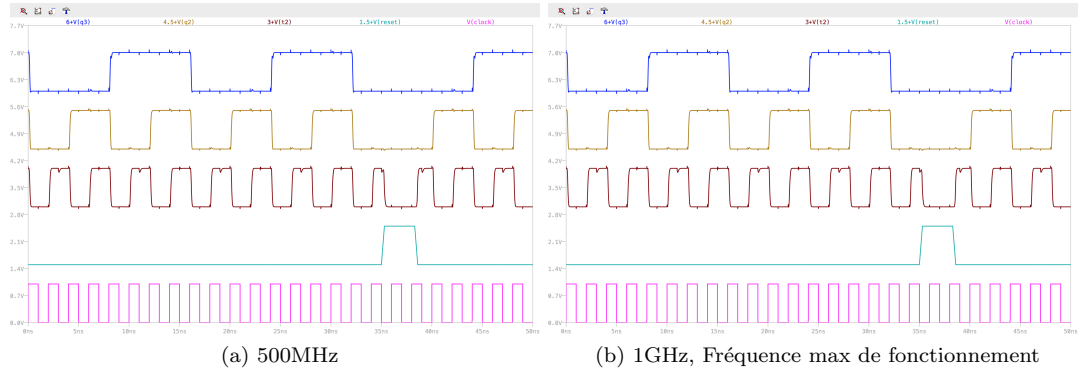


Figure 3: Photos des mesures ,  $V(t_2)$  est équivalent à  $V(Q_1)$ . Des photos plus grandes sont disponibles à la fin du rapport en Annexe.

### 1.3 Résultat de la simulation

Voir figure 3. On remarque l'apparition de glitches à chaque montée de Clock (évaluation). Cependant j'ignore toujours leur origine.

### 1.4 Fréquence maximale de fonctionnement

La fréquence maximale de fonctionnement se trouve au alentour de 1 GHz , sans la fonctionnalité de Reset ,il est possible d'augmenter cette fréquence.En effet le Reset impose le passage par une porte logique And ce qui a pour effet de délayer l'information à la sortie du D Flip Flop



### 3 Annexe

