

Compte-rendu du plan de validation phase 1

Houssein MARIAM

Thomas ANGENAULT

Sujet de projet : réalisation d'une IP de traitement d'image sur cible Zynq7020 et affichage VGA, étape intermédiaire.

Environnement technique:

- Cora Z7 processeur : XC7Z0101CLG400C
- Hantek 6022BE
- Connecteur Pmod VGA Reference Manual de Digilent (Réf. Fab 410-345)
- Ecran
- Vivado

Validation de l'architecture

Afin de valider le bon fonctionnement de notre système, nous avons suivi le plan de validation que nous avons proposé. Les résultats sont présentés dans la suite de ce rapport.

Vérification du générateur d'horloge (La PLL) :

- 1- Vérifier que la fréquence de l'horloge nécessaire pour une résolution demandé est bien calculée.

Dans le cas d'une résolution VGA, notre largeur de l'image est de 800 pixels, la hauteur de l'image est de 521 pixels et la fréquence de rafraîchissement est de 60 Hz. En substituant ces valeurs dans la formule, nous obtenons :

Fréquence de l'horloge pixel = $800 \text{ pixels} \times 521 \text{ pixels} \times 60 \text{ Hz} = 25\,001\,000 \text{ Hz}$ (ou 25MHz)

Ainsi, la fréquence de l'horloge nécessaire pour une résolution VGA de 640 pixels x 480 pixels à 60 Hz est d'environ 25 MHz.

Vérification du contrôleur VGA:

- 2- Rédigez un test bench et réalisez des mesures des paramètres des signaux de synchronisation (HSync et VSync) et remplissez le tableau ci-dessous. Ensuite, vérifiez si les valeurs mesurées correspondent aux valeurs attendues conformément à la norme VGA.

- En observant les signaux HSync et VSync en parallèle avec le signal "Active_video", vous pouvez mesurer les valeurs du front porch, du back porch et du temps d'affichage.

Afin de vérifier la génération correcte des signaux de synchronisation horizontale et verticale (HSync et VSync) par le contrôleur VGA, nous avons rédigé un test bench pour simuler notre code et analyser les résultats de simulation.

Nous avons examiné les paramètres suivants et les avons comparés aux valeurs spécifiées par la norme VGA. Voici les valeurs que nous avons obtenues pour ces paramètres :

Paramètre		Synchro horizontale	
Symbole	Description	Durée	Colonnes

T_S	Synch pulse	32 μ s	800	0 à 799	OK
T_{Disp}	Display time	25.31 μ s	640	0 à 639	OK
T_{PW}	Pulse Width	3.81 μ s	96	656 à 751	OK
T_{FP}	Front Porch	635ns	16	640 à 655	OK
T_{BP}	Back Porch	1.90 μ s	48	752 à 799	OK

Paramètre		Synchro verticale			
Symbole	Description	Durée	Lignes		
T_S	Synch pulse	16,7ms	521	0 à 520	OK
T_{Disp}	Display time	15.36ms	480	0 à 479	OK
T_{PW}	Pulse Width	63.96 μ s	2	489 à 490	OK
T_{FP}	Front Porch	288.04 μ s	9	480 à 489	OK
T_{BP}	Back Porch	960 μ s	30	491 à 520	OK

Dans la synchronisation verticale, nous allons expliquer les mesures surlignées en jaune.

Notons tout d'abord le temps du front porch (T_{FP}). Nous constatons ici que contrairement au 10 lignes de mesures attendus, nous n'en avons que 9. Cette erreur se reporte alors sur les numéros des lignes qui correspondent à la pulsation de synchronisation (T_{WP}) et au Back Porch(T_{BP}). Nous constatons également que le nombre de lignes du Back Porch augmente de 1, pour garder les 521 lignes qui composent l'image.

Cette erreur, qui pourrait être corrigé simplement sur le FPGA au niveau du compteur de ligne, n'est cependant pas un problème pour la suite de notre travail car elle n'influence pas les écrans modernes. Nous pouvons aussi noter qu'elle ne concerne que les pixels de synchronisation qui ne seront pas affichés sur l'écran et le temps de synchronisation vertical est respecté.

Les chronogrammes de simulation et les résultats sont présentés dans l'annexe de ce document.

- 3- À l'aide d'un oscilloscope, mesurez la période des signaux suivants : V-Sync, H-Sync, H-PW, V-PW, et vérifiez l'absence de problèmes matériels. Assurez-vous que les signaux de synchronisation sont envoyés aux bons moments par rapport aux données vidéo, en respectant les intervalles du front porch, du sync pulse et du back porch spécifiés par la norme VGA. Assurez-vous également que la fréquence de rafraîchissement de l'image, telle que 60 Hz, est correctement générée.

Pour vérifier la synchronisation correcte des signaux de synchronisation horizontale (HSync) et verticale (VSync) avec le générateur de pattern vidéo, nous avons utilisé un oscilloscope Hantek pour mesurer ces signaux. Les résultats obtenus sont représentés dans la capture d'écran ci-dessous, où la courbe verte correspond à la sortie H-SYNC et la courbe jaune représente la sortie V-SYNC du connecteur VGA.

Paramètre		Synchro verticale	Synchro horizontale	
Symbole	Description	Durée	Durée	
T_S	Synch pulse	16,7 ms	32 μ s	OK
T_{PW}	Pulse Width	63,1 μ s	3,8 μ s	OK

- Fréquence de rafraîchissement :

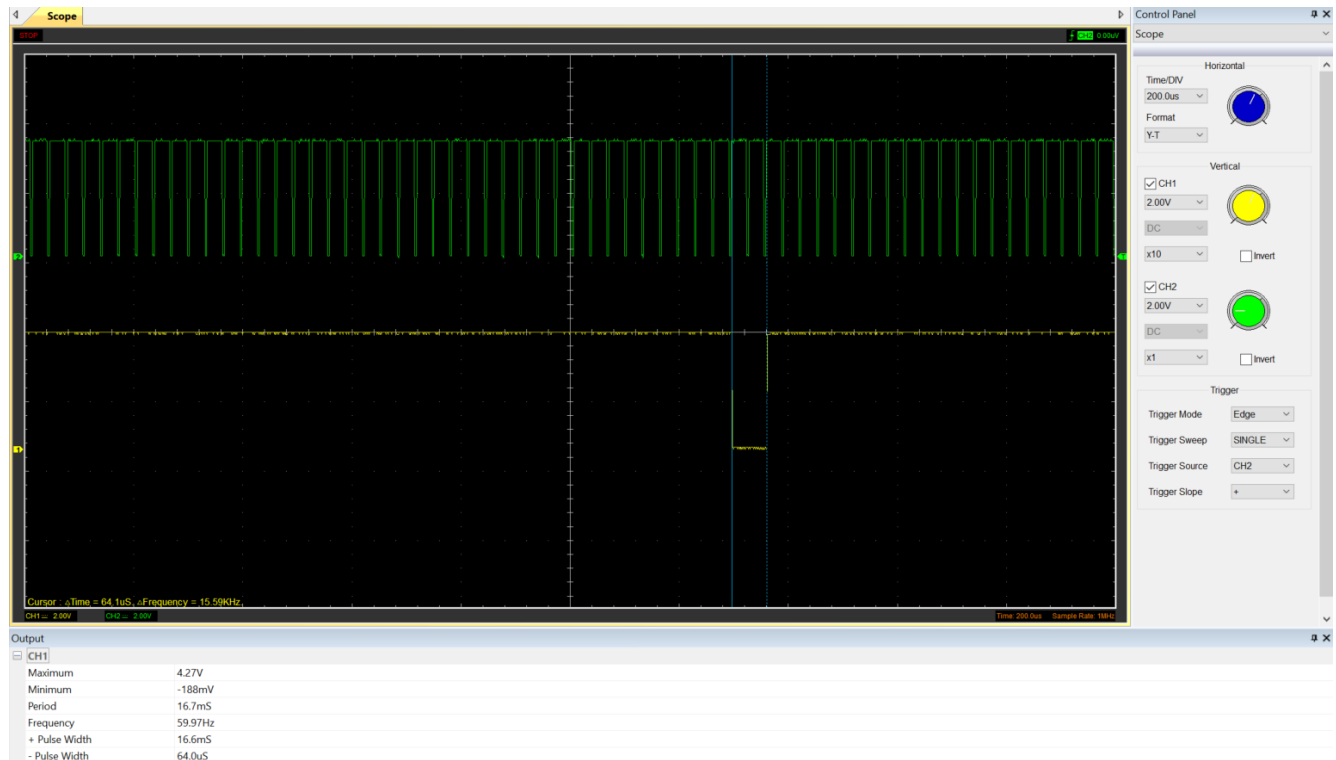
Nous constatons que la fréquence de rafraîchissement de l'image est bien de 59,97 Hz ().

- Mesure de V-PW :

Le signal V-SYNC est périodique avec une période de 16,7 ms. Les impulsions de H-SYNC et V-SYNC conformes à la norme VGA sont bien observées. Par la suite, nous avons mesuré les largeurs de ces impulsions ainsi que leur période.

Lors de nos mesures, nous avons spécifiquement évalué la largeur de l'impulsion V-PW (Vertical Pulse Width), qui s'est étendue sur 2 lignes (2 pixels * temps de balayage horizontal). Nous avons obtenu une valeur de V- PW égale à 63,1 μ s, ce qui est cohérent avec la valeur attendue de $32 \mu\text{s} * 2 = 64 \mu\text{s}$. De plus, la période du signal V-SP que nous avons mesurée est de 16,7 ms, ce qui correspond à la valeur attendue de $521 \text{ pixels} * 32 \mu\text{s} = 16,67 \text{ ms}$.

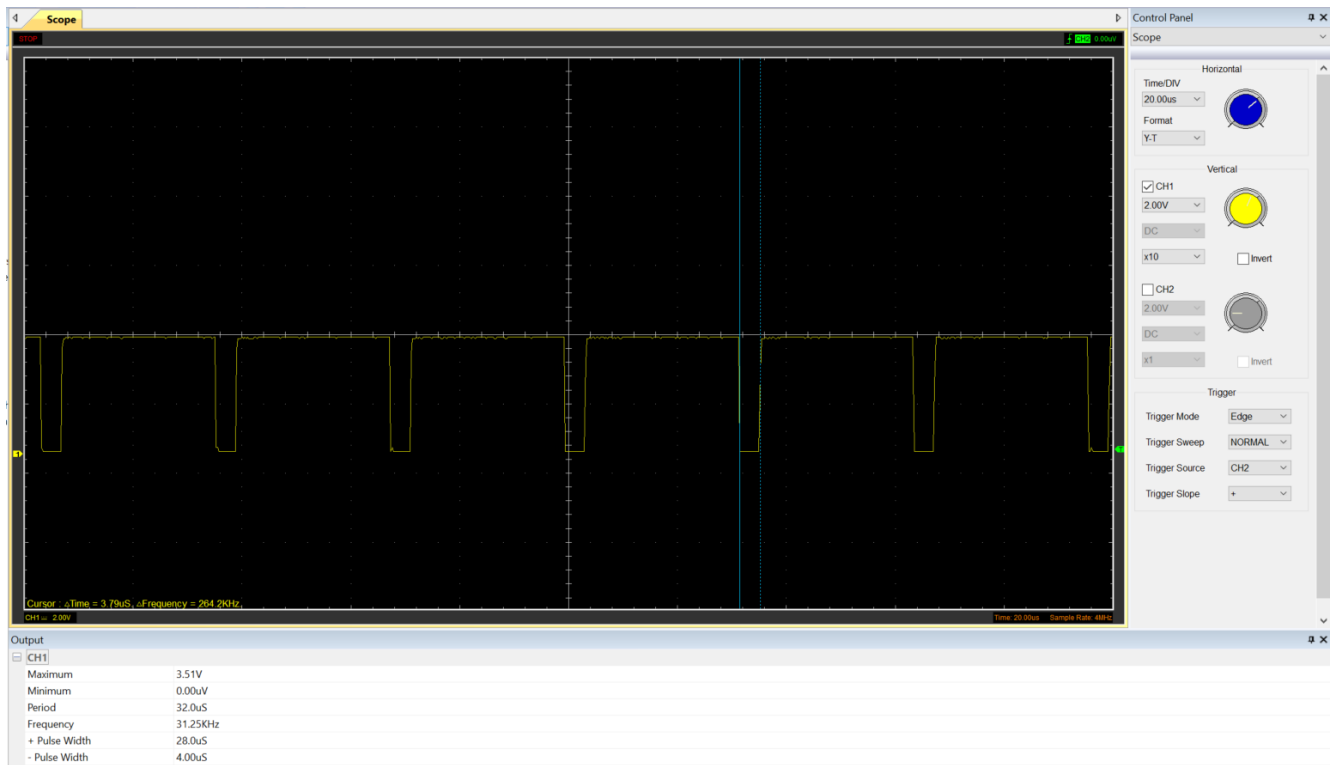
Ces résultats confirment la synchronisation appropriée des signaux de synchronisation verticale (VSync) avec le générateur de pattern vidéo. La largeur de l'impulsion V-PW correspond aux spécifications attendues, et la période du signal V-SYNC est en accord avec les calculs basés sur le nombre de pixels et le temps de balayage horizontal.



- Mesure de H-PW :

Nous avons également effectué des mesures de la largeur de l'impulsion H-PW (Horizontal Pulse Width), qui s'étendait sur 96 colonnes (96 pixels * temps de pixel). Nos résultats ont révélé une valeur de H-PW égale à 3,79 μ s, ce qui est cohérent avec la valeur attendue de $96 * 0,04 \mu\text{s} = 3,84 \mu\text{s}$. De plus, la période du signal H-PW que nous avons mesurée est de 32 μ s, correspondant à la valeur attendue de $800 \text{ pixels} * 0,04 \mu\text{s} = 32 \mu\text{s}$.

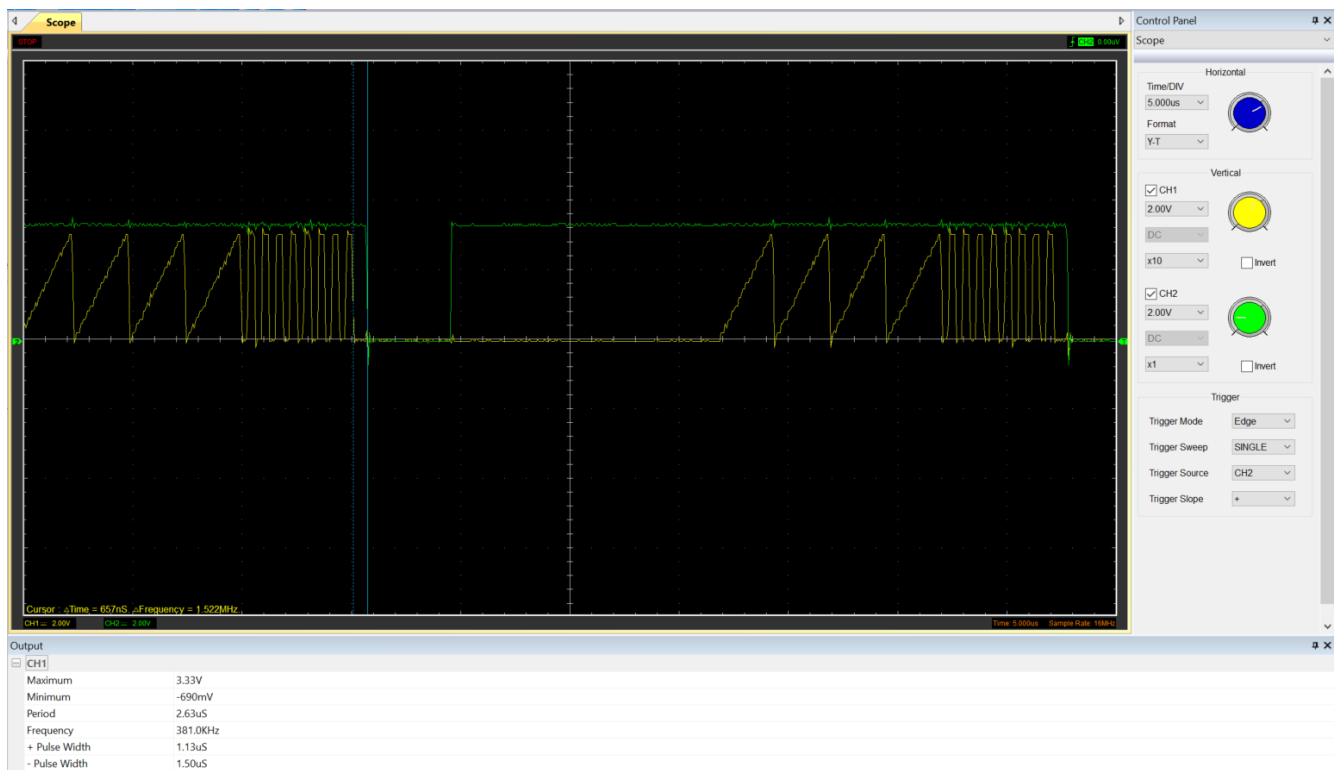
Ces résultats confirment la synchronisation appropriée des signaux de synchronisation horizontale (HSync) avec le générateur de pattern vidéo. La largeur de l'impulsion H-PW correspond aux spécifications attendues, et la période du signal HSync est en accord avec les calculs basés sur le nombre de pixels et le temps de pixel.



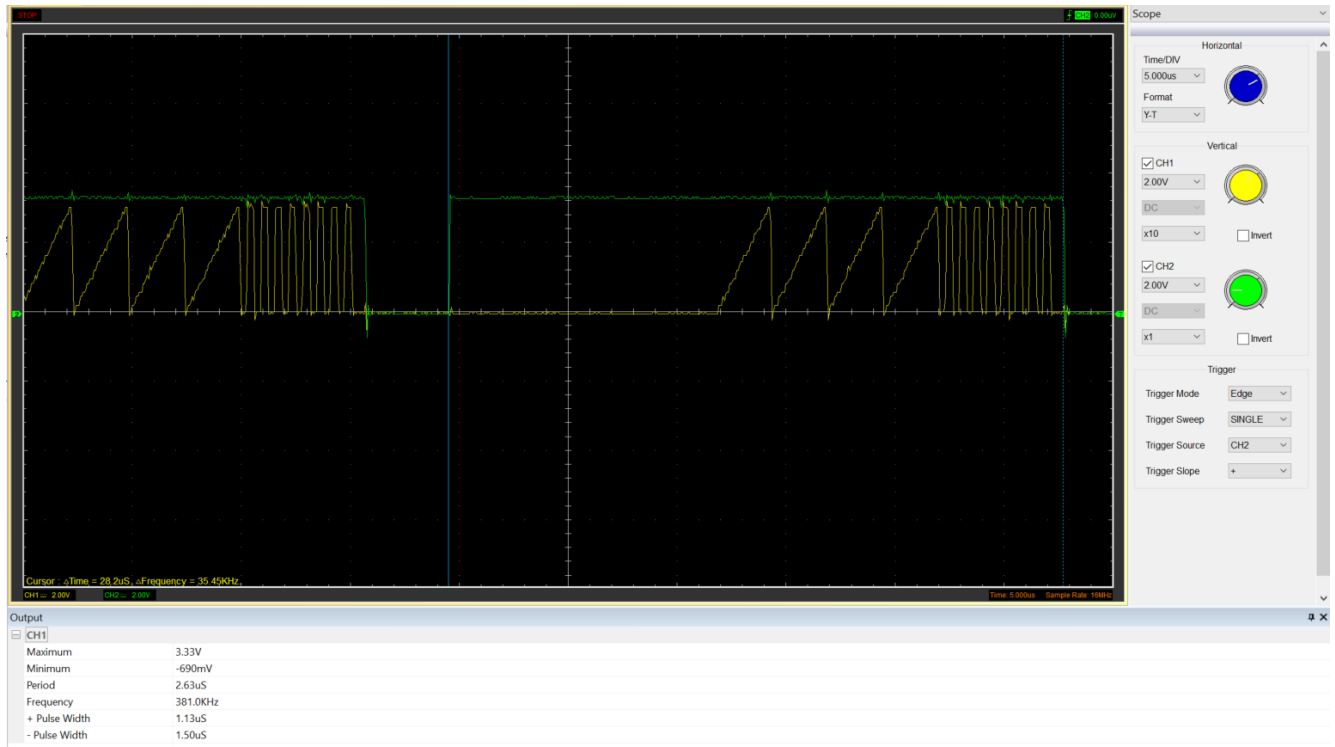
- Assurez-vous que les signaux de synchronisation sont envoyés aux bons moments par rapport aux données vidéo, en respectant les intervalles du front porch, du sync pulse et du back porch spécifiés par la norme VGA.

En examinant la capture d'écran ci-dessous, nous avons effectué des mesures sur le signal de sortie "Red" du connecteur VGA. La courbe verte représente le H-sync, tandis que la courbe jaune représente la sortie Red du connecteur VGA.

Nous pouvons constater que le Front Porch horizontal est respecté, avec une valeur mesurée de H-FP égale à 657 ns (valeur attendue : $16 \text{ pixels} * \text{temps de pixel} = 16 * 0,04 \mu\text{s} = 640 \text{ ns}$). Cela confirme que les signaux de synchronisation sont envoyés aux bons moments par rapport aux données vidéo. La courbe jaune représente les valeurs analogiques de couleur rouge du signal VGA, qui varient conformément au motif de design pattern généré.



De plus, la capture d'écran ci-dessous démontre que l'intervalle du Sync Pulse est respecté, avec une mesure de H-PW égale à $32\ \mu\text{s} - 28,2\ \mu\text{s} = 3,8\ \mu\text{s}$.



Vérification du générateur de pattern vidéo :

4- Utiliser des images de référence ou des spécifications de motifs pour comparer les sorties générées avec les motifs cibles.

- Générer un *pattern vidéo* et observez la sortie sur l'affichage. Vérifiez visuellement si le motif généré correspond à vos attentes. Par exemple, vérifiez si les lignes de test sont droites et nettes, si les carrés sont bien formés, si les dégradés sont lisses, etc.
- Assurez-vous que les signaux de couleur (rouge, vert, bleu) sont correctement générés et transmis à la sortie VGA.

Nous avons utilisé une image de référence spécifique pour comparer les sorties générées avec les motifs cibles. Cette image comprend des lignes de test, des carrés en noir et blanc, ainsi que des colonnes de dégradés de couleurs. L'image de référence affichée à l'écran est présentée dans la figure ci-dessous:



L'affichage ne présente pas de scintillement ou d'artefacts visuels indiquant un taux de rafraîchissement incorrect. Le motif généré correspond à nos attentes. Les lignes de test sont droites et nettes, les carrés sont bien formés.

Annexe

Exploitation de résultats de simulation

Le chronogramme bleu représente le signal "Active_vidéo", qui correspond à la période HD.

Le chronogramme jaune correspond au signal "H_sync_reg", qui représente le signal Hsync.

Le chronogramme orange représente le signal "V_sync_reg", qui représente le signal Vsync.

Le signal "h_cntr_reg" indique la position horizontale du pixel.

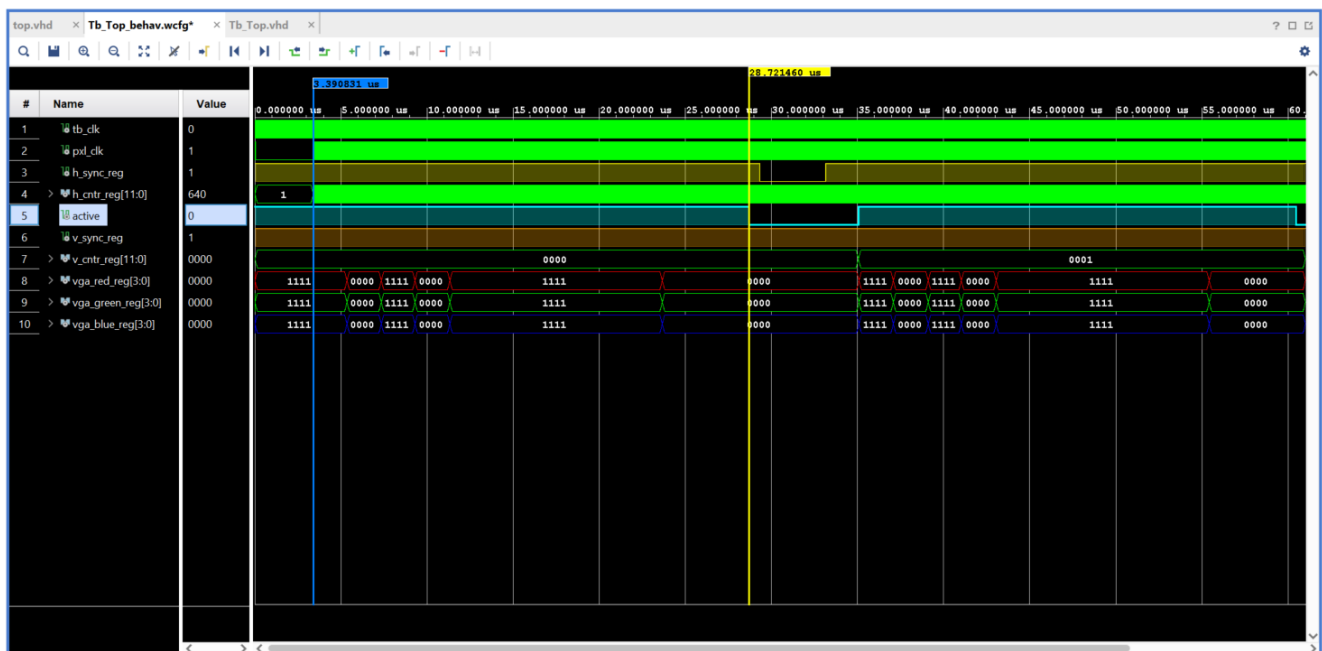
Le signal "v_cntr_reg" indique la position verticale du pixel.

➤ Validation de «Display Area»:

✓ Horizontal Display Area HD:

$0 < HD < 639$ pixels

$HD = 28.721460 \mu s - 3.404001 \mu s = 25.317459 \mu s$

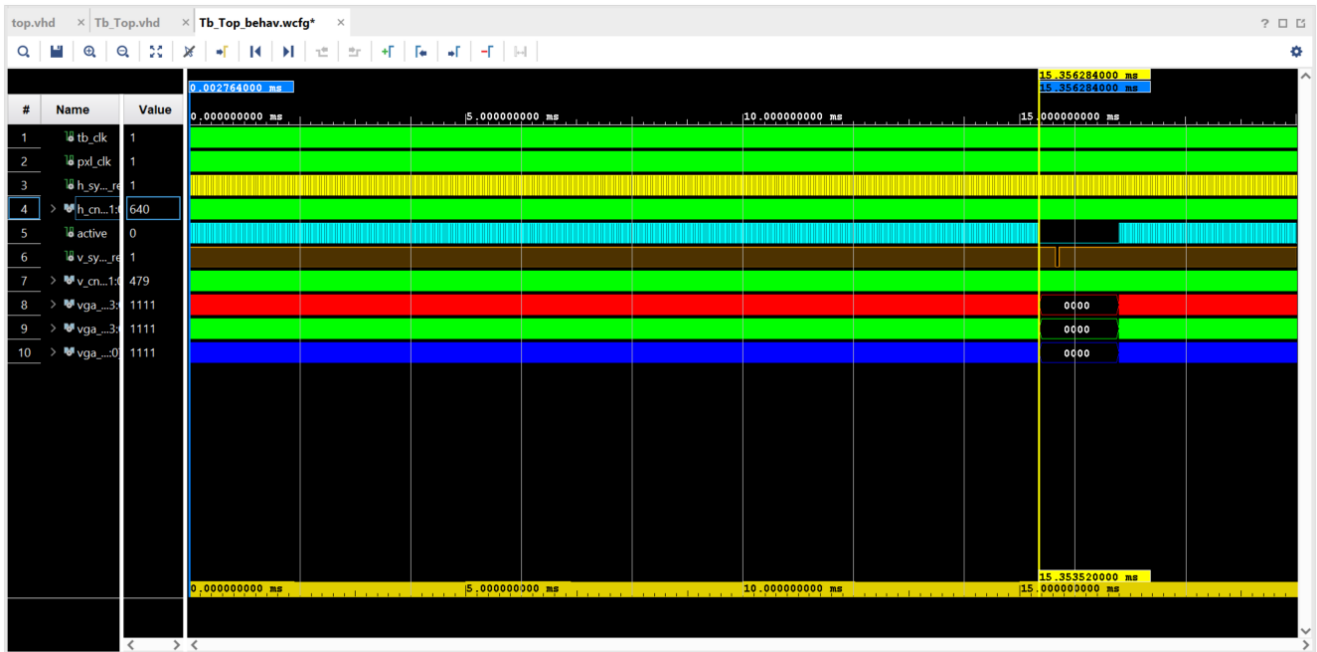


✓ Vertical Display Area VD:

$0 < VD < 479$ pixels

Active pixels =1 entre 0.002764 ms et 15.362684 ms:

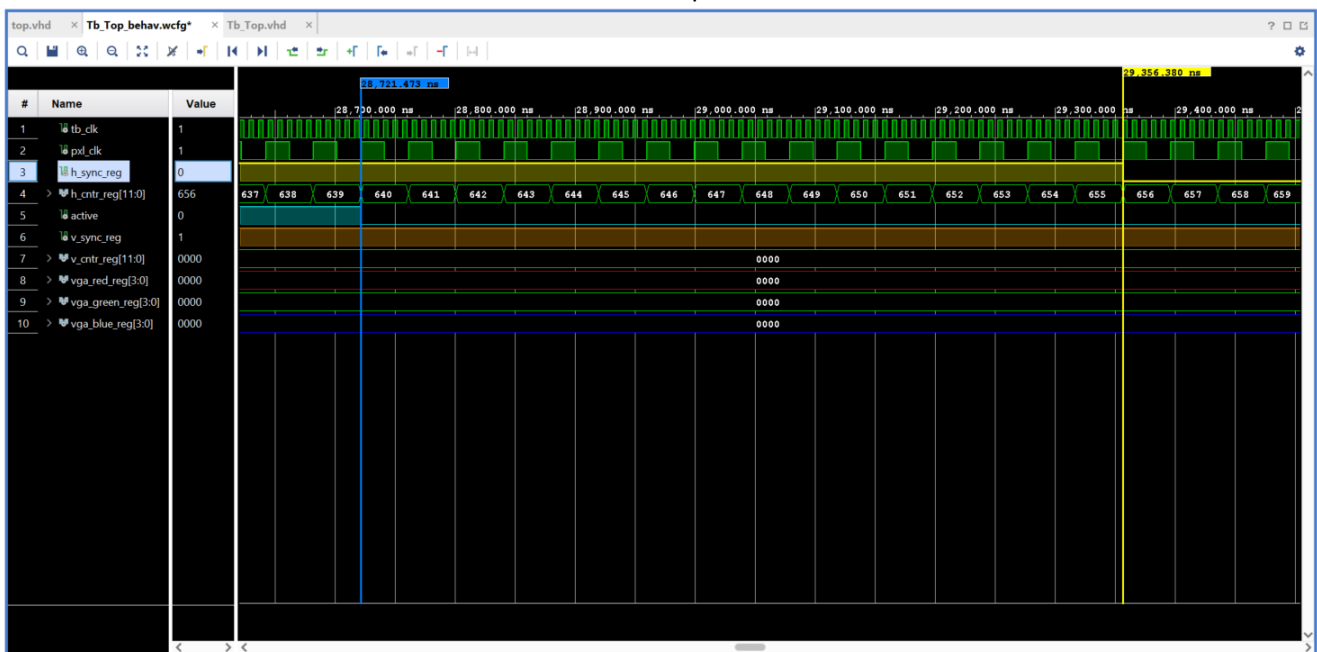
$VD = 15.362684 \text{ ms} - 0.002764 \text{ ms} = 15.35992 \text{ ms}$.



✓ Validation de «H-FP»:

639 < H-FP < 655 pixels

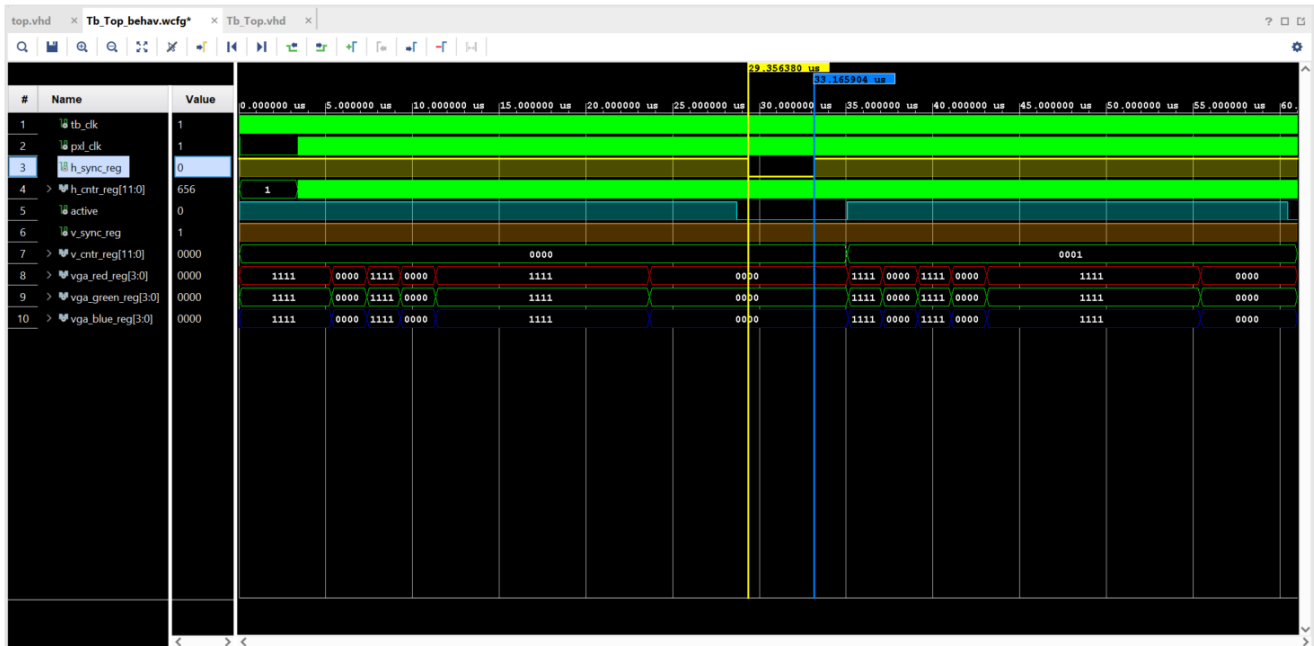
H-FP = 29356.380 ns - 28721.473 ns = 634.90700 ns = 0.63 μ s



✓ Validation de «H-PW»:

655 < H- PW < 751

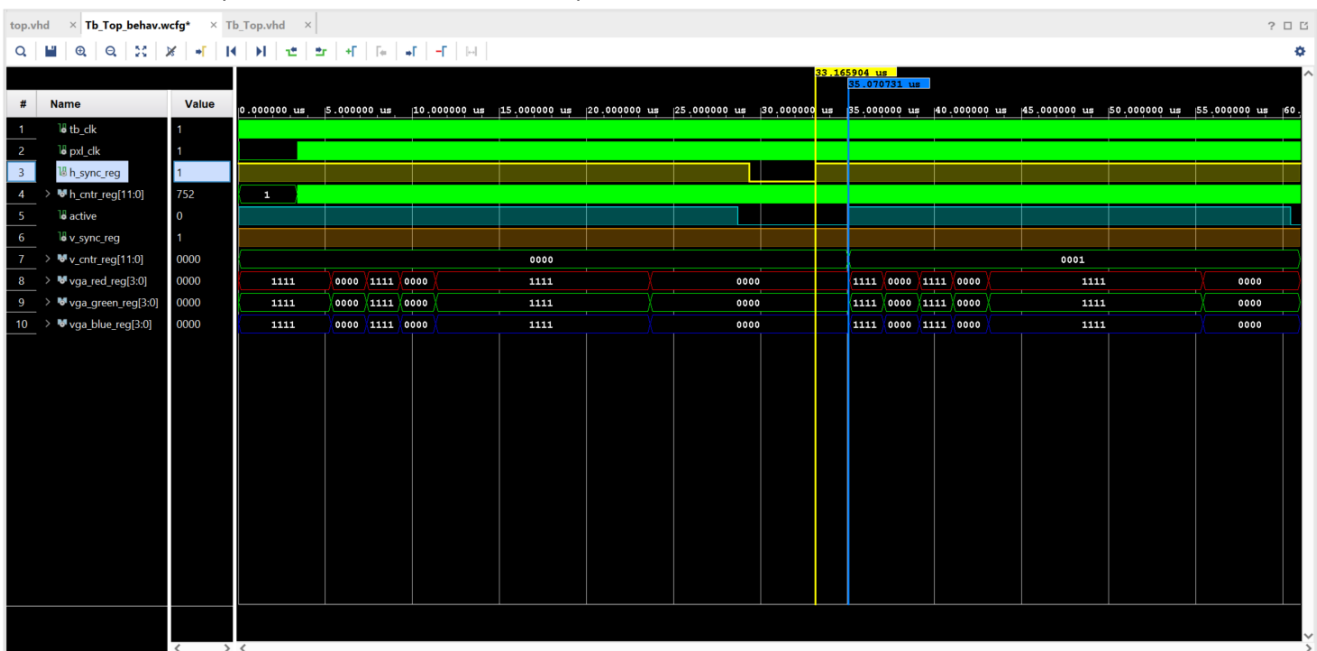
H-PW = 33165.904 ns - 29356.380 ns = 3.81 μ s



1- Validation de «H-BP»:

$$752 < \text{H-BP} < 799$$

$$\text{H-BP} = 35.070731 \mu\text{s} - 33.165904 \mu\text{s} = 1.904827 \mu\text{s}$$

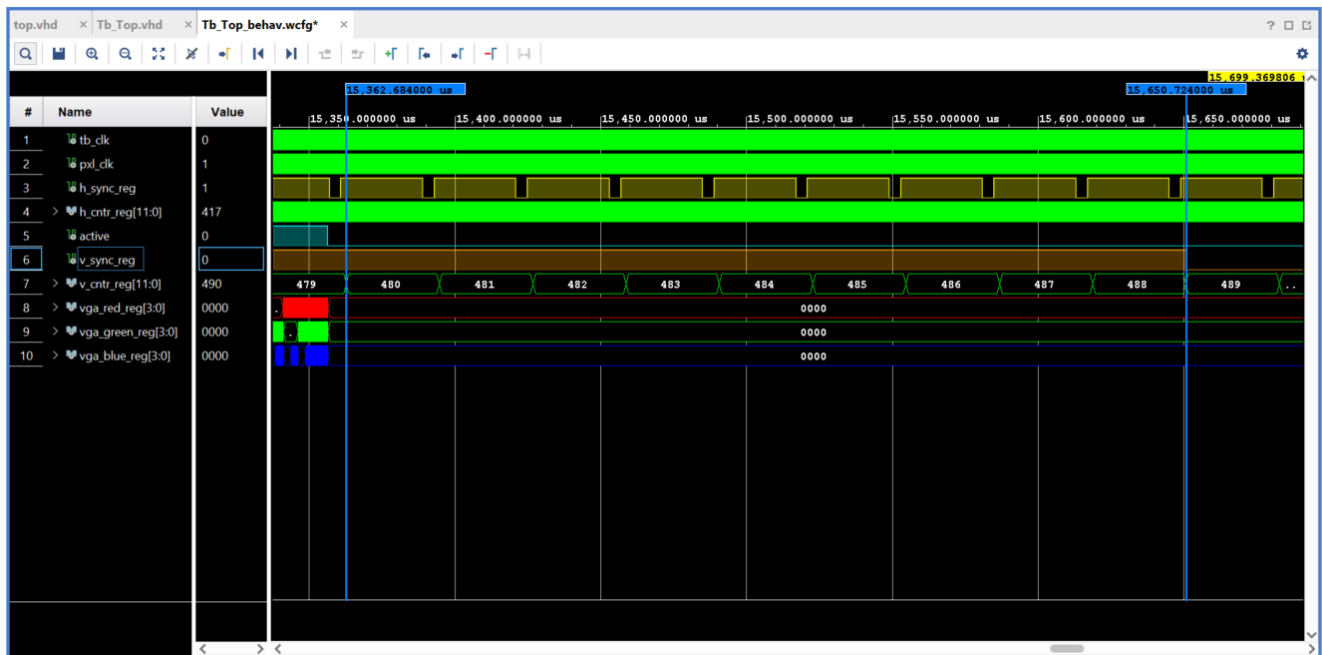


Vertical

1- Validation de «V-FP»:

$$479 < \text{V-FP} < 489 \text{ pixels}$$

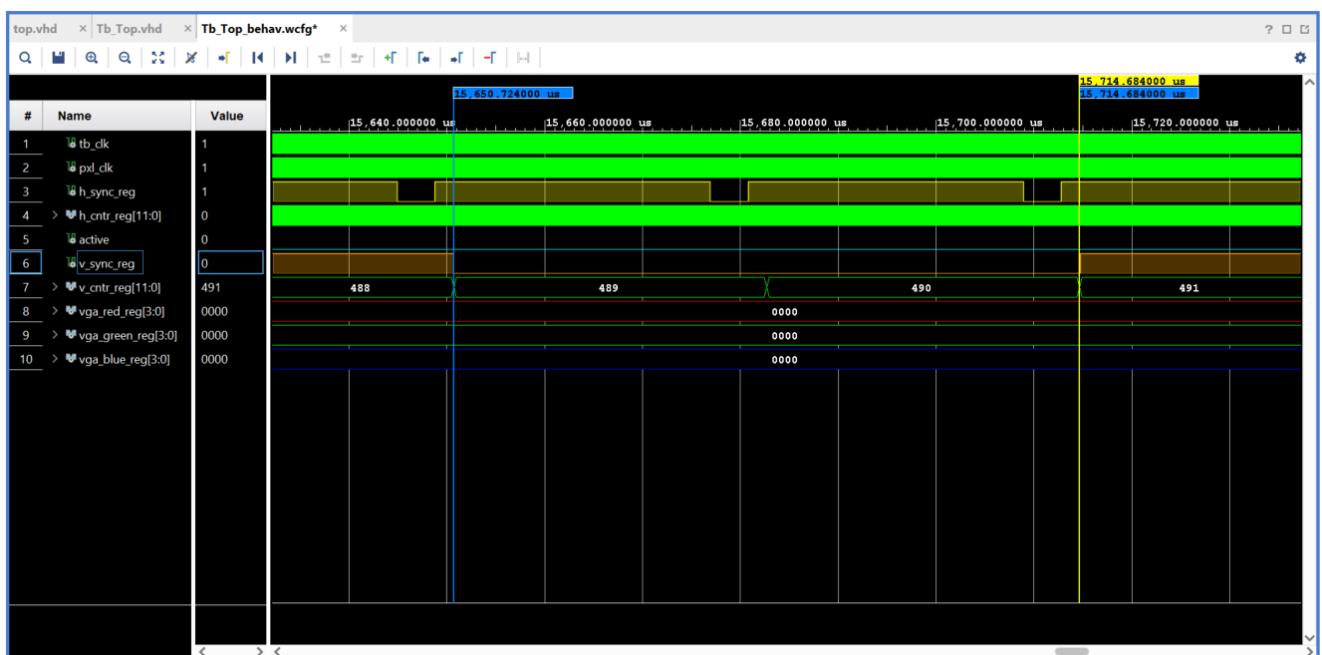
$$\text{V-FP} = 15650.724 \mu\text{s} - 15362.684 \mu\text{s}$$



2- Validation de «V-PW»:

488 < V-PW < 491 pixels

$15714.684 \mu s - 15650.724 \mu s = 63.96 \mu s$.

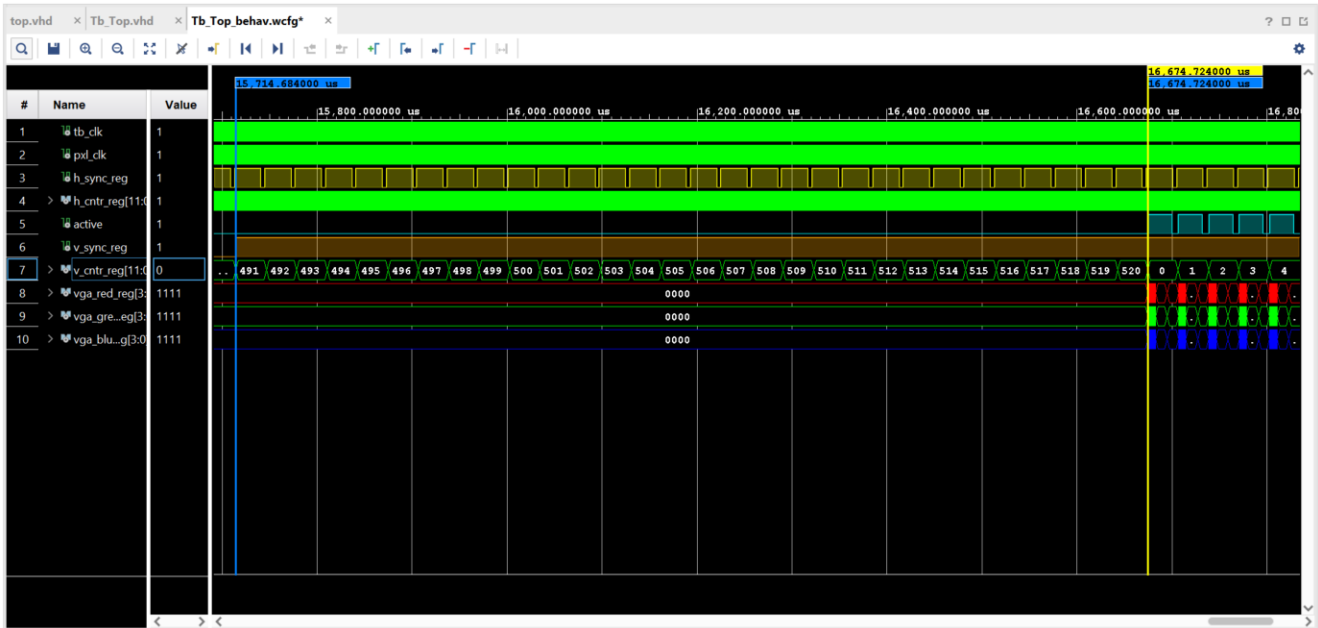


✓ V-BP

$490 < V-BP$ pixels

$V-BP = 3$ pixels

$16674.724 \mu s - 15714.684 \mu s = 0.96 \text{ms}$



Le code VHDL correspondant à l'image de référence est représenté dans la capture d'écran suivante :

```

167 -- Génération des signaux RVB en fonction du compteur horizontal et vertical, et de l'état actif
168 vga_red <= (others=>'1')when (active = '1' and v_cnr_reg < 100 and (h_cnr_reg < 50 or (100 < h_cnr_reg and h_cnr_reg < 150))or (200 < h_cnr_reg and h_cnr_reg < 512))) else
169 h_cnr_reg(5 downto 2) when (active = '1' and 100 < v_cnr_reg and h_cnr_reg < 512 and h_cnr_reg(8) = '1')else
170 (others=>'1') when (active = '1' and ((not(h_cnr_reg < 512) and (v_cnr_reg(8) = '1' and h_cnr_reg(3) = '1')) or
171 (not(h_cnr_reg < 512) and (v_cnr_reg(8) = '0' and v_cnr_reg(3) = '1')))) else
172 (others=>'0');
173
174
175 vga_blue <= (others=>'1')when (active = '1' and v_cnr_reg < 100 and (h_cnr_reg < 50 or (100 < h_cnr_reg and h_cnr_reg < 150))or (200 < h_cnr_reg and h_cnr_reg < 512))) else
176 h_cnr_reg(5 downto 2) when (active = '1' and 100 < v_cnr_reg and h_cnr_reg < 512 and h_cnr_reg(6) = '1')else
177 (others=>'1') when (active = '1' and ((not(h_cnr_reg < 512) and (v_cnr_reg(8) = '1' and h_cnr_reg(3) = '1')) or
178 (not(h_cnr_reg < 512) and (v_cnr_reg(8) = '0' and v_cnr_reg(3) = '1')))) else
179 (others=>'0');
180
181 vga_green <= (others=>'1')when (active = '1' and v_cnr_reg < 100 and (h_cnr_reg < 50 or (100 < h_cnr_reg and h_cnr_reg < 150))or (200 < h_cnr_reg and h_cnr_reg < 512))) else
182 h_cnr_reg(5 downto 2) when (active = '1' and 100 < v_cnr_reg and h_cnr_reg < 512 and h_cnr_reg(7) = '1')else
183 (others=>'1') when (active = '1' and ((not(h_cnr_reg < 512) and (v_cnr_reg(8) = '1' and h_cnr_reg(3) = '1')) or
184 (not(h_cnr_reg < 512) and (v_cnr_reg(8) = '0' and v_cnr_reg(3) = '1')))) else
185 (others=>'0');

```

Le code VHDL fourni génère des signaux RVB (rouge, vert, bleu) en fonction du compteur horizontal (h_cnr_reg) et vertical (v_cnr_reg), ainsi que de l'état actif (Active).